

ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΛΑΜΙΑΣ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ

ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ – VLSI

ΨΗΦΙΑΚΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ CMOS

Α. ΚΑΝΑΠΙΤΣΑΣ

Αναπλ.καθηγητής ΤΕΙ

Επιμέλεια : Α.ΚΑΡΑΓΚΟΥΝΗΣ



ΥΠΟΥΡΓΕΙΟ ΕΘΝΙΚΗΣ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ ΕΠΕΑΕΚ



ΕΥΡΩΠΑΪΚΗ ΕΝΩΣΗ
ΣΥΓΧΡΗΜΑΤΟΔΟΤΗΣΗ
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



ΠΑΙΔΕΙΑ ΜΠΡΟΣΤΑ
2^ο Επιχειρησιακό Πρόγραμμα
Εκπαίδευσης και Αρχικής
Επαγγελματικής Κατάρτισης



ΤΕΙ ΛΑΜΙΑΣ

ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ

ΜΑΘΗΜΑ: ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ-VLSI

ΜΕΡΟΣ Ι ΔΙΑΦΑΝΕΙΕΣ απο τις παραδόσεις του διδάσκοντα
σελ. 1 - 119

ΜΕΡΟΣ ΙΙ ΔΙΕΡΓΑΣΙΕΣ ΚΑΤΑΣΚΕΥΗΣ VLSI
σελ. 123 – 215

ΜΕΡΟΣ ΙΙΙ ΣΥΜΠΛΗΡΩΜΑΤΙΚΕΣ ΔΙΑΦΑΝΕΙΕΣ
σελ. 219 – 308

ΚΑΝΑΠΙΤΣΑΣ ΑΘΑΝΑΣΙΟΣ

Αναπλ. καθ. ΤΕΙ Λαμίας



ΤΕΙ ΛΑΜΙΑΣ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ
ΜΑΘΗΜΑ: ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ-VLSI

ΣΥΜΠΛΗΡΩΜΑΤΙΚΕΣ ΣΗΜΕΙΩΣΕΙΣ

Διαφάνειες από τις παραδόσεις του διδάσκοντα

Το παρακάτω υλικό είναι βασισμένο στις παραδόσεις του διδάσκοντα (διαφάνειες).
Βρίσκεται αναρτημένο στην ιστοσελίδα του μαθήματος (τηλεκπαίδευση Τμήματος
Ηλεκτρονικής, www.eln.teilam.gr)

Τεχνική επιμέλεια : Ευρύκλεια Πετροπούλου

ΛΑΜΙΑ ΔΕΚΕΜΒΡΙΟΣ 2007

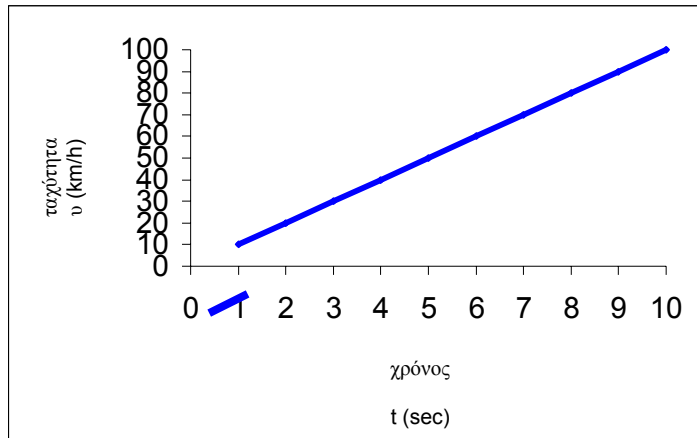
Πίνακας περιεχομένων

<u>1.Η ΔΙΤΙΜΗ ΑΛΓΕΒΡΑ BOOLE</u>	<u>σελιδα 3</u>
<u>2.ΛΟΓΙΚΕΣ ΠΥΛΕΣ</u>	<u>9</u>
<u>3.ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ</u>	<u>15</u>
<u>4.ΕΙΣΑΓΩΓΗ ΣΤΟΝ VLSI ΣΧΕΔΙΑΣΜΟ</u>	<u>21</u>
<u>5.MOS ΤΡΑΝΖΙΣΤΟΡ</u>	<u>38</u>
<u>6.Η ΠΥΛΗ NAND</u>	<u>48</u>
<u>7.Η ΠΥΛΗ NOR</u>	<u>51</u>
<u>8.ΛΕΙΤΟΥΡΓΕΙΑ ΤΟΥ MOS ΤΡΑΝΖΙΣΤΟΡ</u>	<u>63</u>
<u>9.CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ</u>	<u>86</u>
<u>10.ΠΕΡΙΘΩΡΙΑ ΘΟΡΥΒΟΥ</u>	<u>103</u>
<u>11.ΒΙΒΛΙΟΓΡΑΦΙΑ</u>	<u>116</u>

1.Η ΔΙΤΙΜΗ ΑΛΓΕΒΡΑ BOOLE

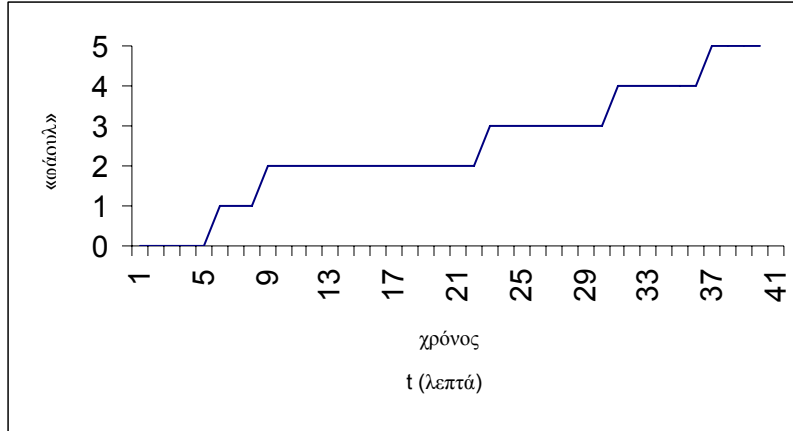
ΑΝΑΛΟΓΙΚΑ ΚΑΙ ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ

Αναλογικό μέγεθος ονομάζεται ένα μέγεθος που μπορεί να πάρει οποιαδήποτε τιμή σε μία περιοχή τιμών. Για παράδειγμα, αναλογικά μεγέθη είναι: η ταχύτητα ενός αυτοκινήτου, η θερμοκρασία ενός δωματίου, το βάρος ενός ανθρώπου, το ύψος ενός δένδρου. Έτσι, κατά την επιτάχυνση ενός αυτοκινήτου από 0 χλμ/ώρα (αρχική ταχύτητα) έως 100 χλμ/ώρα (τελική ταχύτητα), η ταχύτητά του λαμβάνει όλες τις δυνατές τιμές στο διάστημα από 0 χλμ/ώρα έως 100 χλμ/ώρα (*άπειρο πλήθος τιμών*), όπως φαίνεται στο Σχήμα



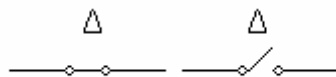
Αναλογικό μέγεθος

Ψηφιακό μέγεθος ονομάζεται το μέγεθος που μπορεί να πάρει συγκεκριμένες (διακριτές) τιμές σε μία περιοχή τιμών. Για παράδειγμα, ψηφιακά μεγέθη είναι: το πλήθος των «φάουλ» ενός παίκτη μπάσκετ κατά τη διάρκεια ενός αγώνα, οι βαθμοί μίας ομάδας ποδοσφαίρου κατά τη διάρκεια του πρωταθλήματος. Έτσι, κατά τη διάρκεια ενός αγώνα μπάσκετ, ένας παίκτης μπορεί να κάνει 1, 2, 3, 4 ή 5 «φάουλ» (καθορισμένο πλήθος διακριτών τιμών), όπως φαίνεται στο Σχήμα



Ψηφιακό μέγεθος

Δυαδικό μέγεθος είναι ένα ψηφιακό μέγεθος που μπορεί να πάρει μόνο δύο (2) διακριτές τιμές. Για παράδειγμα, δυαδικά μεγέθη είναι: η λογική πρόταση «σήμερα βρέχει» (η λογική πρόταση μπορεί να είναι αληθής (TRUE) αν πράγματι βρέχει ή ψευδής (FALSE) αν δεν βρέχει), η κατάσταση ενός λαμπτήρα (ο λαμπτήρας μπορεί να είναι αναμμένος (ON) ή σβηστός (OFF)), η κατάσταση ενός διακόπτη (ο διακόπτης μπορεί να είναι ανοικτός ή κλειστός όπως φαίνεται στο Σχήμα



Σχήμα 1.1.

Δυαδικό μέγεθος

Τα ηλεκτρονικά κυκλώματα κατατάσσονται σε δύο βασικές κατηγορίες, ανάλογα με τα σήματα που επεξεργάζονται:

- ✓ αναλογικά κυκλώματα (analog circuits)
- ✓ ψηφιακά κυκλώματα (digital circuits)

Η ΔΙΤΙΜΗ ΑΛΓΕΒΡΑ BOOLE

Ορισμός

Η Άλγεβρα Boole (Boolean algebra) πήρε το όνομά της από τον G. Boole (1815-1864), ο οποίος ανέπτυξε ένα αλγεβρικό σύστημα (1854) για τη συστηματική αντιμετώπιση της λογικής. Τα αξιώματα της Άλγεβρας Boole διατυπώθηκαν από τον E. V. Huntington (1904).

Οι μεταβλητές που χρησιμοποιούνται στην Άλγεβρα Boole ονομάζονται λογικές μεταβλητές γιατί μπορούν να πάρουν δύο (2) μόνο τιμές: 0 και 1. Αυτός είναι ο λόγος που η Άλγεβρα Boole αποτελεί τη βάση για τα ψηφιακά ηλεκτρονικά κυκλώματα.

Στην Άλγεβρα Boole ορίζονται τρεις βασικές πράξεις:

⇒ η πράξη NOT (OXI) με σύμβολο $\bar{}$

⇒ η πράξη AND (ΚΑΙ) με σύμβολο \cdot

⇒ η πράξη OR (Η) με σύμβολο $+$

Η πράξη NOT

Στην πράξη NOT συμμετέχει μία μόνο λογική μεταβλητή και το αποτέλεσμα της πράξης είναι το συμπλήρωμα (αντίστροφο) της μεταβλητής αυτής, δηλαδή αν η μεταβλητή έχει την τιμή “0”, τότε το αποτέλεσμα είναι “1” και αντίστροφα αν η μεταβλητή έχει την τιμή “1”, τότε το αποτέλεσμα είναι “0”.

Αν A είναι μία λογική μεταβλητή, τότε η πράξη NOT εκφράζεται με τη σχέση:

$$Y = \bar{A}$$

Ο πίνακας αληθείας της πράξης NOT παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πράξης NOT

A	$Y = \bar{A}$
0	1
1	0

Η πράξη AND

Στην πράξη AND συμμετέχουν δύο λογικές μεταβλητές και το αποτέλεσμα της πράξης είναι “1”, αν και οι δύο μεταβλητές είναι “1”.

Αν A και B είναι δύο λογικές μεταβλητές, τότε η πράξη AND εκφράζεται με τη σχέση:

$$Y = A \cdot B$$

Σημείωση: το σύμβολο της πράξης AND (\cdot) μπορεί να παραλείπεται στις εκφράσεις της Άλγεβρας Boole ($A \cdot B = AB$).

Ο πίνακας αληθείας της πράξης AND παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πράξης AND

A	B	$Y=A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Η πράξη OR

Στην πράξη OR συμμετέχουν δύο λογικές μεταβλητές και το αποτέλεσμα της πράξης είναι “1”, αν τουλάχιστον μία από τις δύο μεταβλητές είναι “1”.

Αν A και B είναι δύο λογικές μεταβλητές, τότε η πράξη OR εκφράζεται με τη σχέση:
 $Y=A+B$

Ο πίνακας αληθείας της πράξης OR παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πράξης OR

A	B	$Y=A+B$
0	0	0
0	1	1
1	0	1
1	1	1

Αξιώματα Huntington

Ουδέτερα στοιχεία των πράξεων AND και OR

Το ουδέτερο στοιχείο της πράξης AND είναι το 1 και το ουδέτερο στοιχείο της πράξης OR είναι το 0.

α. $x \cdot 1 = 1 \cdot x = x$

β. $x + 0 = 0 + x = x$

Το αξίωμα αυτό μπορεί να επαληθευτεί από τους πίνακες αληθείας των πράξεων AND και OR, από όπου φαίνεται ότι:

$0 \cdot 1 = 1 \cdot 0 = 0$ και $1 \cdot 1 = 1$

και

$0 + 0 = 0$ και $1 + 0 = 0 + 1 = 1$

2. Αντιμεταθετική ιδιότητα των πράξεων AND και OR

Οι πράξεις AND και OR έχουν την αντιμεταθετική ιδιότητα.

α. $x \cdot y = y \cdot x$

β. $x + y = y + x$

3. Επιμεριστική ιδιότητα των πράξεων AND και OR

Η πράξη AND έχει την επιμεριστική ιδιότητα ως προς την πράξη OR και η πράξη OR έχει την επιμεριστική ιδιότητα ως προς την πράξη AND.

$$\alpha. x \cdot (y+z) = (x \cdot y) + (x \cdot z)$$

$$\beta. x + (y \cdot z) = (x + y) \cdot (x + z)$$

4. Συμπλήρωμα (NOT)

Κάθε λογική μεταβλητή x έχει ένα συμπλήρωμα \bar{x} με τις ακόλουθες ιδιότητες:

$$\alpha. x \cdot \bar{x} = 0$$

$$\beta. x + \bar{x} = 1$$

Το αξίωμα αυτό μπορεί να επαληθευτεί από τους πίνακες αληθείας της πράξης NOT, από όπου φαίνεται ότι:

$$0 \cdot \bar{0} = 0 \cdot 1 = 0 \text{ και } 1 \cdot \bar{1} = 1 \cdot 0 = 0$$

και

$$0 + \bar{0} = 0 + 1 = 1 \text{ και } 1 + \bar{1} = 1 + 0 = 1$$

Αρχή Δυϊσμού

Η ισχύς των εκφράσεων της Άλγεβρας Boole εξακολουθεί να υφίσταται, αν γίνει αλλαγή των πράξεων AND και OR και των ουδέτερων στοιχείων μεταξύ τους ($\cdot \leftrightarrow +$ και $0 \leftrightarrow 1$).

Για παράδειγμα, αν ισχύει η έκφραση $x+1=1$, τότε ισχύει και η έκφραση $x \cdot 0=0$ και η μία έκφραση ονομάζεται διοικεί της άλλης.

Θεωρήματα Άλγεβρας Boole

Θεώρημα 1.

$$\alpha. x \cdot x = x$$

$$\beta. x + x = x$$

Θεώρημα 2.

$$\alpha. x \cdot 0 = 0$$

$$\beta. x + 1 = 1$$

Θεώρημα 3.

$$x = \bar{\bar{x}}$$

Θεώρημα 4. Προσεταιριστική ιδιότητα

$$\alpha. x \cdot y \cdot z = x \cdot (y \cdot z) = (x \cdot y) \cdot z$$

$$\beta. x + y + z = x + (y + z) = (x + y) + z$$

Θεώρημα 5. Θεώρημα απορρόφησης

α. $x + x \cdot y = x$

β. $x \cdot (x + y) = x$

Θεώρημα 6. Θεώρημα De Morgan

α. $\overline{x \cdot y} = \overline{x} + \overline{y}$

β. $\overline{x + y} = \overline{x} \cdot \overline{y}$

Παρατήρηση:

Το Θεώρημα De Morgan ισχύει και για περισσότερες από δύο μεταβλητές:

α. $\overline{\overline{x \cdot y \cdot z}} = \overline{\overline{x} + \overline{\overline{y} + \overline{z}}}$

β. $\overline{\overline{x + y + z}} = \overline{\overline{x} \cdot \overline{y} \cdot \overline{z}}$

Προτεραιότητα πράξεων

Για την εκτέλεση των πράξεων στις εκφράσεις της Άλγεβρας Boole είναι ανάγκη να καθορισθεί η προτεραιότητα της εκτέλεσής τους, όπως γίνεται στην γνωστή από τα μαθηματικά άλγεβρα.

Ο Πίνακας προτεραιότητας των πράξεων παρουσιάζεται στον Πίνακα

Προτεραιότητα πράξεων

Προτεραιότητα	Πράξη
1	()
2	NOT
3	AND
4	OR

Από τον Πίνακα προτεραιότητας των πράξεων προκύπτει ότι σε μία έκφραση της Άλγεβρας Boole εκτελούνται πρώτα οι πράξεις μέσα σε παρενθέσεις, μετά υπολογίζονται τα συμπληρώματα, στην συνέχεια εκτελούνται οι πράξεις AND και τέλος εκτελούνται οι πράξεις OR.

2.ΛΟΓΙΚΕΣ ΠΥΛΕΣ

Λογικά διαγράμματα των λογικών πυλών

Οι λογικές πύλες είναι τα βασικά δομικά στοιχεία στα ψηφιακά κυκλώματα. Όπως έχουμε στις οικοδομές τα τούβλα και με αυτά κατασκευάζουμε τοίχους και σύνθετες κατασκευές χρησιμοποιώντας παρόμοια υλικά ξανά και ξανά, έτσι και στα ψηφιακά κυκλώματα χρησιμοποιούμε τις λογικές πύλες για να κατασκευάσουμε σύνθετα κυκλώματα.

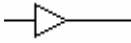
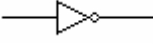
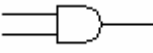



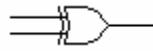

Οι λογικές πύλες μίας και δύο εισόδων παρουσιάζονται στον Πίνακα όπου η έξοδος εκφράζεται ως συνάρτηση των εισόδων.

Λογικές Πύλες - Συναρτήσεις

Λογική Πύλη	Είσοδοι	Έξοδος	Συνάρτηση
Απομονωτής Buffer	A	Y	$Y=A$
Αντιστροφέας NOT	A	Y	$Y=\bar{A}$
AND	A,B	Y	$Y=A \cdot B$
OR	A,B	Y	$Y=A+B$
NAND	A,B	Y	$Y=\overline{A \cdot B}$
NOR	A,B	Y	$Y=\overline{A+B}$
XOR	A,B	Y	$Y=A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B$
XNOR	A,B	Y	$Y=A \cdot B + \bar{A} \cdot \bar{B} = \overline{A \oplus B} = A \odot B$

Τα λογικά διαγράμματα (οι συμβολισμοί) των πυλών αυτών παρουσιάζονται στον Πίνακα

Λογικές Πύλες – Λογικά Διαγράμματα

Λογική Πύλη	Λογικό Διάγραμμα
Απομονωτής Buffer	A 
Αντιστροφέας NOT	A 
AND	A B 
OR	A B 
NAND	A B 
NOR	A B 
XOR	A B 
XNOR	A B 

Πίνακες αληθείας των λογικών πυλών

Ο απομονωτής (buffer)

Ο απομονωτής (buffer) είναι μία πύλη με μία είσοδο και μία έξοδο που είναι ίση με την είσοδο.
Η συνάρτηση του απομονωτή είναι:

$$Y=A$$

και ο πίνακας αληθείας του απομονωτή παρουσιάζεται στον Πίνακα 1.3.3.

Πίνακας αληθείας του απομονωτή

A	Y=A
0	0
1	1

H πύλη NOT

Η πύλη NOT έχει μία είσοδο και μία έξοδο που είναι ίση με το συμπλήρωμα της εισόδου.

Η συνάρτηση της πύλης NOT είναι:

$$Y = \bar{A}$$

και ο πίνακας αληθείας της πύλης NOT παρουσιάζεται στον Πίνακα

Πίνακας αληθείας της πύλης NOT

A	Y = \bar{A}
0	1
1	0

H πύλη AND

Η πύλη AND έχει δύο εισόδους και μία έξοδο που είναι “1”, αν και οι δύο εισοδοί είναι “1”.

Η συνάρτηση της πύλης AND είναι:

$$Y = A \cdot B$$

και ο πίνακας αληθείας της πύλης AND παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πύλης AND

A	B	Y=A·B
0	0	0
0	1	0
1	0	0
1	1	1

H πύλη OR

Η πύλη OR έχει δύο εισόδους και μία έξοδο που είναι “1”, αν τουλάχιστον μία από τις δύο εισόδους είναι “1”.

Η συνάρτηση της πύλης OR είναι:

$$Y = A + B$$

και ο πίνακας αληθείας της πύλης OR παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πύλης OR

A	B	Y=A+B
0	0	0
0	1	1
1	0	1
1	1	1

H πύλη NAND

Η πύλη NAND προκύπτει από μία πύλη AND ακολουθούμενη από μία πύλη NOT. Η πύλη NAND έχει δύο εισόδους και μία έξοδο που είναι “1”, αν τουλάχιστον μία από τις δύο εισόδους είναι “0”.

Η συνάρτηση της πύλης NAND είναι:

$$Y = \overline{A \cdot B}$$

και ο πίνακας αληθείας της πύλης NAND παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πύλης NAND

A	B	Y = $\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

H πύλη NOR

Η πύλη NOR προκύπτει από μία πύλη OR ακολουθούμενη από μία πύλη NOT. Η πύλη NOR έχει δύο εισόδους και μία έξοδο που είναι “1”, αν και οι δύο είσοδοι είναι “0”.

Η συνάρτηση της πύλης NOR είναι:

$$Y = \overline{A + B}$$

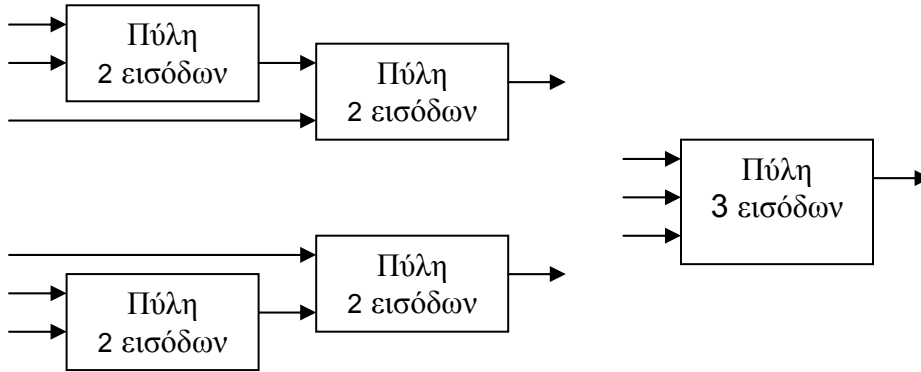
και ο πίνακας αληθείας της πύλης NOR παρουσιάζεται στον Πίνακα

Πίνακας Αληθείας της πύλης NOR

A	B	Y = $\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Λογικές πύλες πολλαπλών εισόδων

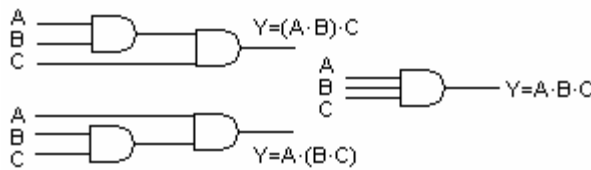
Οι πύλες δύο εισόδων μπορούν να επεκταθούν ώστε να έχουν περισσότερες από δύο εισόδους, εάν οι πράξεις τους έχουν την *αντιμεταθετική* και την *προσεταιριστική* ιδιότητα. Η υλοποίηση μίας τέτοιας πύλης τριών (3) εισόδων με χρήση ομοίων πυλών δύο (2) εισόδων παρουσιάζεται στο Σχήμα



Τεχνική επέκτασης εισόδων πυλών

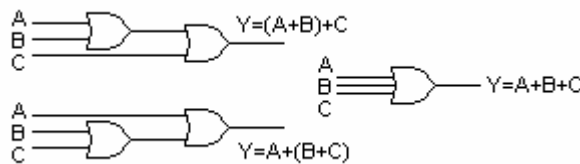
Για παράδειγμα, μία πύλη AND τριών εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες AND δύο εισόδων όπως φαίνεται στο Σχήμα, γιατί ισχύει:

- η αντιμεταθετική ιδιότητα
 $Y=A \cdot B=B \cdot A$
- η προσεταιριστική ιδιότητα
 $Y=A \cdot B \cdot C=(A \cdot B) \cdot C=A \cdot (B \cdot C)$



Υλοποίηση πύλης AND τριών εισόδων με πύλες AND δύο εισόδων

Με την ίδια λογική, μία πύλη OR τριών εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες OR δύο εισόδων όπως φαίνεται στο Σχήμα



Υλοποίηση πύλης OR τριών εισόδων με πύλες OR δύο εισόδων

Η πύλη NAND τριών εισόδων ορίζεται ως το συμπλήρωμα της πύλης AND τριών εισόδων. Επομένως, η έξοδος της πύλης NAND τριών εισόδων είναι “1”, αν τουλάχιστον μία από τις δύο εισόδους είναι “0”. Μία πύλη NAND τριών εισόδων **δεν** μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες NAND δύο εισόδων, γιατί ισχύει η αντιμεταθετική ιδιότητα, αλλά δεν ισχύει η προσεταιριστική ιδιότητα αφού:

$$\overline{A \cdot B \cdot C} \neq \overline{\overline{A \cdot B} \cdot C} = A \cdot B + \overline{C}$$

$$\overline{A \cdot B \cdot C} \neq \overline{A \cdot \overline{B \cdot C}} = \overline{A} + B \cdot C$$

όπως φαίνεται στον Πίνακα

Πύλη NAND: δεν ισχύει η προσεταιριστική ιδιότητα

A	B	C	$\overline{A \cdot B \cdot C}$	$\overline{\overline{A \cdot B} \cdot C}$	$\overline{A \cdot \overline{B \cdot C}}$
0	0	0	1	1	1
0	0	1	1	0	1
0	1	0	1	1	1
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	1	1

Με την ίδια λογική, μία πύλη NOR τριών εισόδων **δεν** μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες NOR δύο εισόδων.

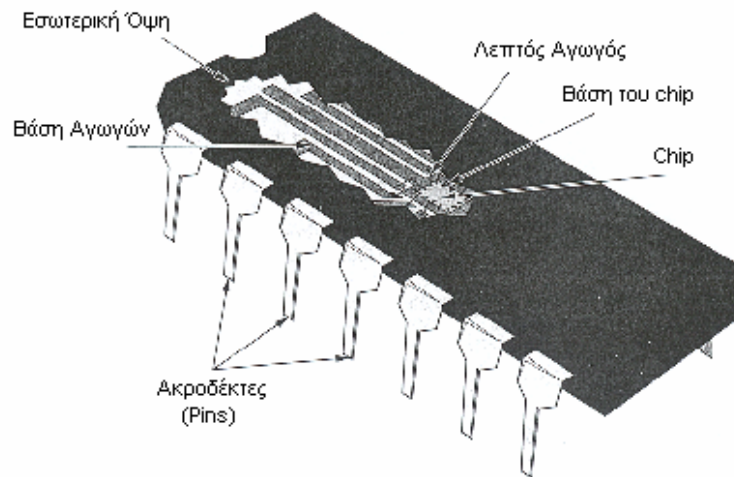
Η λογική της επέκτασης του πλήθους των εισόδων των πυλών, μπορεί να εφαρμοστεί και για πύλες τεσσάρων εισόδων.

Για παράδειγμα, μία πύλη AND τεσσάρων εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας τρεις πύλες AND δύο εισόδων και μία πύλη OR τεσσάρων εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας τρεις πύλες OR δύο εισόδων.

3.ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

Οικογένειες ολοκληρωμένων κυκλωμάτων

Τα ολοκληρωμένα κυκλώματα (integrated circuits) είναι συστατικά στοιχεία των ψηφιακών κυκλωμάτων. Ένα ολοκληρωμένο κύκλωμα είναι ένας ημιαγωγός κρύσταλλος από πυρίτιο (chip) που περιέχει ηλεκτρονικά στοιχεία με τα οποία κατασκευάζονται οι πύλες. Το chip τοποθετείται σε ένα πλαστικό περίβλημα και συγκολλούνται επαφές σε εξωτερικούς ακροδέκτες (pins) για να σχηματιστεί το ολοκληρωμένο κύκλωμα. Στο Σχήμα φαίνεται η εσωτερική όψη ενός ολοκληρωμένου κυκλώματος σε συσκευασία ακροδεκτών διπλής σειράς (Dual In-line Package - DIP).



Εσωτερική Όψη Ολοκληρωμένου Κυκλώματος

Τα ολοκληρωμένα κυκλώματα ανήκουν σε μία Κλίμακα Ολοκλήρωσης (Scale Integration) ανάλογα με το πλήθος των ισοδύναμων με πύλες κυκλωμάτων που περιέχουν.

τα ολοκληρωμένα κυκλώματα ανήκουν σε μία από τις ακόλουθες κατηγορίες:

- **SSI** (Small Scale Integration) περιλαμβάνει λιγότερα από 12 ισοδύναμα με μία πύλη κυκλώματα
- **MSI** (Medium Scale Integration) περιλαμβάνει 12-100 ισοδύναμα με μία πύλη κυκλώματα
- **LSI** (Large Scale Integration) περιλαμβάνει 100-1000 ισοδύναμα με μία πύλη κυκλώματα
- **VLSI** (Very Large Scale Integration) περιλαμβάνει περισσότερα 1000-100000 ισοδύναμα με μία πύλη κυκλώματα
- **ULSI** (Ultra Large Scale Integration) περιλαμβάνει περισσότερα από 100000 ισοδύναμα με μία πύλη κυκλώματα

Οι λογικές πύλες ανήκουν σε μία οικογένεια (family) ολοκληρωμένων κυκλωμάτων, οι πιο γνωστές από τις οποίες είναι:

- BIPOLAR
- CMOS (Complementary Metal-Oxide Semiconductor)
- BICMOS (Bipolar CMOS)
- ECL (Emitter Coupled Logic)

Τα χαρακτηριστικά των λογικών πυλών των ολοκληρωμένων κυκλωμάτων είναι τα ακόλουθα:

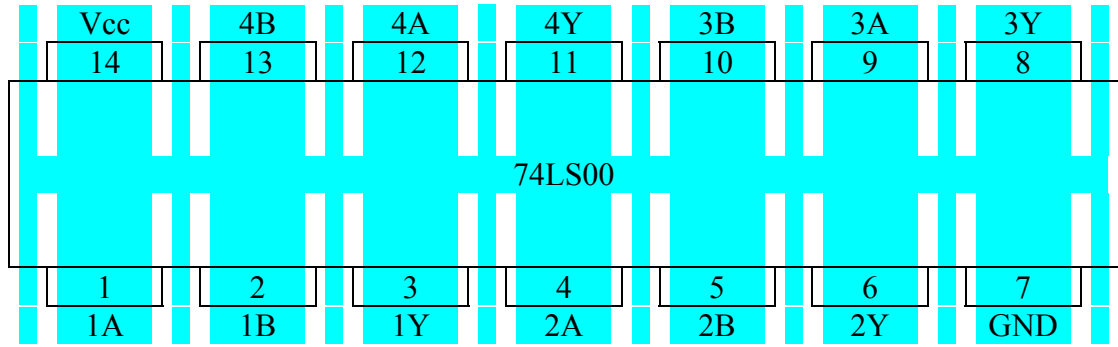
- **Ικανότητα οδήγησης εξόδου** (Fun Out) είναι το πλήθος των εισόδων του ολοκληρωμένου κυκλώματος που μπορούν να οδηγηθούν από μία έξοδο του χωρίς να κινδυνεύσει η ομαλή λειτουργία.
- **Απώλεια ισχύος** (Power Dissipation) είναι η ισχύς η οποία καταναλώνεται από τις πύλες κατά την λειτουργία τους με αποτέλεσμα την παραγωγή θερμότητας που διαχέεται στο περιβάλλον.
- **Καθυστέρηση διάδοσης** (Propagation Delay) είναι ο χρόνος για να διαδοθεί η αλλαγή ενός σήματος από την είσοδο στην έξοδο.
- **Περιθώριο θορύβου** (Noise Margin) είναι η ελάχιστη τάση εξωτερικού θορύβου που προκαλεί ανεπιθύμητη αλλαγή στην έξοδο.

Η σειρά ολοκληρωμένων κυκλωμάτων 74

Τα ολοκληρωμένα κυκλώματα της σειράς 74 είναι ευρέως χρησιμοποιούμενα. Η ονομασία τους αρχίζει με γράμματα που αφορούν στην κατασκευάστρια εταιρεία, ακολουθεί ο αριθμός 74, στη συνέχεια ακολουθούν γράμματα που προσδιορίζουν την οικογένεια και τελειώνει με αριθμούς που προσδιορίζουν τη λειτουργία τους.

Για παράδειγμα, το ολοκληρωμένο κύκλωμα DM74LS00 είναι της εταιρείας National Semiconductors (DM) της σειράς 74, της οικογένειας BIPOlar Low Power Schottky (LS) και περιέχει τέσσερις πύλες NAND δύο εισόδων (00).

Το ολοκληρωμένο κύκλωμα 74LS00



Στον Πίνακα παρουσιάζονται οι εξωτερικοί ακροδέκτες (pins) του ολοκληρωμένου κυκλώματος 74LS00 και η σημασία τους. Υπάρχουν 14 pins: 12 pins για τις εισόδους και τις εξόδους των τεσσάρων πυλών NAND που περιέχει το ολοκληρωμένο κύκλωμα και 2 pins για την τροφοδοσία του.

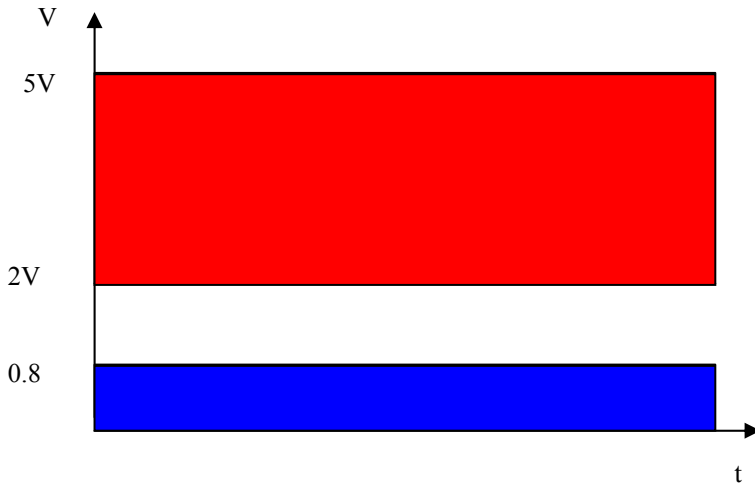
Pin	Σημασία
1	1A πρώτη είσοδος πύλης 1
2	1B δεύτερη είσοδος πύλης 1
3	1Y έξοδος πύλης 1
4	2A πρώτη είσοδος πύλης 2
5	2B δεύτερη είσοδος πύλης 2
6	2Y έξοδος πύλης 2
7	GND γείωση
8	3Y έξοδος πύλης 3
9	3A πρώτη είσοδος πύλης 3
10	3B δεύτερη είσοδος πύλης 3
11	4Y έξοδος πύλης 4
12	4A πρώτη είσοδος πύλης 4
13	4B δεύτερη είσοδος πύλης 4
14	Vcc τάση τροφοδοσίας

Λογικές τιμές και περιοχές τάσης.

Τα ολοκληρωμένα κυκλώματα αναγνωρίζουν στις εισόδους τους ηλεκτρικές τάσεις, στις οποίες αντιστοιχούν οι λογικές τιμές "0" ή "1". Επίσης, στις εξόδους τους δίνουν ηλεκτρικές τάσεις που αντιστοιχούν στις λογικές τιμές "0" ή "1".

Στην πράξη όμως δεν είναι δυνατόν να έχουμε απόλυτα ακριβείς τιμές τάσεων. Αυτό συμβαίνει για διάφορους λόγους, όπως **διακυμάνσεις της τάσης τροφοδοσίας, επίδραση της θερμοκρασίας και των θορύβων** στη λειτουργία των κυκλωμάτων και **επίδραση του φορτίου στην τάση εξόδου**. Για το

λόγο αυτό ορίζονται δύο περιοχές τάσης, η μία που αντιστοιχεί στο λογικό "1" και η άλλη που αντιστοιχεί στο λογικό "0". Ανάμεσα τους υπάρχει μία περιοχή που τις ξεχωρίζει. Μία τιμή τάσης που βρίσκεται σε αυτή δεν μπορεί να θεωρηθεί από το κύκλωμα ούτε ως λογικό "0" ούτε ως λογικό "1" και έτσι η συμπεριφορά του ολοκληρωμένου είναι απρόβλεπτη. Οι περιοχές των τάσεων αναφέρονται στα φύλλα δεδομένων (Data Sheets) των κατασκευαστών. Για παράδειγμα, το ολοκληρωμένο κύκλωμα 7400 αναγνωρίζει στις εισόδους του ως λογικό "0" την περιοχή τάσεων από 0 Volts μέχρι 0.8 Volts και ως λογικό "1" την περιοχή τάσεων από 2 Volts μέχρι 5 Volts, όπως φαίνεται στο Σχήμα. Οι αποδεκτές τιμές για τις τάσεις εξόδου του είναι από 0 Volts μέχρι 0.4 Volts για λογικό "0" και από 2.7 Volts μέχρι 5 Volts για λογικό "1", όπως φαίνεται στο Σχήμα 1.4.4.



Αποδεκτές τιμές για τις τάσεις εξόδου

Τύποι Ολοκληρωμένων Κυκλωμάτων

Υπάρχουν διάφοροι τρόποι να ταξινομήσουμε τα ICs σε σχέση με τη χρήση και τη μέθοδο κατασκευής τους.

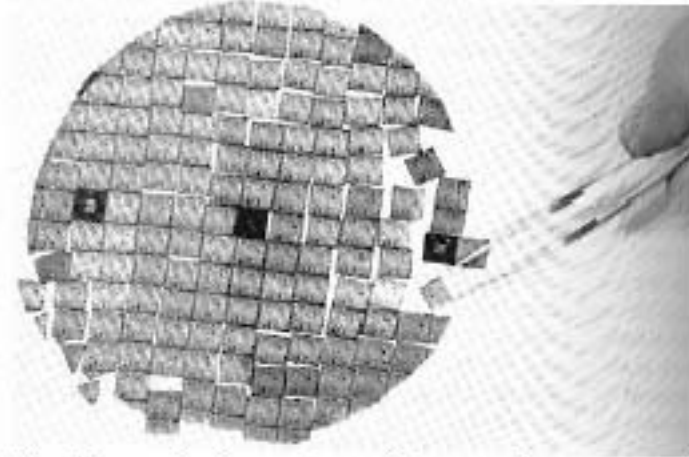
Οι πιο συνηθισμένες κατηγορίες είναι τα **γραμμικά** και **ψηφιακά** όσον αφορά στην **εφαρμογή**, και τα **μονολιθικά** και **υβριδικά** όσον αφορά στην **κατασκευή**.

Τα γραμμικά ICs είναι αυτά που πραγματοποιούν ενίσχυση ή κάποια άλλη γραμμική λειτουργία στα σήματα. Παραδείγματα των γραμμικών κυκλωμάτων αποτελούν οι απλοί ενισχυτές, οι τελεστικοί ενισχυτές και τα αναλογικά κυκλώματα επικοινωνιών.

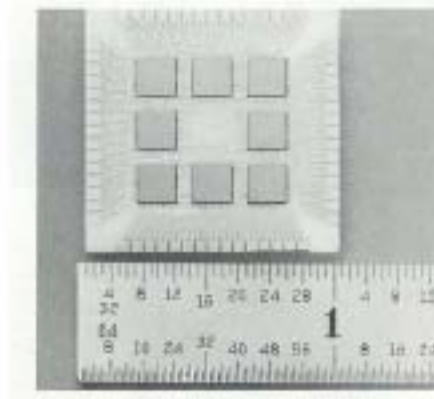
Τα ψηφιακά κυκλώματα περιλαμβάνουν λογική και μνήμη, για εφαρμογές σε υπολογιστές, αριθμομηχανές, μικροεπεξεργαστές και άλλες παρόμοιες διατάξεις. Ο κύριος όγκος των ICs ανήκει σ' αυτήν την κατηγορία, αφού απαιτείται μεγάλος αριθμός τέτοιων κυκλωμάτων. Δεδομένου ότι τα ψηφιακά κυκλώματα απαιτούν γενικά μόνο τη λειτουργία "on-off" των τρανζίστορ, οι απαιτήσεις στο σχεδιασμό των ολοκληρωμένων ψηφιακών κυκλωμάτων είναι συνήθως λιγότερο αυστηρές απ' ό,τι στα γραμμικά κυκλώματα. Αν και τα τρανζίστορ μπορούν να κατασκευαστούν εξίσου εύκολα σε ολοκληρωμένη και σε διακριτή μορφή, τα παθητικά στοιχεία (αντιστάτες και πυκνωτές) είναι συνήθως πιο δύσκολο να κατασκευαστούν στην περίπτωση των ICs.

Μονολιθικά και Υβριδικά Κυκλώματα

Τα ολοκληρωμένα κυκλώματα που εμπεριέχονται εξ ολοκλήρου σε ένα chip ημιαγωγού (συνήθως Si) ονομάζονται μονολιθικά κυκλώματα (Σχ. 1). Η λέξη μονολιθικός, όπως προκύπτει και από την ετοιμολογία της (ένας λίθος), υποδηλώνει ότι ολόκληρο το κύκλωμα εμπεριέχεται σε ένα μόνο τεμάχιο ημιαγωγού. Οποιοσδήποτε προσθήκες στο δείγμα του ημιαγωγού, όπως είναι τα μονωτικά στρώματα και τα μοντέλα επιμετάλλωσης είναι στενά προσκολλημένα στην επιφάνεια του chip. Ένα υβριδικό κύκλωμα μπορεί να περιλαμβάνει ένα ή περισσότερα μονολιθικά κυκλώματα ή μεμονωμένα τρανζίστορ τοποθετημένα στο μονωτικό υπόστρωμα μαζί με αντιστάτες, πυκνωτές ή άλλα στοιχεία, με τα οποία συνδέονται κατάλληλα (Σχ. 2). Τα μονολιθικά κυκλώματα έχουν το πλεονέκτημα ότι όλα τα στοιχεία τους εμπεριέχονται σε μία στερεή δομή, η οποία μπορεί να προκύψει με ομαδική κατασκευή· δηλ. εκατοντάδες ίδια κυκλώματα μπορούν να κατασκευαστούν ταυτόχρονα πάνω σε ένα πλακίδιο Si. Απ' την άλλη πλευρά, τα υβριδικά κυκλώματα παρέχουν εξαιρετική μόνωση μεταξύ των στοιχείων και επιτρέπουν τη χρήση ακριβέστερων αντιστατών και πυκνωτών. Επιπλέον, η κατασκευή των υβριδικών κυκλωμάτων κοστίζει συνήθως λιγότερο, όταν πρόκειται για μικρό αριθμό κυκλωμάτων.



Σχήμα 1. Πλακίδιο με ολοκληρωμένα κυκλώματα μετά τον τεμαχισμό σε ανεξάρτητα ολοκληρωμένα κυκλώματα.



Σχήμα 2. Υβριδικά ολοκληρωμένα κυκλώματα

4.ΕΙΣΑΓΩΓΗ ΣΤΟΝ VLSI ΣΧΕΔΙΑΣΜΟ

Ζήτηση για πολύπλοκα και υψηλής απόδοσης ολοκληρωμένα κυκλώματα.

Ο όρος πολύ-μεγάλης-κλίμακας ολοκλήρωσης (Very Large Scale Intergration, VLSI),

→ πολύπλοκα ηλεκτρονικά κυκλώματα αποτελούμενα από εκατοντάδες χιλιάδες στοιχεία σε μια απλή επιφάνεια μονοκρυσταλλικού πυριτίου.

“νόμο του Moore”, (1960) : προβλέπει τετραπλασιασμό των ηλεκτρονικών στοιχείων ανά μονάδα επιφανείας πυριτίου κάθε τρία με τέσσερα έτη.

Υπάρχουν μερικοί παράγοντες που συνεισφέρουν σε αυτήν τη μεγάλη ανάπτυξη:

α) Η **μείωση των διαστάσεων** βασικών κυκλωμάτων και του πλάτους των γραμμών διασύνδεσης που οφείλεται στη βελτίωση της λιθογραφικής τεχνικής,

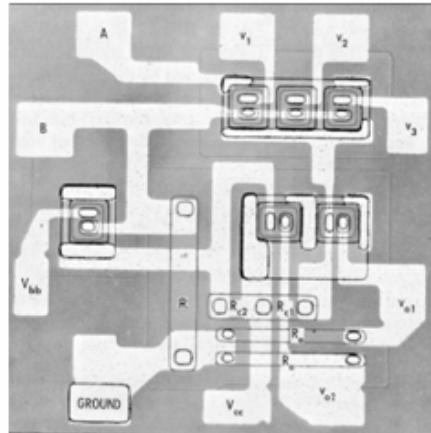
β) η **αύξηση του μεγέθους της πλάκας πυριτίου** όπου αναπτύσσονται τα ολοκληρωμένα κυκλώματα (wafer) που οφείλεται στη βελτίωση της αξιοπιστίας των μονάδων επεξεργασίας,

γ) η **αύξηση της εμπειρίας στο σχεδιασμό** ολοκληρωμένων κυκλωμάτων,

δ) η **καλύτερη κατανόηση των επιπέδων του σχεδιασμού** οδηγώντας στη βελτίωση των αρχιτεκτονικών με συνέπεια την καλύτερη εκμετάλλευση της τεχνολογίας και

ε) η **διαθεσιμότητα καλύτερων εργαλείων σχεδιασμού** για φυσικό σχεδιασμό κυκλωμάτων (layout design), εξομοίωση (simulation), επαλήθευση (verification) και ελεγχιμότητα (testing).

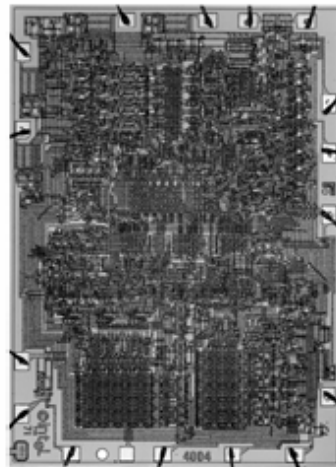
Ολοκληρωμένα Κυκλώματα



Το πρώτο ολοκληρωμένο:
Bipolar logic
1960's

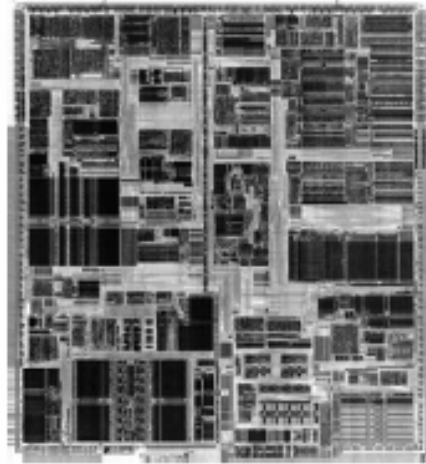
ECL 3-input Gate
Motorola 1966

Επεξεργαστής Intel 4004



1971
1000 transistors
1 MHz

Επεξεργαστής Intel Pentium 4



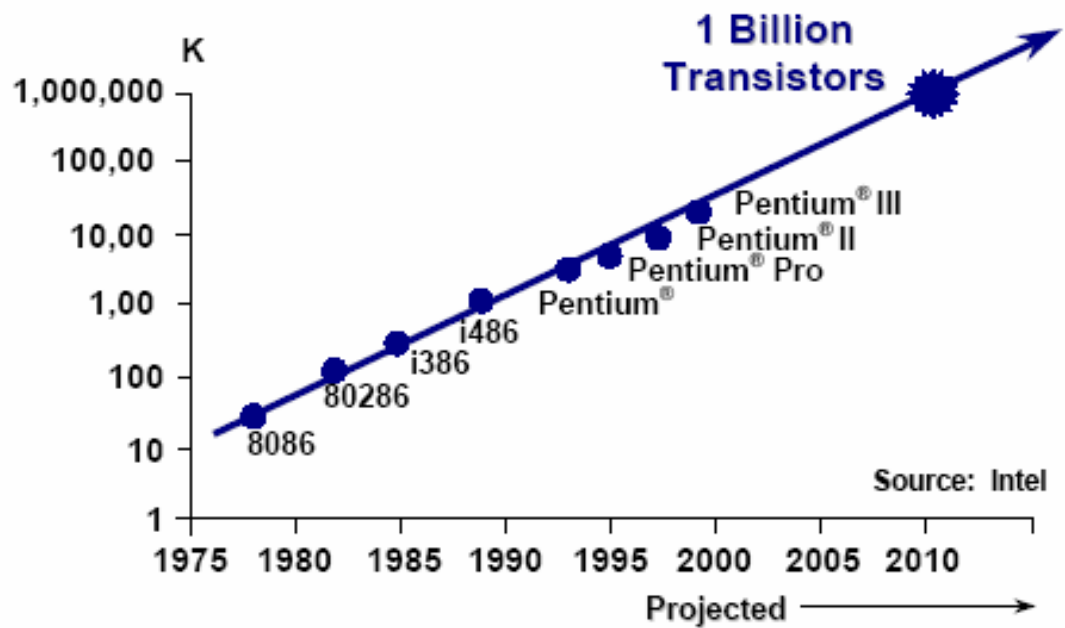
2004
55 million transistors
3.2 GHz

Νόμος Moore

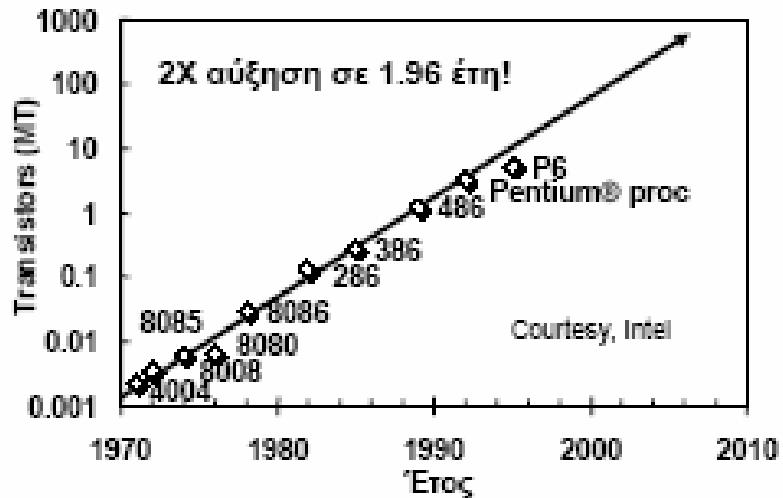
- Το 1965, ο Gordon Moore (μηχανικός στην Intel) παρατήρησε ότι ο αριθμός των τρανζίστορ διπλασιαζόταν κάθε 18 έως 24 μήνες.
- Προέβλεψε ότι η κατασκευαστική τεχνολογία θα διπλασιάζει την αποδοτικότητα της κάθε 18 μήνες.

NΟΜΟΣ ΤΟΥ ΜΟΟΡΕ (INTEL)

Ο αριθμός των τρανζίστορς ανά Ο.Κ. διπλασιάζεται κάθε 18 μήνες
Gordon Moore, 1965 (Στοιχεία 1959-1965)

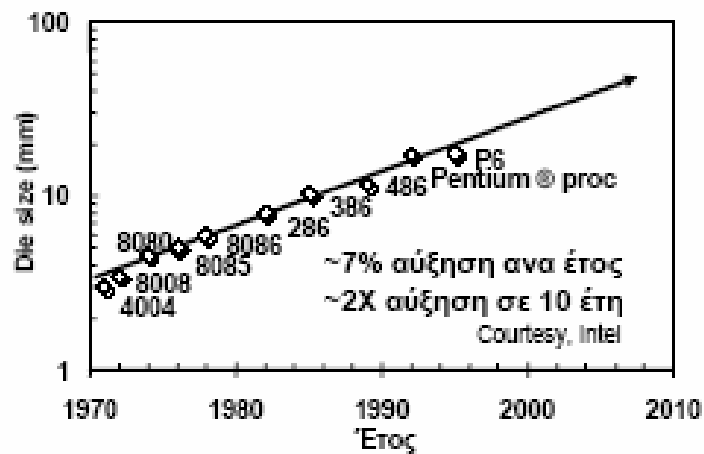


Νόμος Moore σε Επεξεργαστές



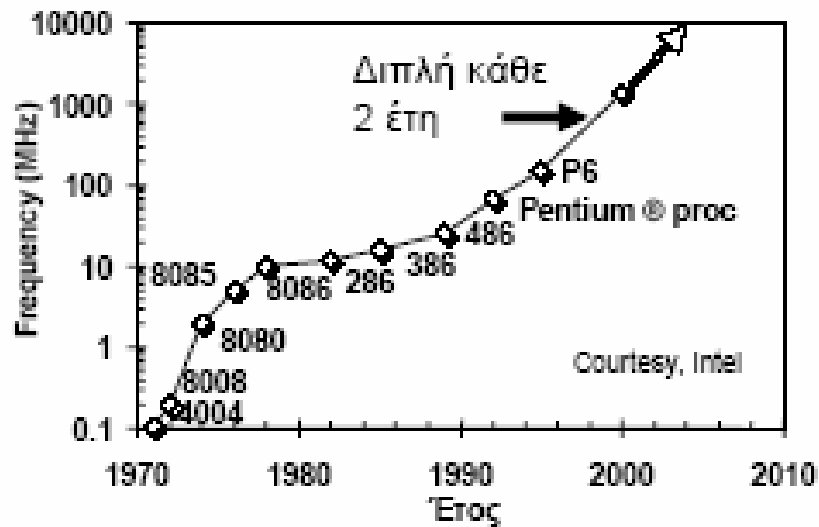
Το πλήθος Τραζιστορ σε επεξεργαστές αιχμής διπλασιάζεται κάθε 2 χρόνια

Μέγεθος Ολοκληρωμένου



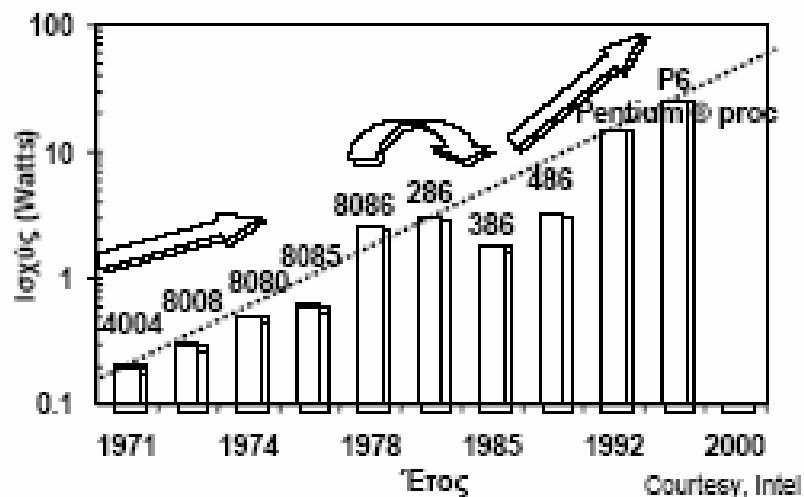
Αύξηση κατά 14% για τον νόμο Moore

Συχνότητα















Η συχνότητα διπλασιάζεται κάθε 2 έτη σε επεξεργαστές αιχμής

Κατανάλωση Ισχύος



Η κατανάλωση ισχύος συνεχίζει να αυξάνεται

 ΝΟΜΟΣ ΤΟΥ MOORE (INTEL)

Silicon Process Technology	1.5μ	1.0μ	0.8μ	0.6μ	0.35μ	0.25μ
Intel386™ DX Processor						
Intel486™ DX Processor						
Pentium® Processor						
Pentium® Pro & Pentium® II Processors						

ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

- Τα Ο.Κ. χαρακτηρίζονται από:
 - Υψηλή απόδοση σε συγκεκριμένη εφαρμογή ή πεδίο εφαρμογών
 - Συγκεκριμένη λειτουργικότητα (functionality)
 - ΠΑΡΑΔΕΙΓΜΑΤΑ:
 - MPEG Coder
 - FIR filter processor
 - Μετρητής Απόστασης με LASER
 - Έλεγχος Φόρτισης Μπαταριών από Ηλιακά Κύτταρα
 - Ο.Κ. σε κάρτες προσωπικών υπολογιστών (κάρτα δικτύου, γραφικών, motherboard, κλπ)
-

ΠΛΕΟΝΕΚΤΗΜΑΤΑ ΧΡΗΣΗΣ Ο.Κ.

- Αντικατάσταση μεγάλου αριθμού διακριτών στοιχείων με αποτέλεσμα:
 - ελαχιστοποίηση του μεγέθους του συστήματος
 - αύξηση της ταχύτητας
 - μείωση της κατανάλωσης ισχύος
 - ελαχιστοποίηση των διατάξεων ψύξης
 - αύξηση της αξιοπιστίας
 - μείωση του κόστους του συστήματος
- Δυνατότητα ενσωμάτωσης ιδιαίτερων λειτουργιών
- Εξασφάλιση από πιθανή αντιγραφή
- Μείωση του χρόνου ανάπτυξης του συστήματος και επιτάχυνση της διάθεσής του στην αγορά

ΜΕΙΟΝΕΚΤΗΜΑΤΑ ΧΡΗΣΗΣ Ο.Κ.

- Στατιστικά το 50% των ASIC αποτυγχάνουν να λειτουργήσουν σωστά την πρώτη φορά
 - Πιθανή ανατροπή του χρονοδιαγράμματος λόγω ανάγκης επανάληψης της διαδικασίας σχεδιασμού /κατασκευής
 - Δυσκολία στον έλεγχο και στην εξεύρεση λαθών
 - Υψηλό κόστος πρωτοτυποποίησης
 - Ο όγκος παραγωγής μπορεί να μην ξεπεράσει την κρίσιμη ποσότητα
-

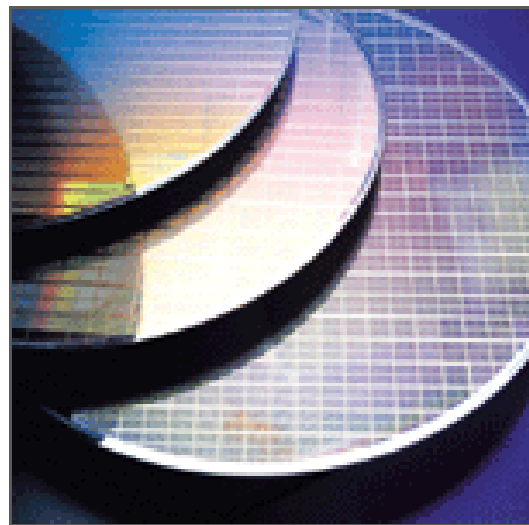
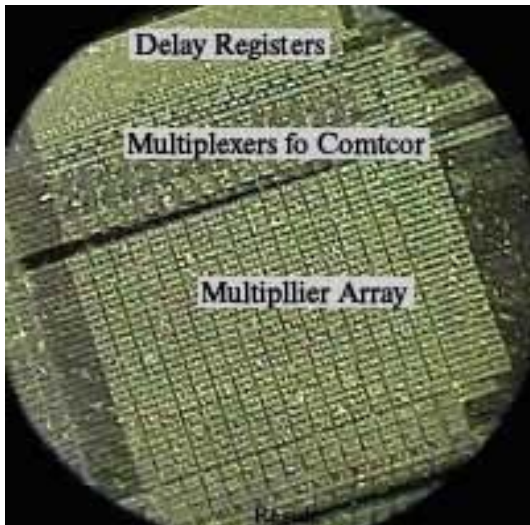
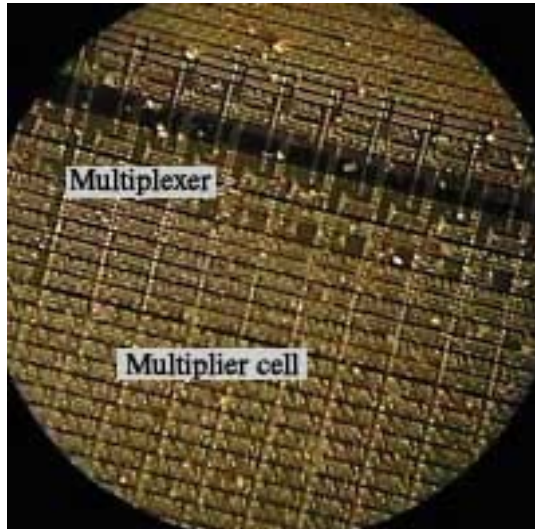
Στοιχεία Ολοκληρωμένων Κυκλώματων

- **Transistors**

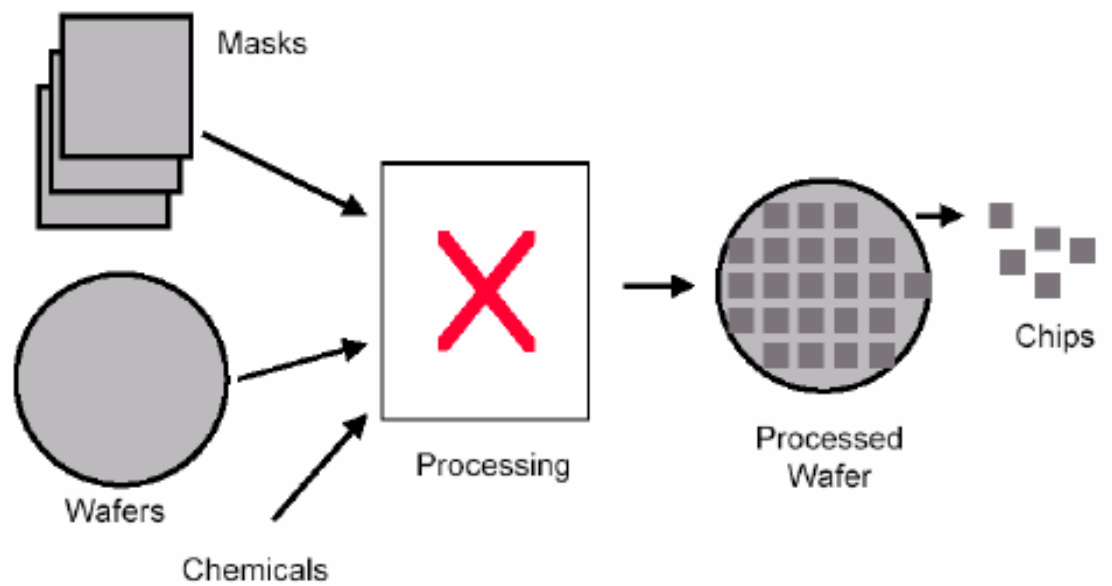
- Απαιτούν υπόβαθρο πυριτίου και πηγάδια
- Διαχύσεις (n και p τύπου) (diffusion)
- Πολυκρυσταλλικό πυρίτιο (polysilicon)

- **Ηλεκτρικές διασυνδέσεις**

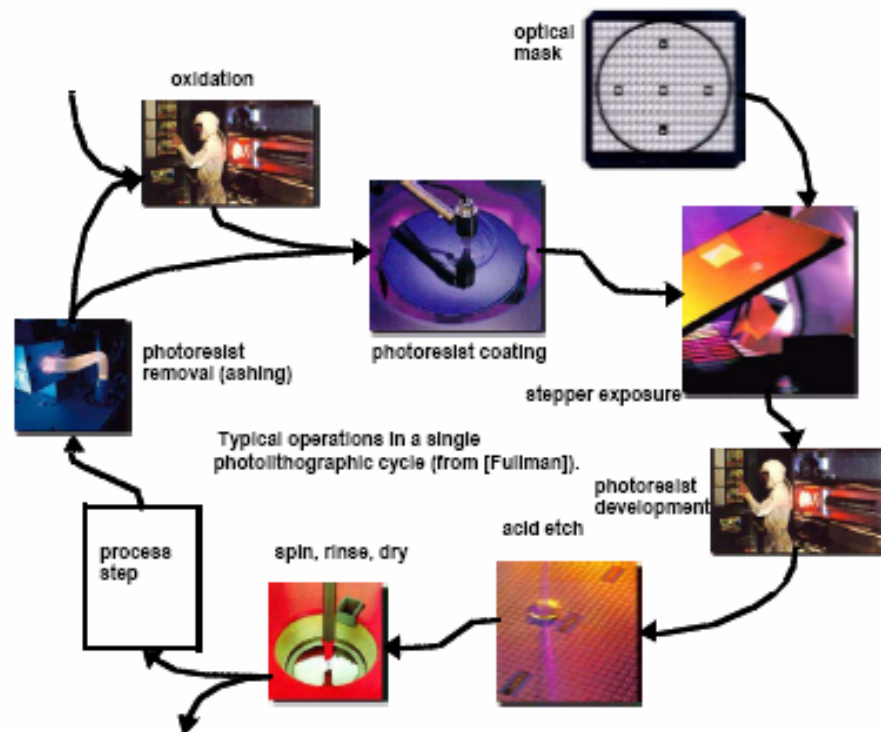
- Πολλά επίπεδα μετάλλου (αλουμίνιο, χαλκός)
- Διηλεκτρικό μεταξύ των μετάλλων (SiO_2 , low-k)
- Επαφές μεταξύ διαφορετικών επιπέδων (Τρύπες στο διηλεκτρικό)



Διαδικασία Κατασκευής Ο.Κ.



Φωτολιθογραφική Διαδικασία



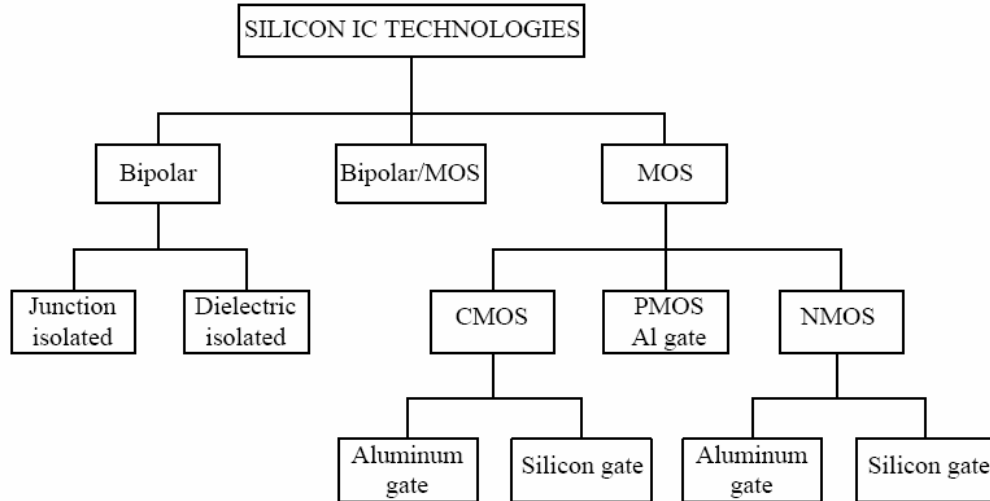
METAL – OXIDE - SEMICONDUCTOR

Δομή MOS : υπέρθεση πολλαπλών στρωμάτων αγώγιμων – μονωτικών υλικών

Δημιουργία δομών : σειρά χημικών διεργασιών

- ΟΞΕΙΔΩΣΗ (oxidation) Si μόνωση
- ΔΙΑΧΥΣΗ (diffusion) προσμίξεων
- ΑΠΟΘΕΣΗ (deposition)
- ΧΑΡΑΞΗ (etching) Al πάνω στο Si

- Τα ηλεκτρονικά κυκλώματα και συστήματα κατασκευάζονται με βάση μεμονωμένα ημιαγώγιμα στοιχεία και Ο.Κ. σε ένα υπόστρωμα **μονοκρυσταλλικού** πυριτίου.
- Τα στοιχεία ηλεκτρικά μονωμένα μεταξύ τους, διασυνδέσεις με επιμετάλλωση (μέσω λιθογραφικής μάσκας)
- Διαδικασία
 - επιταξία, οξείδωση
 - λιθογραφία, ξηρή χάραξη
 - ανάπτυξη διηλεκτρικών (μάσκα διάχυσης, Si_3N_4)
 - διάχυση, εμφύτευση ιόντων (-n, -p)
 - ανάπτυξη polysilicon
 - επιμετάλλωση



Γιατί CMOS τεχνολογία

Τα CMOS ολοκληρωμένα κυκλώματα παρουσιάζουν πολλά πλεονεκτήματα σε σχέση με κυκλώματα άλλων τεχνολογιών (bipolar, nMOS, GaAs, κ.α.). Τα πιο σημαντικά απ' αυτά είναι:

- α) η χαμηλή κατανάλωση Ισχύος
- β) η μεγάλη δυνατότητα ολοκλήρωσης

Υπάρχουν βέβαια και άλλες αιτίες που καθιστούν τη **CMOS τεχνολογία ως την καλύτερη επιλογή** για τις περισσότερες των εφαρμογών. Οι σπουδαιότερες απ' αυτές εξετάζονται παρακάτω:

α) Χαμηλή κατανάλωση Ισχύος

Τα στατικά CMOS κυκλώματα έχουν το χαρακτηριστικό ότι παροχή ρεύματος από την πηγή ισχύος απαιτείται

μόνο στην περίπτωση που συμβαίνει αλλαγή κατάστασης της εξόδου μίας λογικής πύλης (**δυναμική κατανάλωση ισχύος**) .

Εάν οι εισοδοί μίας πύλης παραμένουν σταθερές σε κατάσταση "0" ή "1", τότε η **στατική κατανάλωση ισχύος** περιορίζεται σ' αυτήν που προκύπτει από τα **ρεύματα διαρροής**. Συγκρινόμενη με άλλες τεχνολογίες όπως η nMOS και η TTL, η μικρή κατανάλωση ισχύος είναι ένα μεγάλο πλεονέκτημα που οδηγεί

επίσης σε μείωση της παραγωμμένης θερμότητας και συνεπώς σε μείωση του κόστους για την απομάκρυνσή της.

β) Μεγάλη Πυκνότητα Ολοκλήρωσης

Η μεγάλη πρόοδος στην τεχνολογία επεξεργασίας του πυριτίου έχει συμβάλει αποφασιστικά στην καθιέρωση της CMOS τεχνολογίας. Σήμερα είναι δυνατή η κατασκευή γραμμών διασύνδεσης με πλάτος μικρότερο του 0.5 μm χρησιμοποιώντας τις τεχνικές της οπτικής λιθογραφίας. Η πυκνότητα ολοκλήρωσης αυξάνεται καθώς το μέγεθος των στοιχείων (τρανζίστορ) μειώνεται, επιτρέποντας στη CMOS τεχνολογία να επιτυγχάνει υψηλότερο βαθμό ολοκλήρωσης από ότι η τεχνολογία διπολικών τρανζίστορς.

γ) Μέγιστο πεδίο Μεταβολής Τάσης στις Λογικές Στάθμες της Εξόδου

Στις CMOS πύλες οι λογικές στάθμες των εξόδων τους αντιστοιχούν στις στάθμες των πηγών ισχύος. Για παράδειγμα, εάν χρησιμοποιείται πηγή ισχύος τάσης 5V, τότε το πεδίο μεταβολών τάσης στην έξοδο είναι 0 - 5V. Το λογικό "0" αντιστοιχεί σε 0V και το λογικό "1" σε 5V. Σαν σύγκριση μία TTL πύλη δίνει στάθμες εξόδου 0.3- 3.6V για την ίδια πηγή ισχύος. Το μεγαλύτερο πεδίο μεταβολής στις στάθμες εξόδου της CMOS πύλης σημαίνει μεγαλύτερα περιθώρια θορύβου και συνεπώς πιο αξιόπιστα λογικά κυκλώματα.

δ) Συμμετρική Απόκριση Μετάβασης

Η απόκριση μετάβασης μίας πύλης είναι κρίσιμη για το συγχρονισμό της ροής των λογικών σημάτων. Ένα CMOS κύκλωμα μπορεί να σχεδιαστεί έτσι ώστε να έχει συμμετρικούς χρόνους μετάβασης στην έξοδο του, διευθετώντας το μέγεθος των τρανζίστορς. Αυτό σημαίνει ότι ο χρόνος που απαιτείται για την έξοδο να μεταβεί από το λογικό "0" στο λογικό "1" μπορεί να γίνει ίσος με το χρόνο που απαιτείται για τη μετάβασή της από το λογικό "1" στο λογικό "0". Η δυνατότητα συμμετρικής απόκρισης απλοποιεί το σχεδιασμό του χρονισμού πολύπλοκων κυκλωμάτων.

ε) Σχεδιασμός Κυκλωμάτων Δυναμικής Λογικής

Τα κυκλώματα που βασίζονται στη MOS τεχνολογία περιέχουν κόμβους όπου κυριαρχούν οι παρασιτικές χωρητικότητες που επηρεάζουν την ηλεκτρική συμπεριφορά τους. Αν και μεγάλες τιμές χωρητικότητας τείνουν να μειώσουν την ταχύτητα των κυκλωμάτων στατικής λογικής, είναι δυνατή η χρησιμοποίηση των κόμβων αυτών για δυναμική αποθήκευση φορτίου. Σ' αυτήν την περίπτωση, το φορτίο δρά ως μία λογική παράμετρος και μπορεί να μεταφερθεί χρησιμοποιώντας ένα δίκτυωμα από τρανζίστορς. Γενικά, κυκλώματα δυναμικής λογικής παρέχουν μεγαλύτερη πυκνότητα ολοκλήρωσης καθώς επίσης και επιπλέον πλεονεκτήματα όσον αφορά το χρονισμό και την ταχύτητα των κυκλωμάτων.

στ) **Διπολικά Ολοκληρωμένα Κυκλώματα**

Τα κυκλώματα που σχεδιάζονται με διπολική λογική ζεύξεως εκπομπού (Emitter-Coupled Logic, ECL) είναι τα πιο γρήγορα διαθέσιμα κυκλώματα που μπορούν να σχεδιαστούν σε πυρίτιο. Το κύριο μειονέκτημα τους, που απέτρεψε και την εξάπλωσή τους στο χώρο των μικροεπεξεργαστών, είναι η μεγάλη κατανάλωση ισχύος και η συνεπαγόμενη θερμότητα που εκλύεται. Συνδυάζοντας τη διπολική και τη CMOS λογική στη νέα BiCMOS λογική επιτυγχάνεται η εκμετάλλευση των πλεονεκτημάτων των δύο αυτών κατηγοριών.

ζ) **Κυκλώματα Αρσενιούχου Γαλλίου**

Κυκλώματα με μεγαλύτερη ταχύτητα απόκρισης από αυτή που επιτυγχάνεται σε πυρίτιο μπορούν να δημιουργηθούν σε Αρσενιούχο Γάλλιο (GaAs). Αυτό οφείλεται κυρίως στο ότι η κινητικότητα του ηλεκτρονίου είναι πολύ μεγαλύτερη στην περίπτωση του GaAs και έχει ως συνέπεια τη δυνατότητα ανταπόκρισης του τρανζίστορ σε υψηλότερες συχνότητες. Εντούτοις, υπάρχουν μερικοί λόγοι που καθιστούν τη CMOS τεχνολογία πολύ σημαντική συγκρινόμενη με την GaAs τεχνολογία. Αυτοί είναι :

- 1) **Κόστος Υλικού** : Το GaAs δεν υπάρχει στη φύση και πρέπει να αναπτυχθεί. Αυτό αυξάνει το κόστος παραγωγής. Το πυρίτιο είναι άφθονο όσο η άμμος με συνέπεια να κοστίζει ελάχιστα.
- 2) **Γνώση Τεχνολογίας** : Το πυρίτιο είναι το καλύτερα μελετημένο υλικό στη γη. Αν και έχουμε συσσωρεύσει επίσης ένα μεγάλο ποσό γνώσης για το GaAs αυτή δεν μπορεί να συγκριθεί με τη γνώση μας για την τεχνολογία του πυριτίου.
- 3) **Εφαρμογές** : Η πλειονότητα των ολοκληρωμένων κυκλωμάτων δεν χρειάζεται να επεξεργαστεί δεδομένα σε ρυθμούς gigabit/sec. Γι' αυτά τα κυκλώματα, το πυρίτιο είναι ακόμα η καλύτερη επιλογή.

Από τα παραπάνω φαίνεται καθαρά ότι η αύξηση της δημοτικότητας της CMOS τεχνολογίας οφείλεται σε πολλούς παράγοντες . Η CMOS τεχνολογία αποτελεί το κύριο εργαλείο στην υλοποίηση VLSI κυκλωμάτων καθώς επίσης και για την τεχνολογική προαγωγή σε σχεδιασμό κυκλωμάτων υπερυψηλής κλίμακας ολοκλήρωσης (Ultra Large Scale Intergration,ULSI).

5.MOS Τρανζίστορ

Οι επεξεργασίες κατασκευής εφαρμόζονται σταδιακά πάνω σε μία λεπτή επίπεδη και κυκλική πλάκα μονοκρυσταλλικού πυριτίου (wafer) διαμέτρου 15cm περίπου. Η CMOS τεχνολογία παρέχει δύο τύπους τρανζίστορ, ένα n-τύπου τρανζίστορ (nMOS) και ένα p-τύπου τρανζίστορ (pMOS).

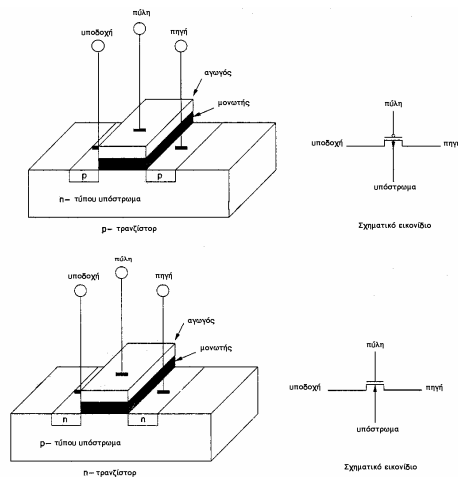
Μία τυπική MOS δομή περιλαμβάνει τρεις ευδιάκριτες περιοχές :

- α) την περιοχή διάχυσης (πυρίτιο το οποίο έχει νοθευτεί)
- β) την περιοχή πολυπυριτίου (πολυκρυσταλλικό πυρίτιο που χρησιμοποιείται ως γραμμή διασύνδεσης)

και

- γ) την περιοχή αλουμινίου (μετάλλου),

οι οποίες χωρίζονται μεταξύ τους με μονωτικά υλικά.



ΣΧΗΜΑ: Φυσική δομή και σχηματικά εικονίδια του CMOS τρανζίστορ

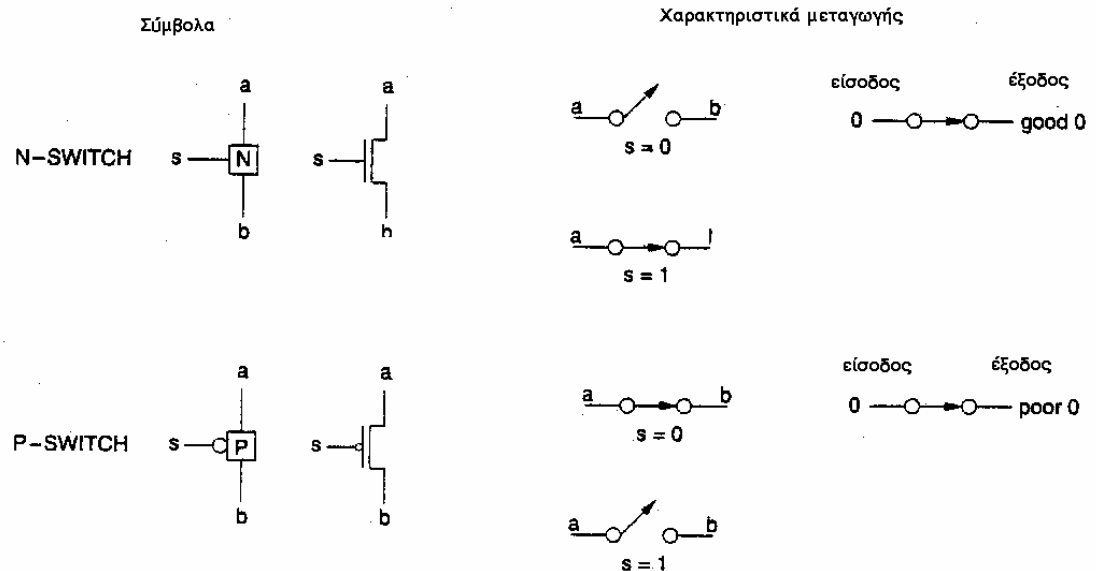
Διακόπτες MOS

Το ιδανικό MOS τρανζίστορ μπορεί να θεωρηθεί ως ένας απλός διακόπτης ελεγχόμενος από μία πηγή τάσης όπως φαίνεται στο Σχήμα. Η ροή του ηλεκτρικού ρεύματος από την πηγή προς την υποδοχή ελέγχεται από την τάση στην πύλη του τρανζίστορ. Ένας κλειστός διακόπτης αντιστοιχεί σε τρανζίστορ που άγει ενώ ένας ανοιχτός διακόπτης δηλώνει ότι η εφαρμοζόμενη τάση στην πύλη δεν είναι ικανή να δημιουργήσει ροή ρεύματος διαμέσου του στοιχείου.

Σε ένα nMOS τρανζίστορ η εφαρμογή τάσης στην πύλη, $s=1$, κλείνει τον n-τύπου διακόπτη (N-SWITCH) προκαλώντας αγωγή ρεύματος.

Σ' ένα pMOS τρανζίστορ συμβαίνουν τα αντίθετα: μηδενική τάση στην πύλη, $s=0$, χρειάζεται ώστε να κλείσει ο p-τύπου διακόπτης (P-SWITCH).

Οι διακόπτες MOS είναι τα βασικότερα λογικά στοιχεία. Η λειτουργία πολύπλοκων ψηφιακών κυκλωμάτων συχνά μοντελοποιείται με τη χρήση τέτοιων απλοποιημένων μοντέλων.



ΣΧΗΜΑ: Σύμβολα του nMOS και του pMOS τρανζίστορς

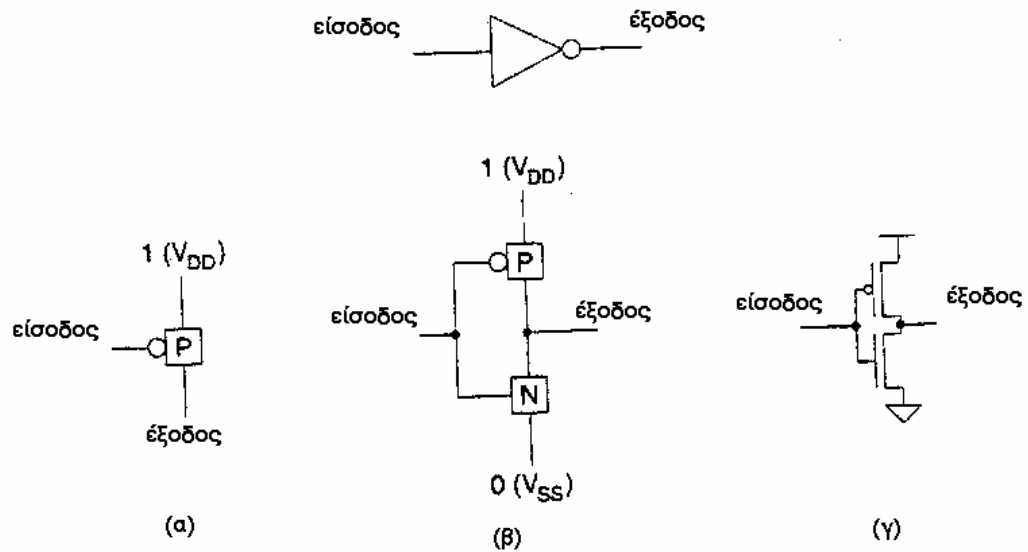
CMOS Λογική , Αντιστροφείας

Ο Πίνακας 1.1 αποτελεί τον πίνακα αληθείας ενός λογικού αντιστροφεία

Πίνακας 1.1 : Πίνακας Αληθείας Αντιστροφεία

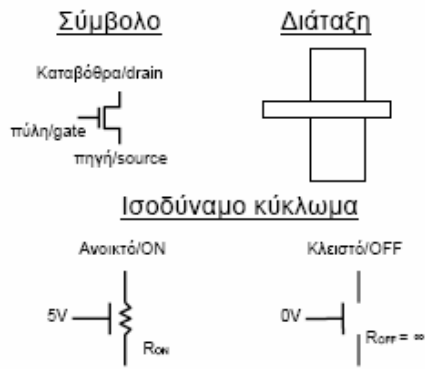
Είσοδος	Εξοδος
0	1
1	0

Εξετάζοντας τον παραπάνω πίνακα, παρατηρούμε ότι όταν υπάρχει “0” στην είσοδο , εμφανίζεται “1” στην έξοδο. Αυτό αντιστοιχεί στην ύπαρξη ενός p-τύπου διακόπτη μεταξύ μίας πηγής “1” (V_{DD}) και της εξόδου, όπως φαίνεται στο Σχήμα 1.3 (α). Όταν υπάρχει “1” στην είσοδο , στην έξοδο εμφανίζεται το “0”. Αυτό αντιστοιχεί στην ύπαρξη ενός n-τύπου διακόπτη μεταξύ της εξόδου και μίας πηγής “0” (0V, ground). Το πλήρες κυκλωματικό διάγραμμα του αντιστροφέα δίνεται στο Σχήμα. Στο Σχήμα δίνεται το διάγραμμα με τα σχηματικά των τρανζίστορ και το αντίστοιχο εικονίδιο του.

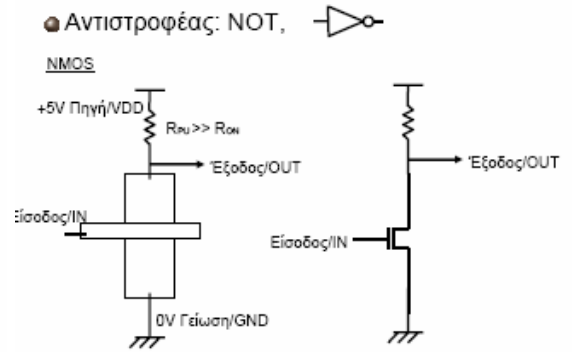


ΣΧΗΜΑ : CMOS αντιστροφέας

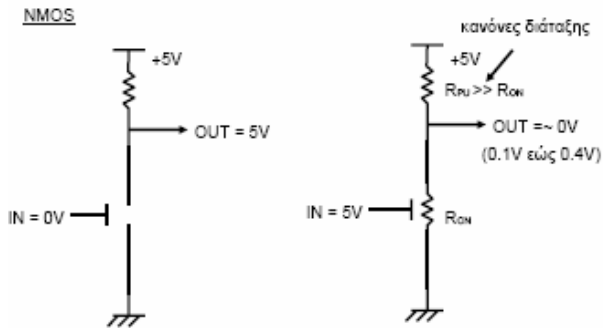
Τρανζίστορς: συμπεριφορά



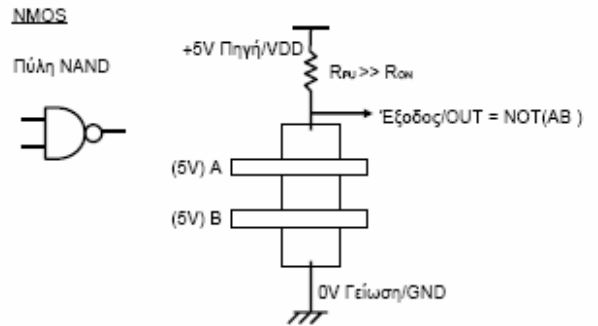
Πώς Φτιάχνω Αντιστροφείς - 1



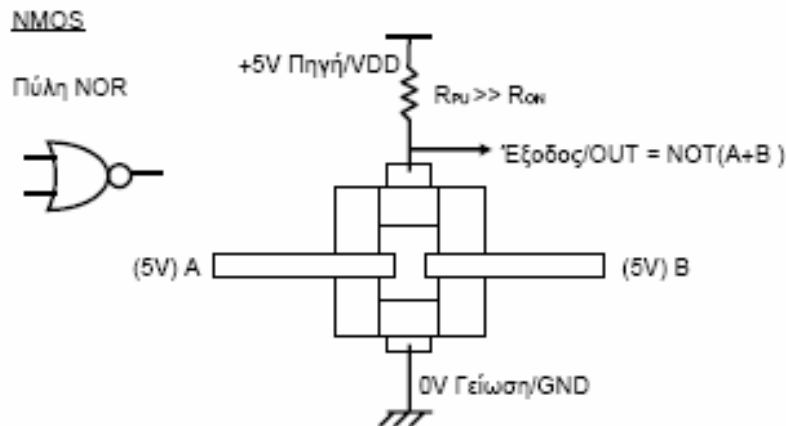
Πώς Φτιάχνω Αντιστροφείς - 2



Πώς Φτιάχνω Άλλες Πύλες



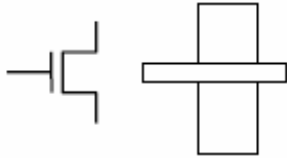
Πώς Φτιάχνω Άλλες Πύλες



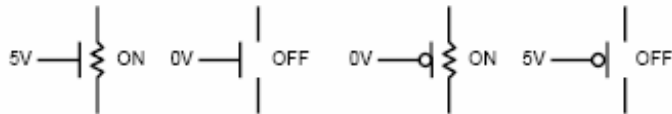
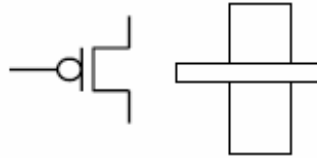
CMOS: Complementary MOS

● Complementary = Δικικό MOS

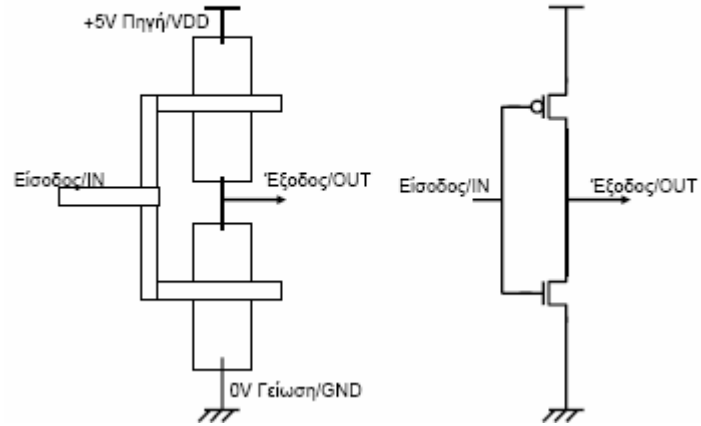
NMOS



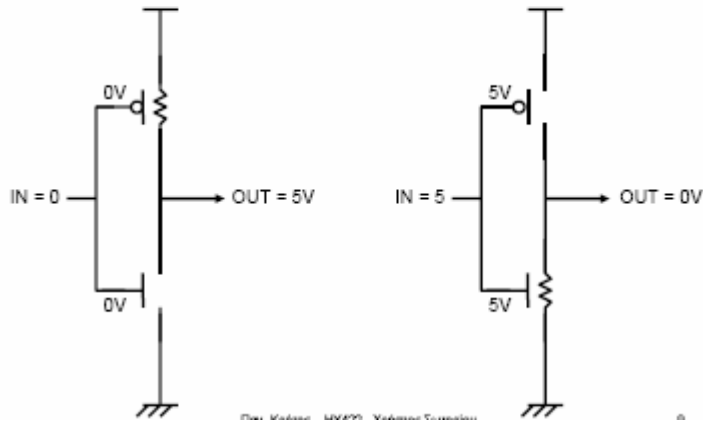
PMOS



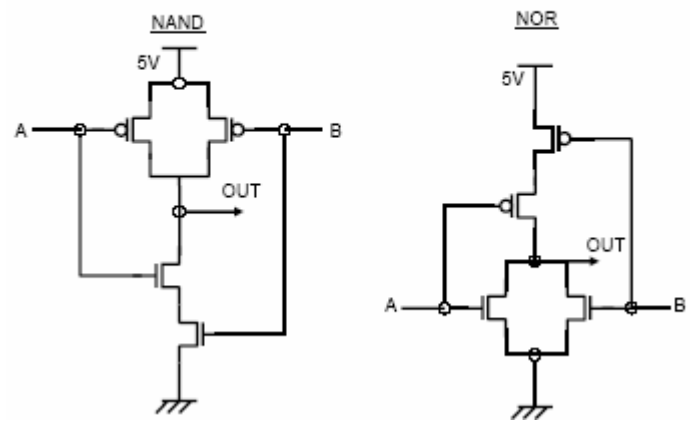
Πώς Φτιάχνω Αντιστροφείς - 3



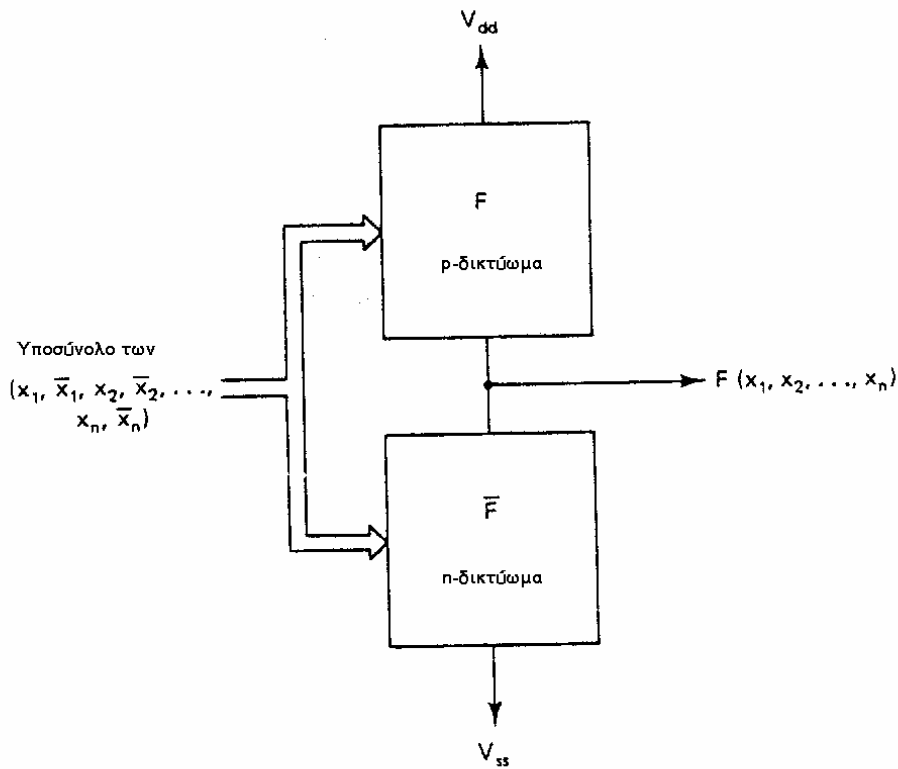
CMOS - Αντιστροφείς



Πώς Φτιάχνω Άλλες Πύλες CMOS



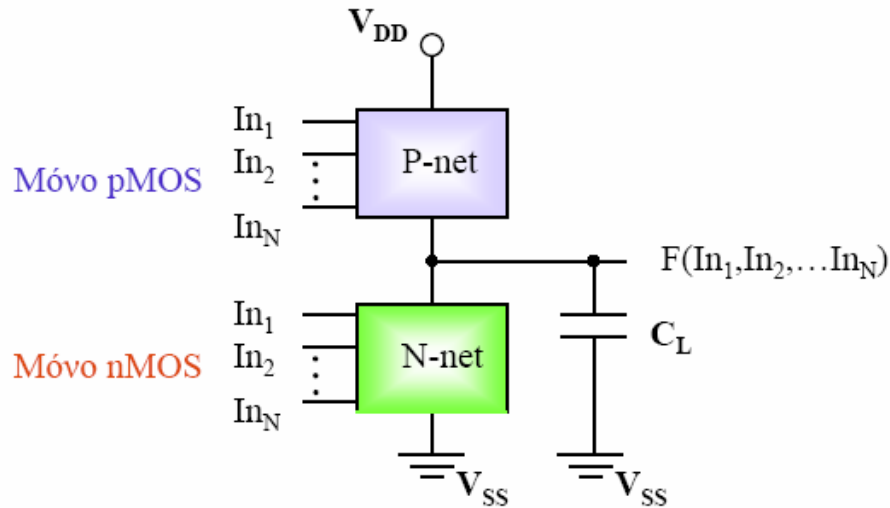
Γενικά, μία CMOS λογική πύλη αποτελείται από ένα δικτύωμα από n-τύπου τρανζίστορες (n-μονοπάτι, pull down) που συνδέει την έξοδο στο λογικό "0" και ένα δικτύωμα από p-τύπου τρανζίστορες (p-μονοπάτι, pull up) που συνδέει την έξοδο στο λογικό "1" (V_{DD}). Σε κάθε περίπτωση μόνο ένα από τα δυο μονοπάτια άγει. Συνεπώς, δεν υπάρχει ποτέ μονοπάτι αγωγής μεταξύ πηγής τροφοδοσίας και γης με αποτέλεσμα να μην καταναλώνεται DC ισχύς.



ΔΙΚΤΥΩΜΑ NMOS	ΔΙΚΤΥΩΜΑ PMOS
<i>παράλληλη</i> διαδρομή	<i>σειριακή</i>
<i>σειριακή</i>	<i>παράλληλη</i>

Οι αγωγίμες διαδρομές είναι η μία το λογικό συμπλήρωμα της άλλης.

ΣΤΑΤΙΚΑ CMOS ΚΥΚΛΩΜΑΤΑ

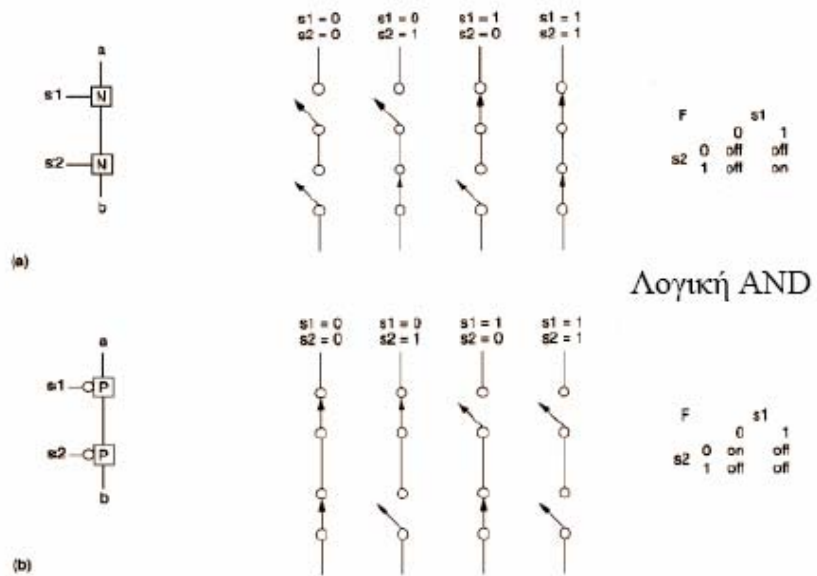


Τα P-net και N-net είναι **συμπληρωματικά** λογικά δικτυώματα

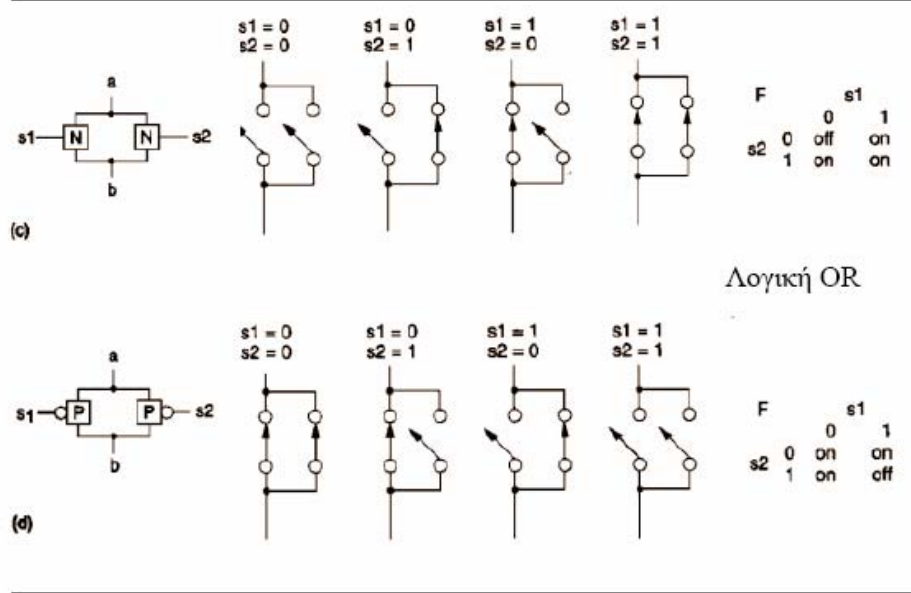
- Σε κάθε χρονική στιγμή (εκτός των περιόδων όπου οι είσοδοι αλλάζουν τιμές) η έξοδος μιας CMOS πύλης είναι συνδεδεμένη πάντα είτε με την τροφοδοσία V_{DD} είτε με την τροφοδοσία V_{SS} . Ποτέ όταν ένα CMOS κύκλωμα είναι σε ηρεμία δεν μπορεί να είναι βραχυκυκλωμένες μεταξύ τους οι τροφοδοσίες V_{DD} και V_{SS} .
- Η σύνδεση αυτή πραγματοποιείται είτε μέσω του P-net είτε μέσω του N-net δικτυώματος αντίστοιχα. Τα δικτυώματα αυτά όταν άγουν συμπεριφέρονται ως μία αντίσταση χαμηλής τιμής. Στην αντίθετη περίπτωση η αντίσταση τους θεωρείται ιδανικά άπειρη.

Συνδυαστική Λογική

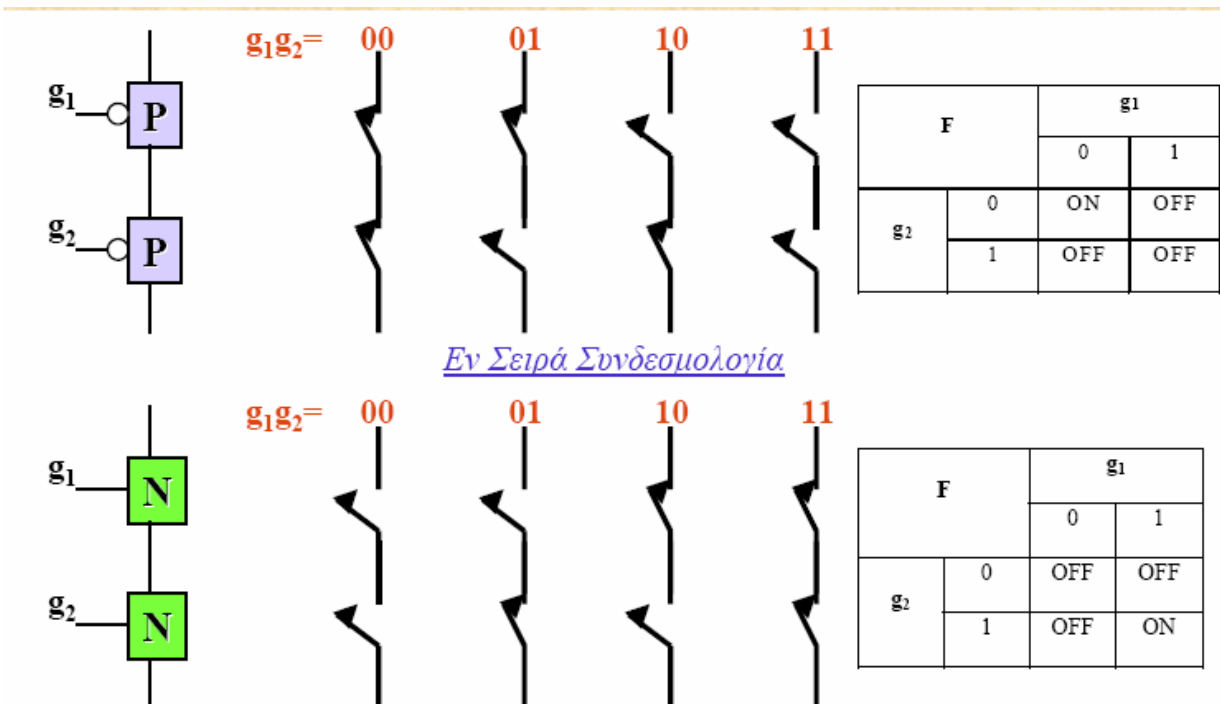
Συνδυάζοντας σε σειρά και παράλληλα n και p διακόπτες προκύπτουν οι γνωστές συνδυαστικές συναρτήσεις

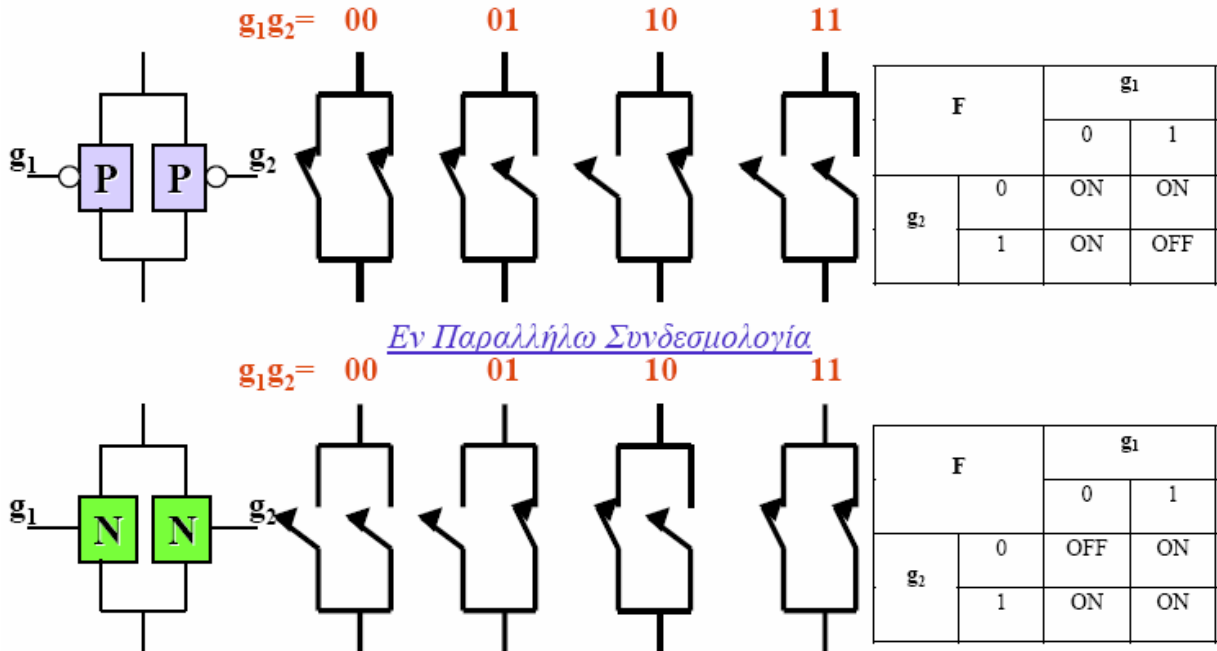


Συνδυαστική Λογική



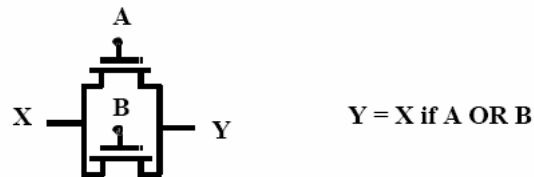
ΣΥΝΔΕΣΜΟΛΟΓΙΕΣ TRANSISTOR





NMOS Transistors συνδεδεμένα σε σειρά & παράλληλα

Το NMOS transistor θεωρείται ως διακόπτης ο οποίος κλίνει όταν το σήμα ελέγχου στην πύλη είναι λογικό «1»

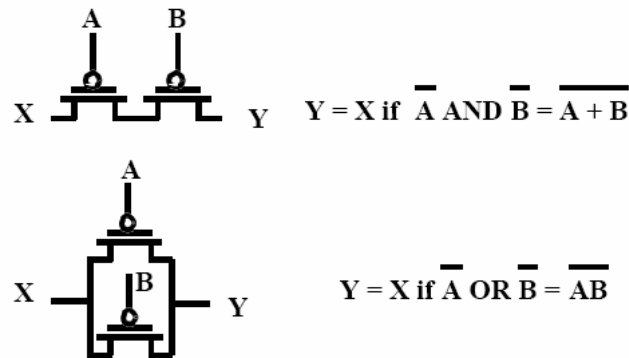


NMOS Transistors pass a “strong” 0 but a “weak” 1

PMOS Transistors

συνδεδεμένα σε σειρά & παράλληλα

Το PMOS transistor θεωρείται ως διακόπτης ο οποίος κλίνει όταν το σήμα ελέγχου στην πύλη είναι λογικό «0»



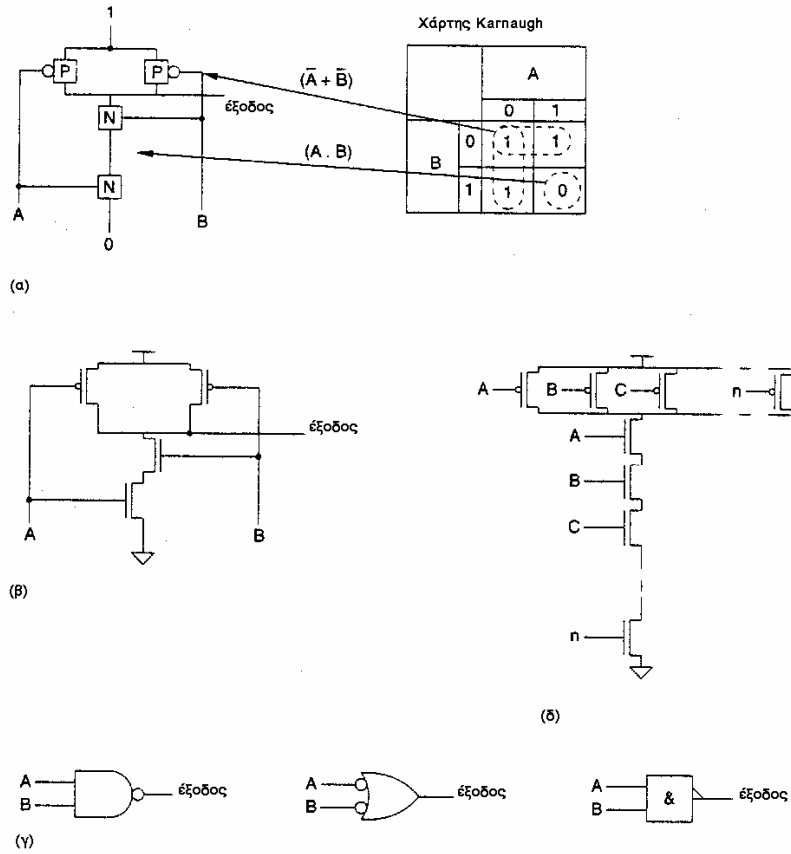
PMOS Transistors pass a “strong” 1 but a “weak” 0

6.Η πύλη NAND

Στο Σχήμα 1.4 φαίνεται η δομή μίας 2-εισόδων NAND πύλης. Αποτελείται από δύο σε σειρά n-τύπου τρανζίστορς που το ένα άκρο τους συνδέεται στην έξοδο της πύλης και το άλλο στη γη, και δύο σε παράλληλη διάταξη p-τρανζίστορς που το ένα άκρο τους συνδέεται στην έξοδο της πύλης και το άλλο στη V_{DD} . Το κυκλωματικό και το λογικό διάγραμμα της 2-εισόδων NAND πύλης δίνεται στα Σχήματα 1.4(β) και 1.4(γ). Κάθε μια από τις δυο εισόδους της NAND, A και B , συνδέεται στην πύλη ενός n- και ενός p-τρανζίστορ.

Όταν $A=B=“1”$, το n-μονοπάτι άγει (το p-μονοπάτι είναι ανοιχτό) και η έξοδος γίνεται “0”.

Στην περίπτωση που τουλάχιστον μια από τις εισόδους είναι “0”, άγει το p-μονοπάτι (το n-μονοπάτι είναι ανοιχτό) και η έξοδος γίνεται “1”.



ΣΧΗΜΑ 1.4: CMOS NAND πύλη

Για οποιονδήποτε συνδυασμό των εισόδων μόνο ένα από τα δυο μονοπάτια αγωγής είναι κάθε φορά κλειστό (άγει). Συνεπώς, δεν υπάρχει ποτέ μονοπάτι αγωγής μεταξύ πηγής τροφοδοσίας και γης με αποτέλεσμα να μην καταναλώνεται DC ισχύς. Ο Πίνακας 1.2 αποτελεί τον πίνακα αληθείας της NAND. Πύλες NAND με μεγαλύτερο αριθμό εισόδων προκύπτουν προσθέτοντας ένα n-τύπου τρανζίστορ στην εν σειρά διάταξη και ένα p-τύπου τρανζίστορ στην εν παραλλήλω διάταξη για κάθε επιπλέον είσοδο της πύλης (Σχήμα 1.4δ).

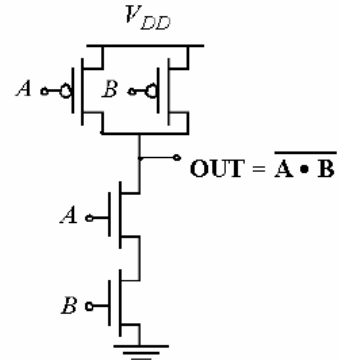
Πίνακας 1.2. Πίνακας Αλήθειας της NAND

Είσοδοι	Έξοδοι
0 0	1
0 1	1
1 0	1
1 1	0

Πύλη NAND

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND gate

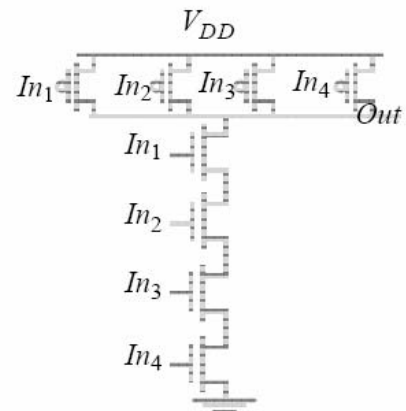
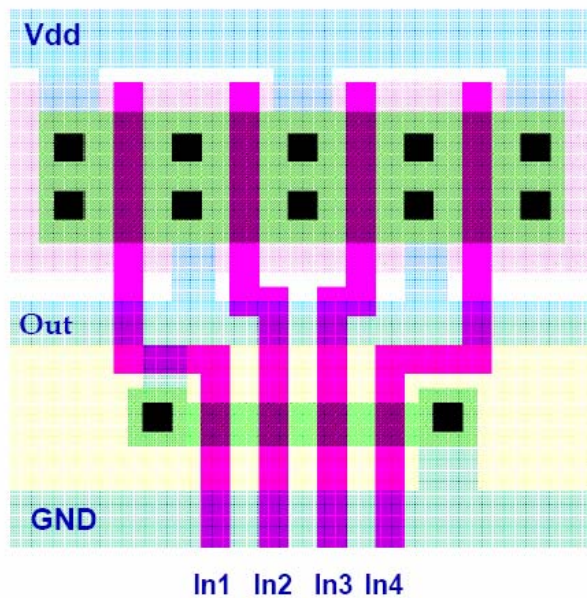


PDN: $G = A \cdot B \Rightarrow$ Conduction to GND

PUN: $F = \overline{A + B} = \overline{A} \cdot \overline{B} \Rightarrow$ Conduction to V_{DD}

$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

Πύλη NAND τεσσάρων εισόδων



Η πύλη NAND

Παρατηρήσεις Σχεδίασης

- Κάθε είσοδος οδηγεί δύο *transistor*, ένα *pmos* και ένα *nmos*.
- Οι δομές των *pmos* και *nmos* είναι συμπληρωματικές μεταξύ τους.
- Οποιαδήποτε *transistor pmos* βρίσκονται σε σειρά, τα αντίστοιχα *nmos* (με τις ίδιες εισόδους) είναι συνδεδεμένα παράλληλα, και αντιστρόφως.

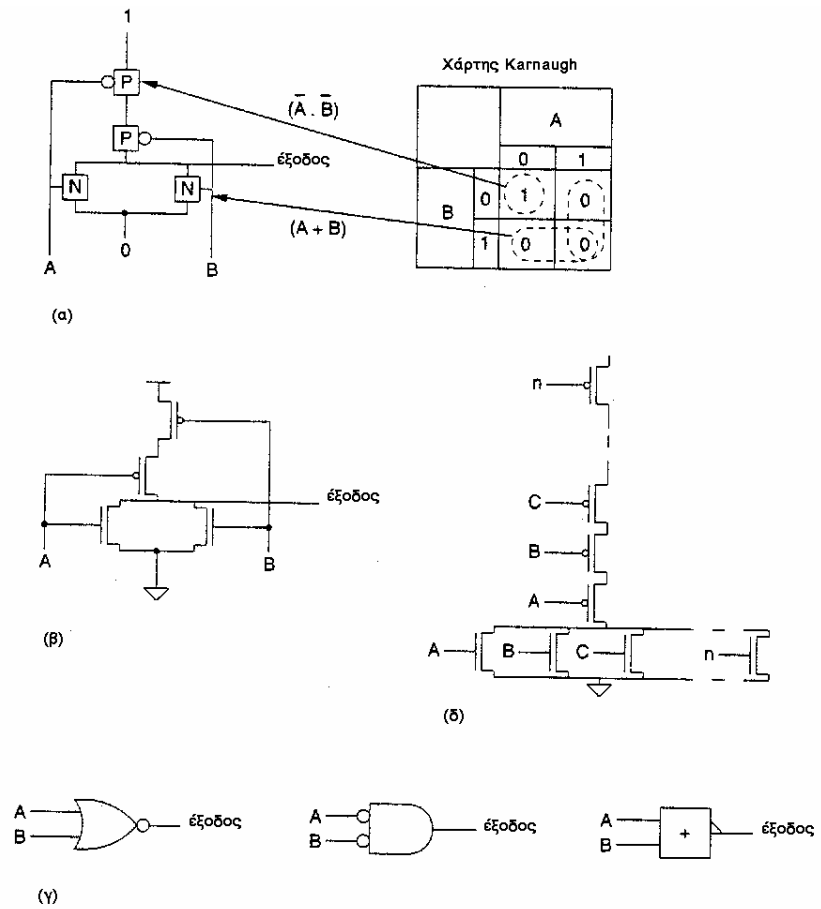


Αρκεί να σχεδιάσουμε το ένα από τα δύο δίκτυα και κατόπιν να βρούμε το συμπληρωματικό του.

Οι πύλες AND-OR δημιουργούνται από τις NAND-NOR με προσθήκη αντιστροφεία.

7.Η πύλη NOR

Στο Σχήμα 1.5 δίνεται το λειτουργικό, το κυκλωματικό και το λογικό διάγραμμα μίας 2-εισόδων πύλης NOR. Ο συνδυασμός των *n*-τύπου και *p*-τύπου τρανζίστορ είναι ο δυαδικός ή συμπληρωματικός του συνδυασμού των τρανζίστορ της NAND πύλης. Όταν τουλάχιστον μια είσοδος είναι “1”, άγει το *n*-μονοπάτι (το *p*-μονοπάτι είναι ανοιχτό) και η έξοδος γίνεται “0”. Στην περίπτωση που $A=B=“0”$, άγει το *p*-μονοπάτι (το *n*-μονοπάτι είναι ανοιχτό) και η έξοδος γίνεται “1”. Όπως και στην περίπτωση της NAND, κάθε φορά μόνο ένα μονοπάτι αγωγής είναι κλειστό (άγει), με αποτέλεσμα να μην έχουμε DC κατανάλωση ισχύος.



ΣΧΗΜΑ 1.5: CMOS NOR πύλη

Ο Πίνακας 1.3 αποτελεί τον πίνακα αληθείας της NOR. Σε αντίθεση με την πύλη NAND, επιπλέον είσοδοι για την πύλη NOR προκύπτουν προσθέτοντας n-τύπου τρανζίστορες εν παραλλήλω και p-τύπου τρανζίστορες σε σειρά στις αντίστοιχες διατάξεις (Σχήμα 1.5 δ).

Πίνακας 1.3. Πίνακας Αληθείας της NOR

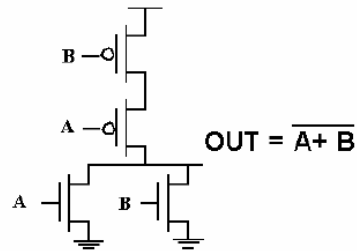
Είσοδοι	Έξοδοι
0 0	1
0 1	0
1 0	0
1 1	0

Από τα παραπάνω, εύκολα συμπεραίνεται ότι για όλους τους συνδυασμούς των εισόδων υπάρχει πάντα ένα μονοπάτι από το “1” ή το “0” (V_{DD} ή γη) προς την έξοδο και ότι στην έξοδο εμφανίζονται πλήρως οι στάθμες τάσεως των πηγών τροφοδοσίας, πράγμα που θα διευκρινιστεί περισσότερο στο επόμενο κεφάλαιο. Το τελευταίο χαρακτηριστικό οδηγεί σε μία πλήρως αποκαθιστάμενη λογική οικογένεια. Αυτό απλοποιεί σημαντικά τον κυκλωματικό σχεδιασμό. Σε σύγκριση με άλλες οικογένειες λογικής, όπου τα μεγέθη (πλάτος και μήκος του καναλιού) των τρανζίστορς των n-τύπου και p-τύπου δικτυωμάτων πρέπει να έχουν συγκεκριμένες αναλογίες μεταξύ τους, τα μεγέθη των τρανζίστορς των CMOS πυλών δεν επηρεάζουν τη σωστή λειτουργία της πύλης. Δεύτερον, δεν υπάρχει ποτέ μονοπάτι ροής ρεύματος από το “1” στο “0” (μεταξύ των πηγών τροφοδοσίας) για οποιοδήποτε συνδυασμό των εισόδων (σε αντίθεση με την nMOS, την GaAs, ή την διπολική τεχνολογία). Αυτό αποτελεί τη βάση της χαμηλής κατανάλωσης ισχύος των CMOS κυκλωμάτων.

Πύλη NOR

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

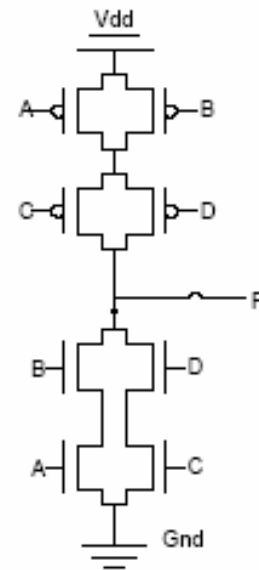
Truth Table of a 2 input NOR gate



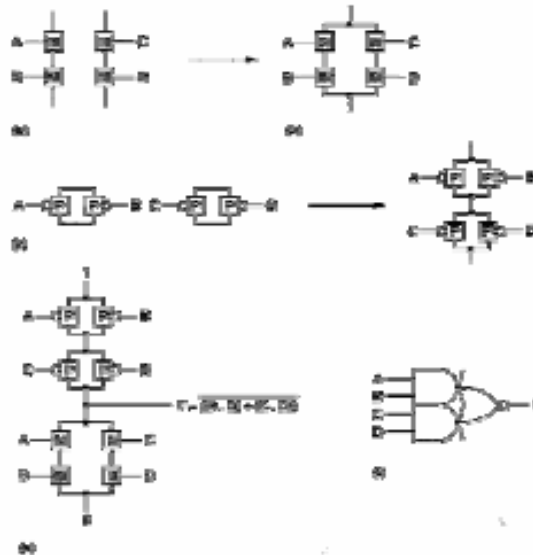
Σύνθετες πύλες

Παράδειγμα: $F=(AB+CD)'$

- Η έκφραση $(AB+CD)$ περιγράφει την διασύνδεση των *nmos transistor*.
- Τα A, B είναι σε σειρά. Το ίδιο και τα C, D.
- Η διάταξη των A, B είναι σε παράλληλη σύνδεση με την διάταξη των C, D.
- Το δίκτυο pmos υλοποιεί την έκφραση $(A'+B')(C'+D')$.
- Τα pmos (nmos) οδηγούνται από κανονικές (αντεστραμμένες) μεταβλητές αντίστοιχα.



Σύνθετες πύλες



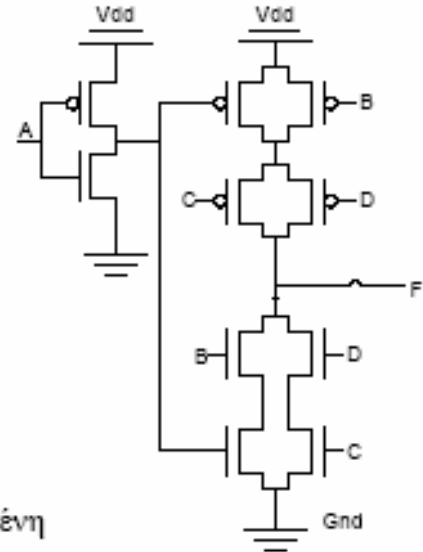
Τα τρανζίστορ στις πύλες CMOS δεν χρειάζονται συγκεκριμένες διαστάσεις για να λειτουργήσουν σωστά (*non-ratioed*)

Δεν υπάρχει ποτέ αγωγή μονοπάτι από την τροφοδοσία στην γείωση και άρα η κατανάλωση είναι πολύ μικρή.

Σύνθετες πύλες

Παράδειγμα: $F=(A'B+CD)'$

- Η έκφραση $(A'B+CD)$ περιγράφει την διασύνδεση των *nmos transistor*.
- Τα A' , B είναι σε σειρά. Το ίδιο και τα C , D .
- Η διάταξη των A' , B είναι σε παράλληλη σύνδεση με την διάταξη των C , D .
- Το δίκτυο *pmos* υλοποιεί την έκφραση $(A+B')(C'+D')$.
- B , C , D : Τα *nmos* (*pmos*) οδηγούνται από κανονικές (αντεστραμμένες) μεταβλητές αντίστοιχα.
- A : Το *nmos* (*pmos*) οδηγείται από αντεστραμμένη (κανονική) μεταβλητή αντίστοιχα. Χρήση ανιστροφέα.

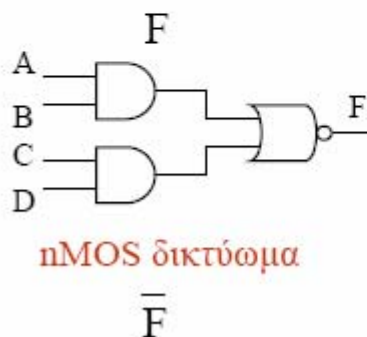


Σύνθετες Πύλες (I)

Υλοποίηση της συνάρτησης:

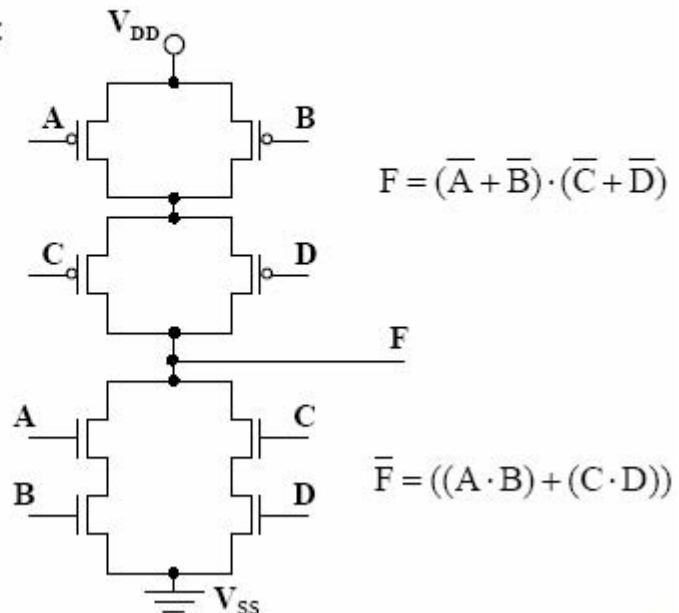
$$F = \overline{((A \cdot B) + (C \cdot D))}$$

pMOS δικτύωμα



nMOS δικτύωμα

\bar{F}



Σύνθετες Πύλες (II)

Υλοποίηση της συνάρτησης:

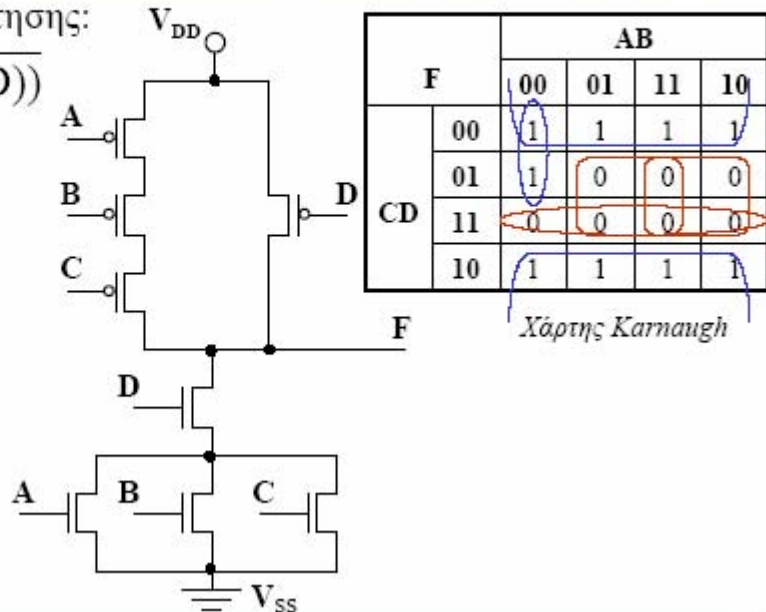
$$F = \overline{((A + B + C) \cdot D)}$$

ρMOS δικτύωμα

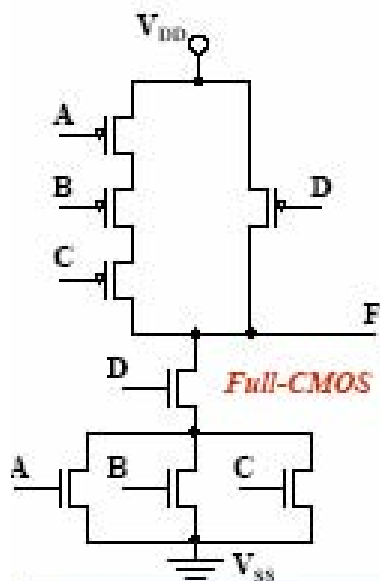
$$F = \overline{D} + \overline{A} \cdot \overline{B} \cdot \overline{C}$$

nMOS δικτύωμα

$$\overline{F} = D \cdot (A + B + C)$$



Στατική ή Πλήρης CMOS Λογική



$$F = \overline{((A + B + C) \cdot D)}$$

- Σε κάθε χρονική στιγμή (εκτός από τους χρόνους μετάβασης) η έξοδος κάθε πύλης είναι συνδεδεμένη είτε με το V_{DD} είτε με το V_{SS} μέσω ενός μονοπατιού χαμηλής αντίστασης.
- Οι έξοδοι των πυλών φέρουν σε κάθε χρονική στιγμή τη λογική τιμή της συνάρτησης Boole που υλοποιείται από το κύκλωμα (εκτός πάλι από τους χρόνους μετάβασης).

ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ

- για όλους τους συνδυασμούς των εισόδων **υπάρχει πάντα ένα μονοπάτι από το “1” ή το “0” (V_{DD} ή γη) προς την έξοδο**
και
- στην **έξοδο εμφανίζονται πλήρως οι στάθμες τάσεως των πηγών τροφοδοσίας**, πράγμα που θα διευκρινιστεί περισσότερο στο επόμενο κεφάλαιο.

Το τελευταίο χαρακτηριστικό οδηγεί σε μία πλήρως αποκαθιστάμενη *λογική οικογένεια*. Αυτό απλοποιεί σημαντικά τον κυκλωματικό σχεδιασμό.

Σε σύγκριση με άλλες οικογένειες λογικής, όπου τα **μεγέθη** (πλάτος και μήκος του καναλιού) των τρανζίστορς των n-τύπου και p-τύπου δικτυωμάτων πρέπει να έχουν **συγκεκριμένες αναλογίες** μεταξύ τους,

1. τα **μεγέθη** των τρανζίστορς των CMOS πυλών **δεν επηρεάζουν** τη σωστή λειτουργία της πύλης.
2. **δεν υπάρχει** ποτέ μονοπάτι ροής ρεύματος από το “1” στο “0” (μεταξύ των πηγών τροφοδοσίας) για οποιοδήποτε συνδυασμό των εισόδων (σε αντίθεση με την nMOS, την GaAs, ή την διπολική τεχνολογία). Αυτό αποτελεί τη βάση της **χαμηλής κατανάλωσης ισχύος** των CMOS κυκλωμάτων.

Σχεδιασμός CMOS συστημάτων

Μεγάλης κλίμακας CMOS ολοκληρωμένα κυκλώματα σχηματίζονται από το **συνδυασμό ανεξάρτητων κυκλωμάτων**.

Είναι φανερό ότι η **συμπεριφορά** του όλου συστήματος **καθορίζεται** από τα **χαρακτηριστικά των δομικών στοιχείων**

Για το σχεδιασμό ενός συστήματος/κυκλώματος μπορούν να ακολουθηθούν δύο μέθοδοι:

1. κάτω-προς-άνω προσέγγιση (bottom-up approach),

ο σχεδιαστής ξεκινά από το επίπεδο του τρανζίστορ ή της πύλης και σχεδιάζει υποκυκλώματα αυξανόμενης πολυπλοκότητας τα οποία κατόπιν αλληλοσυνδέονται ώστε να υλοποιήσουν το απαιτούμενο σύστημα. .

2. άνω-προς-κάτω προσέγγιση (top-down approach),

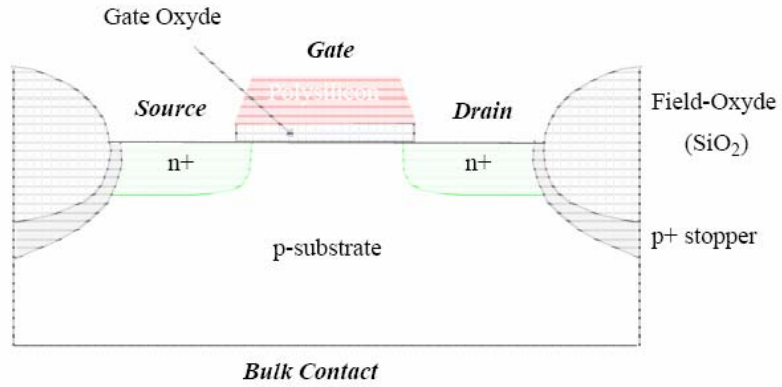
ο σχεδιαστής επαναληπτικά *αποσυνθέτει* τα χαρακτηριστικά του συστήματος *σε ομάδες και υποομάδες απλούστερων λειτουργιών*. Οι χαμηλότερου επιπέδου λειτουργίες υλοποιούνται από απλά κυκλώματα σε πυρίτιο, είτε χρησιμοποιώντας προκαθορισμένα κυκλώματα (standard cells), τα οποία έχουν σχεδιαστεί και ελεγχθεί από πριν, είτε απλουστευμένα κυκλώματα ειδικά σχεδιασμένα ώστε να επιτυγχάνουν τις απαιτούμενες προδιαγραφές. Η top-down προσέγγιση χρησιμοποιείται αρκετά στο ψηφιακό σχεδιασμό και συχνά οδηγεί σε σημαντική αύξηση της παραγωγικότητας του σχεδιαστή.

Συνήθως όμως τα ψηφιακά συστήματα σχεδιάζονται χρησιμοποιώντας συνδυασμούς και των δύο προσεγγίσεων.

Σε τι *επιδιώκουμε κατά το σχεδιασμό ενός CMOS συστήματος*; Η απάντηση εξαρτάται από την εκάστοτε εφαρμογή, αλλά τα παρακάτω σημεία εμφανίζονται συχνά.

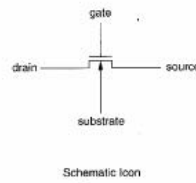
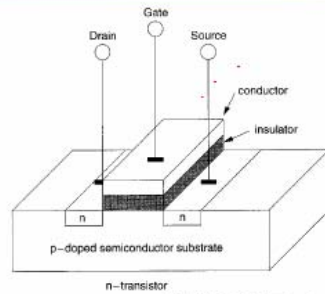
- **Μεγάλη πυκνότητα ολοκλήρωσης**
- **Μεγάλη ταχύτητα**
- **Χαμηλή κατανάλωση ισχύος**

MOS Transistor

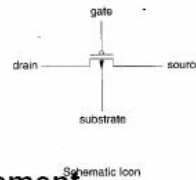
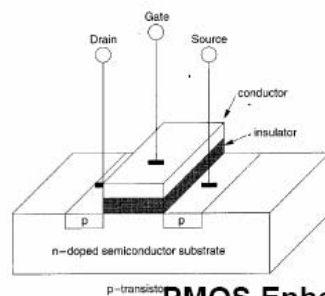


CROSS-SECTION of NMOS Transistor

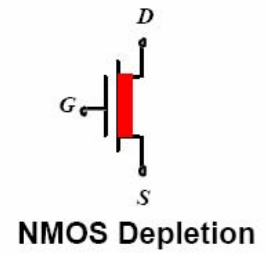
Τύποι MOS transistors



NMOS Enhancement

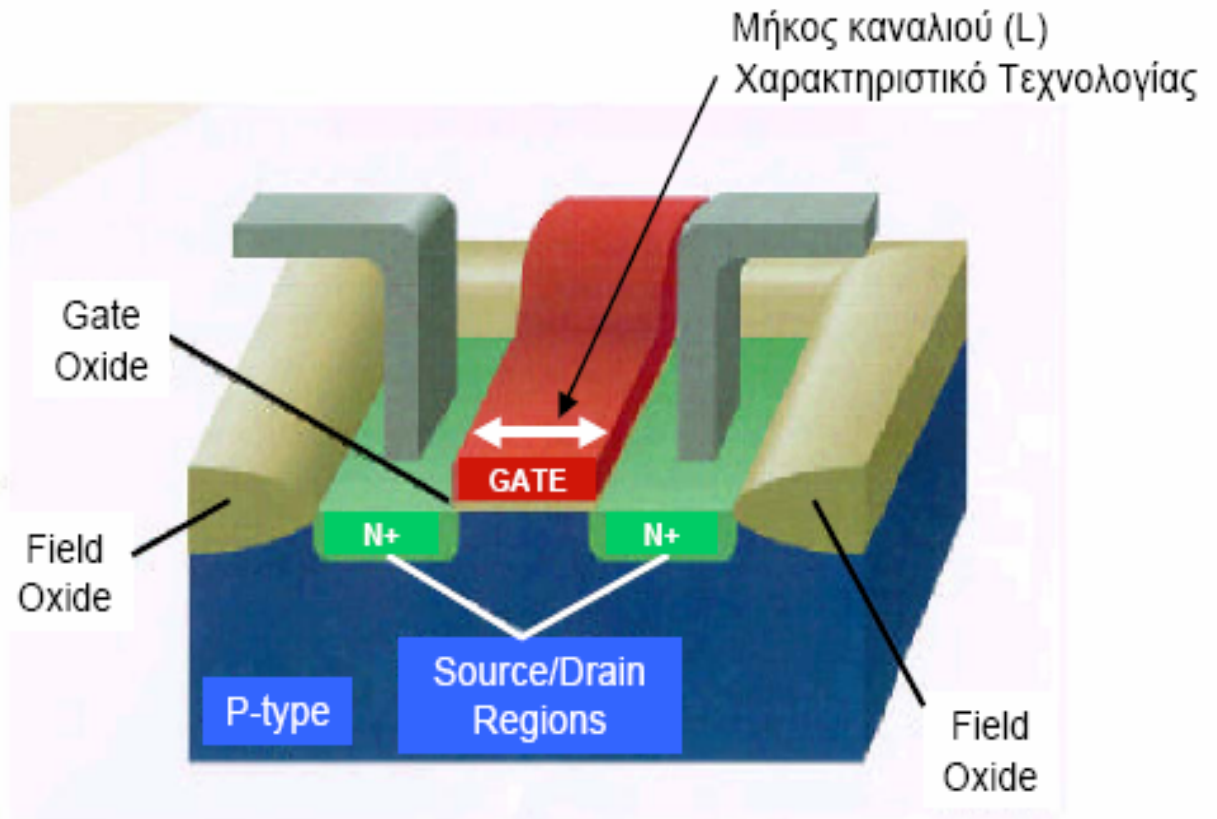


PMOS Enhancement

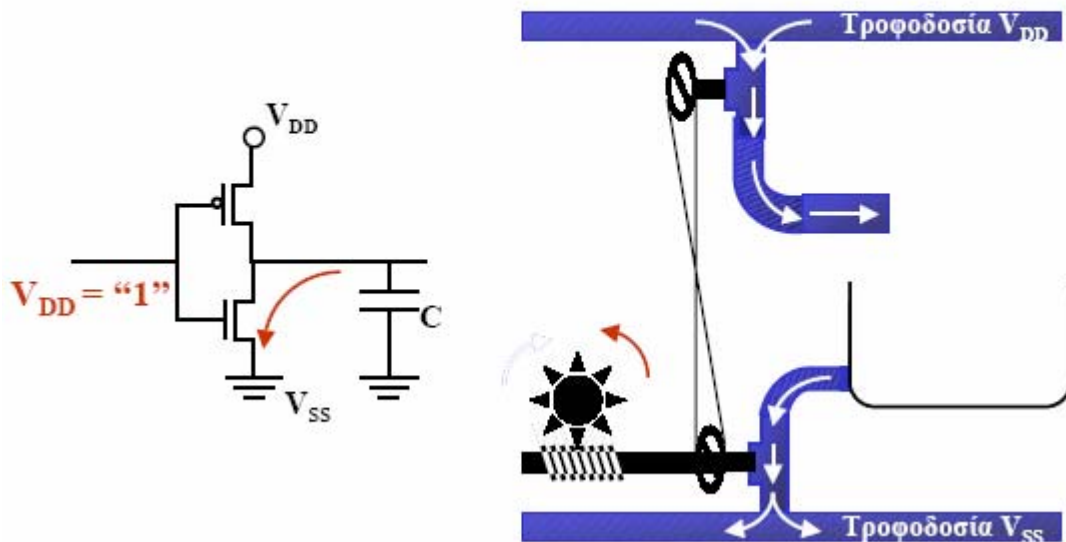


NMOS Depletion

The MOS Transistor



Μηχανικό Ισοδύναμο



Στατικά CMOS Κυκλώματα

- Σε κάθε χρονική στιγμή (εκτός των περιόδων όπου οι εισοδοί αλλάζουν τιμές) η έξοδος μιας CMOS πύλης είναι συνδεδεμένη πάντα είτε με την τροφοδοσία V_{DD} είτε με την τροφοδοσία V_{SS} . Ποτέ όταν ένα CMOS κύκλωμα είναι σε ηρεμία δεν μπορεί να είναι βραχυκυκλωμένες μεταξύ τους οι τροφοδοσίες V_{DD} και V_{SS} .
- Η σύνδεση αυτή πραγματοποιείται είτε μέσω του P-net είτε μέσω του N-net δικτυώματος αντίστοιχα. Τα δικτυώματα αυτά όταν άγουν συμπεριφέρονται ως μία αντίσταση χαμηλής τιμής. Στην αντίθετη περίπτωση η αντίσταση τους θεωρείται ιδανικά άπειρη.

ΧΑΡΑΚΤΗΡΙΣΤΙΚΕΣ ΤΟΥ MOS ΤΡΑΝΖΙΣΤΟΡ

στατική ή DC λειτουργία των MOS τρανζίστορς.

Η σωστή DC λειτουργία είναι ο πρώτος σχεδιαστικός στόχος που πρέπει να ικανοποιηθεί ώστε να εξασφαλιστεί το γεγονός οι λογικές πύλες να λειτουργούν ως λογικές πύλες.

Πρέπει να σημειωθεί ότι όλα τα **ηλεκτρονικά κυκλώματα** είναι **αναλογικά** στη φύση τους και ο ψηφιακός χαρακτήρας τους παραμένει μια αφαιρετική περιγραφή μόνο όσο οι ακριβείς σχεδιαστικοί στόχοι επιτυγχάνονται.

MOS τρανζίστορ = στοιχείο φορέων πλειονότητας
στο οποίο το ηλεκτρικό ρεύμα σε ένα αγώγιμο μονοπάτι μεταξύ της πηγής και της υποδοχής διαμορφώνεται από μια τάση που εφαρμόζεται στην πύλη.

n-τύπου MOS τρανζίστορ οι φορείς πλειονότητας είναι τα **ηλεκτρόνια**.

- $V_G > V_T$ Μια **θετική τάση** που εφαρμόζεται στην **πύλη** σε σχέση με το **υπόστρωμα**



αυξάνει τον αριθμό των ηλεκτρονίων στο κανάλι (την περιοχή ακριβώς κάτω από το ηλεκτρόδιο της πύλης) και συνεπώς

αυξάνει την αγωγιμότητα του καναλιού.



- $V_G < V_T$

τάσεις πύλης $<$ τάση κατωφλίου V_t \longrightarrow το κανάλι **δεν άγει ("OFF")**

(επιτρέποντας τη διέλευση από την πηγή προς στην υποδοχή μόνο ενός πολύ μικρού ρεύματος.)

Η λειτουργία ενός **p-τύπου MOS** τρανζίστορ είναι ανάλογη με αυτήν του **n-τύπου** τρανζίστορ, με τη **διαφορά** ότι οι **φορείς πλειονότητας** είναι οι **οπές** και οι **τάσεις** σε σχέση με το υπόστρωμα είναι **αρνητικές**.

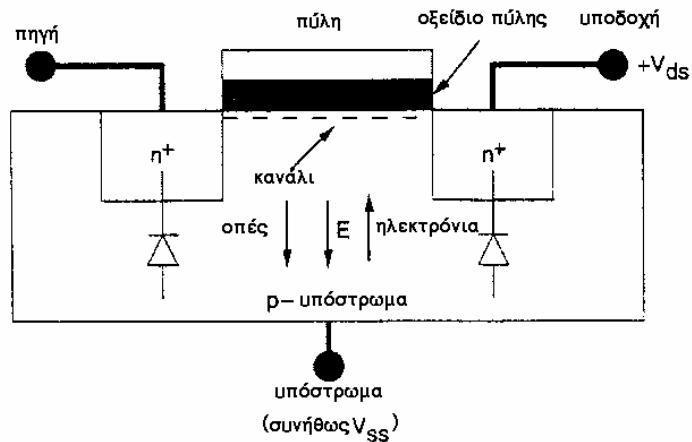
8.Λειτουργία του MOS Τρανζίστορ

- μέτρια νοθευμένο p-τύπου **υπόστρωμα πυριτίου**
- δυο πλούσια νοθευμένες n⁺-τύπου περιοχές, η **πηγή** (source) και η **υποδοχή** (drain).
- στενή περιοχή υποστρώματος p-τύπου, καλούμενη **κανάλι** (channel), η οποία καλύπτεται από ένα λεπτό στρώμα διοξειδίου του πυριτίου (SiO₂).
- Πάνω από το στρώμα του οξειδίου αναπτύσσεται ένα ηλεκτρόδιο από πολυκρυσταλλικό πυρίτιο (polysilicon) το οποίο καλείται απλά **πύλη** (gate).

---Επειδή το στρώμα του οξειδίου είναι μονωτικό υλικό, το **DC ρεύμα**

από την **πύλη** στο **κανάλι** είναι ουσιαστικά **μηδέν**.

---Λόγω της εσωτερικής συμμετρίας της δομής του τρανζίστορ, δεν υπάρχει φυσικός διαχωρισμός μεταξύ των περιοχών πηγής και υποδοχής. Στην περίπτωση αγωγής ρεύματος πηγή θεωρείται η περιοχή διάχυσης από την οποία εξέρχονται οι φορείς πλειονότητας στο κανάλι.



ΣΧΗΜΑ 2.1: Φυσική δομή ενός nMOS τρανζίστορ

Κατά την λειτουργία, μια **θετική τάση** εφαρμόζεται μεταξύ **υποδοχής** και **πηγής**, $V_{ds} > 0$ ($V_{ds} = V_{db} - V_{sb}$, όπου V_{db} , V_{sb} οι τάσεις υποδοχής, πηγής ως προς το υπόστρωμα).

- $V_{gs} = 0$ ($V_{gs} = V_{gb} - V_{sb}$, όπου V_{gb} , V_{sb} οι τάσεις πύλης, πηγής ως προς το υπόστρωμα), **δεν υπάρχει ροή ρεύματος** από την **υποδοχή** προς την **πηγή** καθώς αυτές είναι απομονωμένες λόγω της εμφάνισης δυο **ανάστροφα πολωμένων** ρη επαφών που φαίνονται στο Σχήμα 2.1 (δίνονται με τα σύμβολα των διόδων).
- $V_{gs} > 0$ (μια τάση εφαρμοζόμενη στην **πύλη**, η οποία είναι **θετική** σε σχέση με την **πηγή** και το **υπόστρωμα** (η διαφορά δυναμικού μεταξύ πηγής και υποστρώματος είναι συνήθως μηδέν, βραχυκύκλωμα, ή πολύ μικρή), δημιουργεί ένα **κάθετο ηλεκτρικό πεδίο** το οποίο **έλκει ηλεκτρόνια προς την πηγή και απωθεί οπές**.
- Εάν η **τάση της πύλης** είναι ικανοποιητικά **μεγάλη**, η περιοχή κάτω από την πύλη **αλλάζει από p-τύπου σε n-τύπου** (λόγω της συσσώρευσης των ελκόμενων ηλεκτρονίων) παρέχοντας ένα **μονοπάτι αγωγής ανάμεσα στην πηγή και στην υποδοχή**. Κάτω από αυτές τις συνθήκες, η επιφάνεια της περιοχής του p-τύπου καναλιού λέγεται ότι έχει **αντιστραφεί (inverted)**. Αυτή η n-τύπου περιοχή, η οποία δημιουργείται ηλεκτρικά, καλείται περιοχή αντιστροφής (**inverted layer**). Η περιοχή αντιστροφής συχνά **καλείται n-κανάλι για το nMOS τρανζίστορ**.

Η τάση της πύλης ως προς την πηγή, V_{gs} , διαμορφώνει την κατανομή των φορέων στην περιοχή κάτω από την πύλη.

→ για τάση $V_{gs} \ll V_t$,

οι ελεύθερες οπές του p-τύπου υποστρώματος υπερτερούν με αποτέλεσμα τη δημιουργία μιας **περιοχής συσσώρευσης οπών (accumulation layer)** κάτω από την πύλη.

→ Καθώς η $V_{gs} > V_t$,

οι οπές απωθούνται και δημιουργείται μια περιοχή **αραιώσεως φορέων (depletion layer)** κάτω από την πύλη.

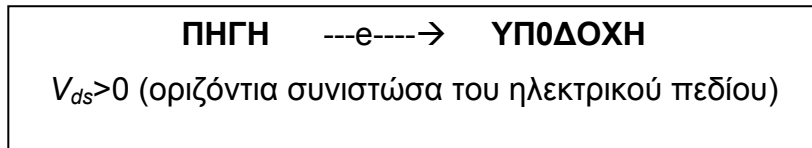
→ αύξηση της $V_{gs} \gg V_t$

έλκονται ηλεκτρόνια κάτω από την πύλη και δημιουργούν την περιοχή **αντιστροφής**.

Ηλεκτρικά, ένα MOS τρανζίστορ → ελεγχόμενος από τάση διακόπτης ο οποίος

άγει όταν $V_{gs} = V_t$.

Όταν μια τάση V_{ds} εφαρμόζεται μεταξύ υποδοχής και πηγής, με $V_{gs}=V_t$, η οριζόντια και κάθετη συνιστώσες του ηλεκτρικού πεδίου που οφείλονται στις παραπάνω τάσεις αλληλοεπιδρούν, προκαλώντας τη ροή ρεύματος κατά μήκος του καναλιού.



Καθώς η $V_{ds} \gg$ η πτώση τάσης κατά μήκος του καναλιού μεταβάλλει το **σχήμα της περιοχής του καναλιού**.

- $(V_{gs} - V_t) >$ τάσης της υποδοχής το κανάλι γίνεται **βαθύτερο** καθώς η V_{gs} αυξάνεται.

γραμμική, μη κόρου, όπου το ρεύμα διαμέσου του καναλιού I_{ds} είναι συνάρτηση και των δυο τάσεων της πύλης και της υποδοχής.

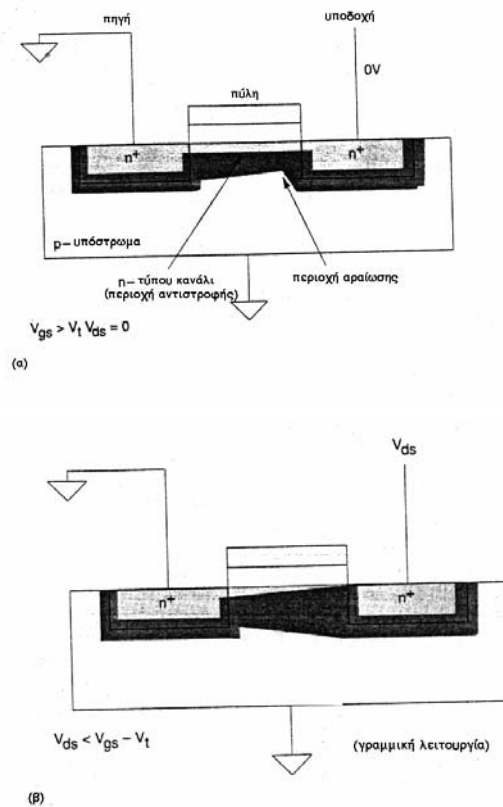
- Εάν $V_{ds} > V_{gs} - V_t$, τότε $V_{gd} < V_t$ (V_{gd} είναι η τάση μεταξύ πύλης και υποδοχής), και το **κανάλι αποκόπτεται**, δεν εκτείνεται πλέον ως την περιοχή της υποδοχής.

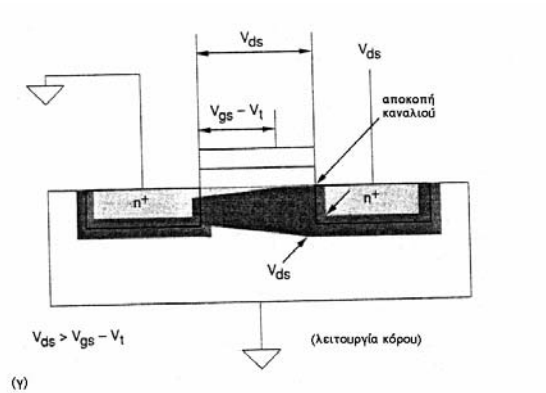
Εντούτοις, σε αυτή την περίπτωση η **αγωγή διατηρείται** οφειλόμενη σε έναν ειδικό μηχανισμό λόγω της επιρροής της θετικής τάσης της υποδοχής. Καθώς τα ηλεκτρόνια αφήνουν το κανάλι, εισβάλουν στην περιοχή αραιώσεως (μεταξύ καναλιού και υποδοχής) και κατόπιν επιταχύνονται προς την υποδοχή. Αυτή η κατάσταση λειτουργίας του τρανζίστορ αντιστοιχεί στην **ΚΑΤΑΣΤΑΣΗ**

κόρου κατά την οποία το

$$I = f(V_g)$$

σχεδόν ανεξάρτητο από την τάση της υποδοχής.





Για δεδομένη τάση υποδοχής-πηγής, V_{ds} , καθώς και πύλης-πηγής, V_{gs} , οι **παράγοντες** που **επηρεάζουν** το **μέγεθος του ρεύματος υποδοχής**, I_{ds} , που ρέει μεταξύ υποδοχής και πηγής είναι:

- η απόσταση μεταξύ πηγής και υποδοχής (μήκος καναλιού),
- το πλάτος του καναλιού,
- η τάση κατωφλίου, V_t ,
- το πάχος της περιοχής οξειδίου της πύλης, t_{ox} ,
- η διηλεκτρική σταθερά του οξειδίου της πύλης,
- η κινητικότητα των φορέων (οπών ή ηλεκτρονίων).

Ο τρόπος λειτουργίας ενός MOS τρανζίστορ μπορεί να περιγραφεί με τις παρακάτω περιοχές λειτουργίας:

- **Περιοχή Αποκοπής:** όπου η ροή του ρεύματος είναι ουσιαστικά μηδέν
- **Γραμμική περιοχή:** περιοχή ελαφριάς αντιστοφής καναλιού όπου το ρεύμα εξαρτάται από την τάση της πύλης και της υποδοχής (οι τάσεις αναφέρονται σε σχέση με την πηγή).
- **Περιοχή Κόρου:** το κανάλι έχει αντιστραφεί πλήρως και το ρεύμα, ιδανικά, είναι ανεξάρτητο της τάσης μεταξύ υποδοχής-πηγής.

Η παραπάνω συζήτηση αφορά το nMOS τρανζίστορ.

Εντούτοις, μια αντιστροφή των n-τύπου και p-τύπου περιοχών παράγει ένα pMOS τρανζίστορ.

- Η εφαρμογή **αρνητικής τάσης** V_{gs} στην πύλη έλκει οπές στην περιοχή κάτω από αυτήν προκαλώντας αλλαγή στον τύπο του καναλιού από n σε p.
- Δημιουργείται ένα **μονοπάτι αγωγής** μεταξύ **πηγής-υποδοχής**. Σε αυτήν την περίπτωση το ρεύμα οφείλεται στη μετακίνηση οπών (έναντι ηλεκτρονίων) στο κανάλι.

$V_{ds} < 0$ ΠΗΓΗ -----> e -----> ΥΠΟΔΟΧΗ
κανάλι

DC Μοντέλο του MOS Τρανζίστορ

Είναι επιθυμητό να βρεθεί ένα **μαθηματικό μοντέλο** για το MOS τρανζίστορ το οποίο να **προβλέπει** τα **πειραματικά χαρακτηριστικά** του μέσα σε ένα ευρύ φάσμα γεωμετρικών παραμέτρων και λειτουργικών συνθηκών.

Για την περιοχή **αποκοπής**:

$$I_{ds} = 0 \quad V_{gs} \leq V_t \quad (2.1)$$

Για τη **γραμμική περιοχή**:

$$I_{ds} = \beta \left[(V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad 0 < V_{ds} < V_{gs} - V_t \quad (2.2)$$

Για την περιοχή **κόρου**:

$$I_{ds} = \beta \frac{(V_{gs} - V_t)^2}{2} \quad 0 < V_{gs} - V_t < V_{ds} \quad (2.3)$$

I_{ds} = ρεύμα από την υποδοχή στην πηγή,

V_{gs} = είναι η τάση πύλης-πηγής,

V_t = η τάση κατωφλίου του τρανζίστορ, και

β = ο συντελεστής κέρδους του MOS τρανζίστορ.

Ο συντελεστής β εξαρτάται από τις παραμέτρους της **επεξεργασίας** κατά την κατασκευή και από τη **γεωμετρία** του τρανζίστορ και δίνεται από τη σχέση

$$\beta = \frac{\mu \varepsilon}{t_{ox}} \left(\frac{W}{L} \right)$$

μ = η ενεργός κινητικότητα των φορέων στο κανάλι,

ε = η διαπερατότητα του οξειδίου της πύλης,

t_{ox} = το πάχος του οξειδίου της πύλης,

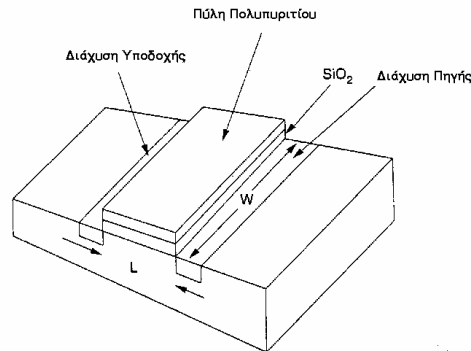
W = το πλάτος του καναλιού και

L = το μήκος του καναλιού.

$\mu\varepsilon/t_{ox}$ → εξαρτάται από τις *παραμέτρους της τεχνολογίας* και

(W/L) → εξαρτάται από τις *γεωμετρικές διαστάσεις* του φυσικού σχεδιασμού (layout) του τρανζίστορ και κατ' επέκταση από τον σχεδιαστή.

Ο εξαρτώμενος από την τεχνολογία παράγοντας μερικές φορές γράφεται ως μC_{ox} , όπου $C_{ox} = \varepsilon/t_{ox}$ είναι η **χωρητικότητα οξειδίου της πύλης**. Οι γεωμετρικοί όροι της παραπάνω εξίσωσης παρουσιάζονται στο Σχήμα 2.4 σε σχέση με τη δομή του MOS τρανζίστορ.

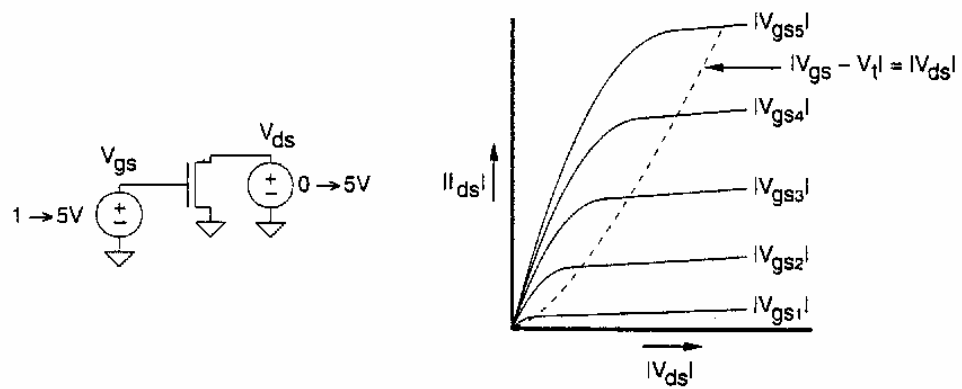


ΣΧΗΜΑ 2.4: Γεωμετρικά μεγέθη ενός MOS τρανζίστορ

Οι χαρακτηριστικές τάσης-ρεύματος για n- και p-τρανζίστορες, στη γραμμική περιοχή και στην περιοχή κόρου, δίνονται στο Σχήμα 2.5.

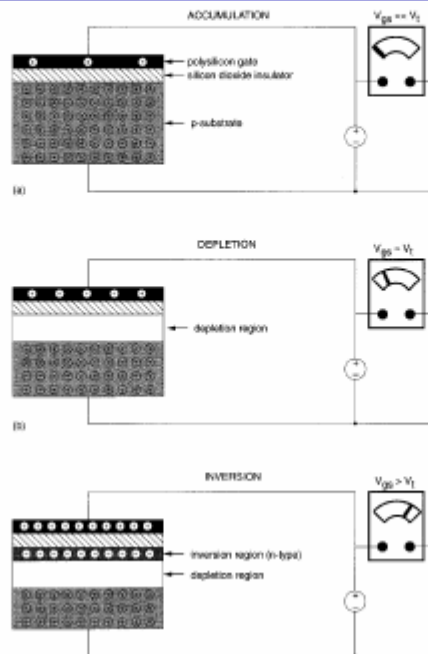
Τα όρια της γραμμικής περιοχής με την περιοχή κόρου καθορίζονται από τη συνθήκη $|V_{ds}| = |V_{gs} - V_t|$ και εμφανίζονται ως διακεκομμένη γραμμή στο Σχήμα 2.5.

Η τάση υποδοχής στην οποία το τρανζίστορ εισέρχεται στον κόρο καλείται V_{dsat} , ή τάση κόρου υποδοχής.



ΣΧΗΜΑ 2.5: Χαρακτηριστικές τάσης - ρεύματος

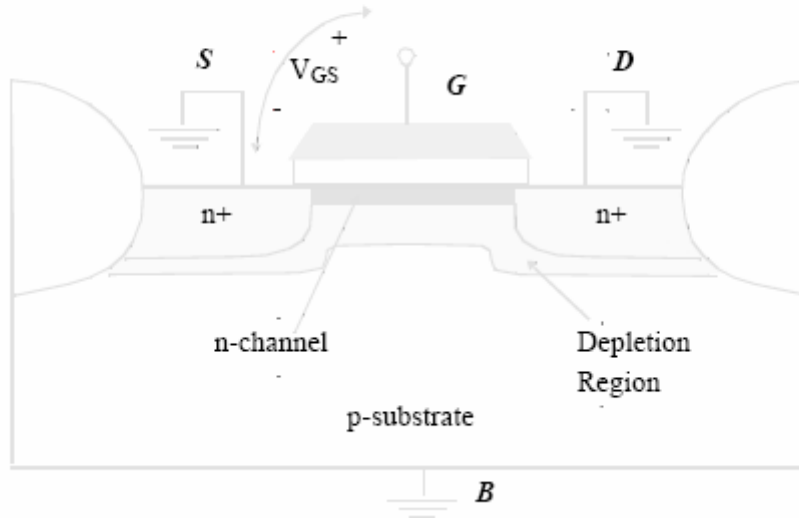
Λειτουργία του MOS transistor



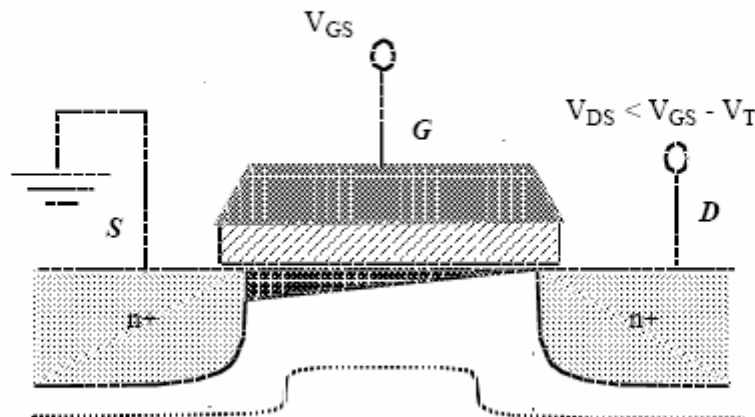
Digital Integrated Circuits

© Prentice Hall 1995

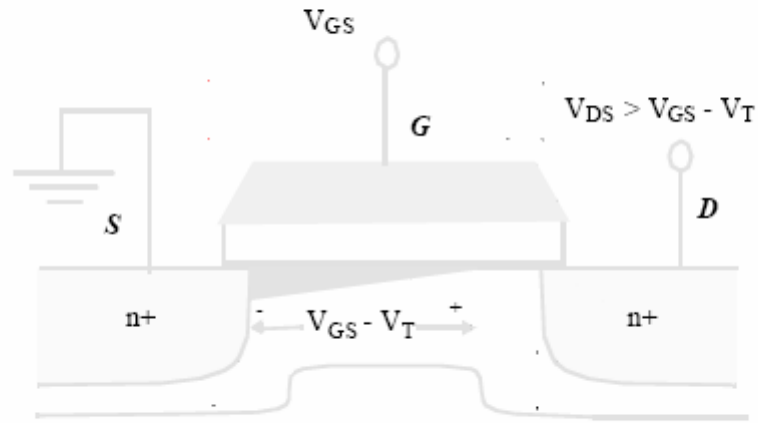
Transistor Operation ($V_{ds}=0$)



Transistor in Linear Region

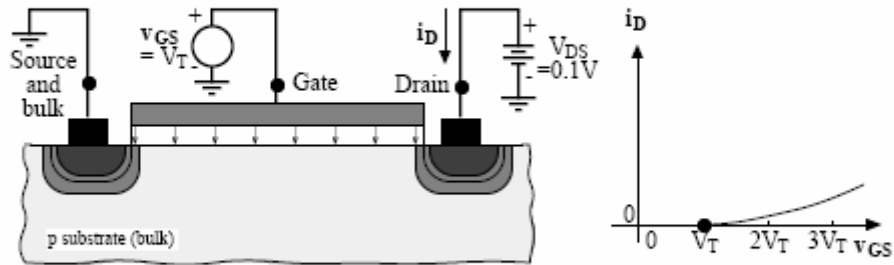


Transistor in Saturation

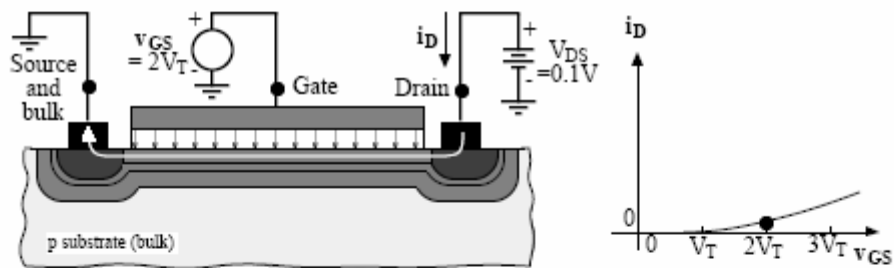


Transconductance Characteristics of NMOS when $V_{DS} = 0.1V$

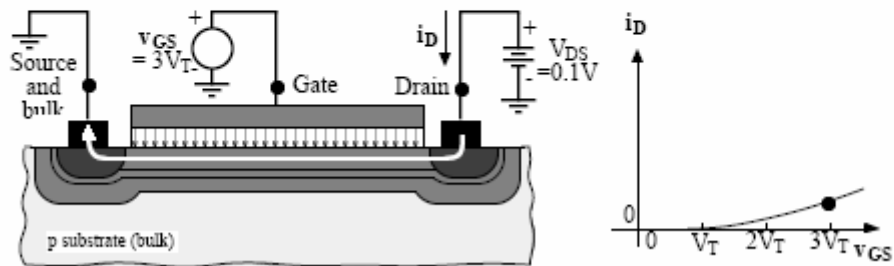
$$v_{GS} \leq V_T:$$



$$v_{GS} = 2V_T:$$

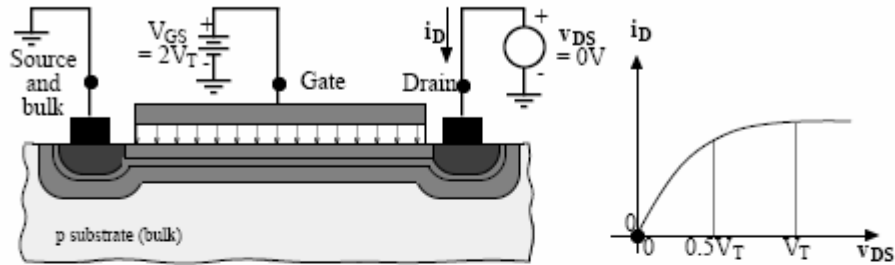


$$v_{GS} = 3V_T:$$

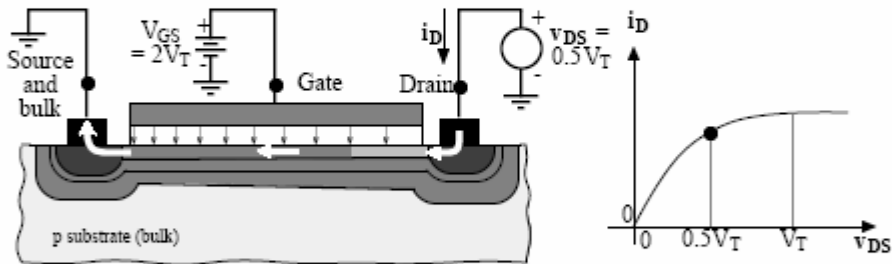


Output Characteristics of NMOS for $V_{GS} = 2V_T$

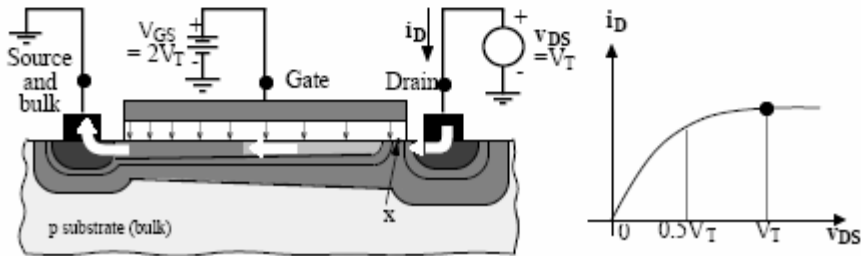
$v_{DS} = 0V$:



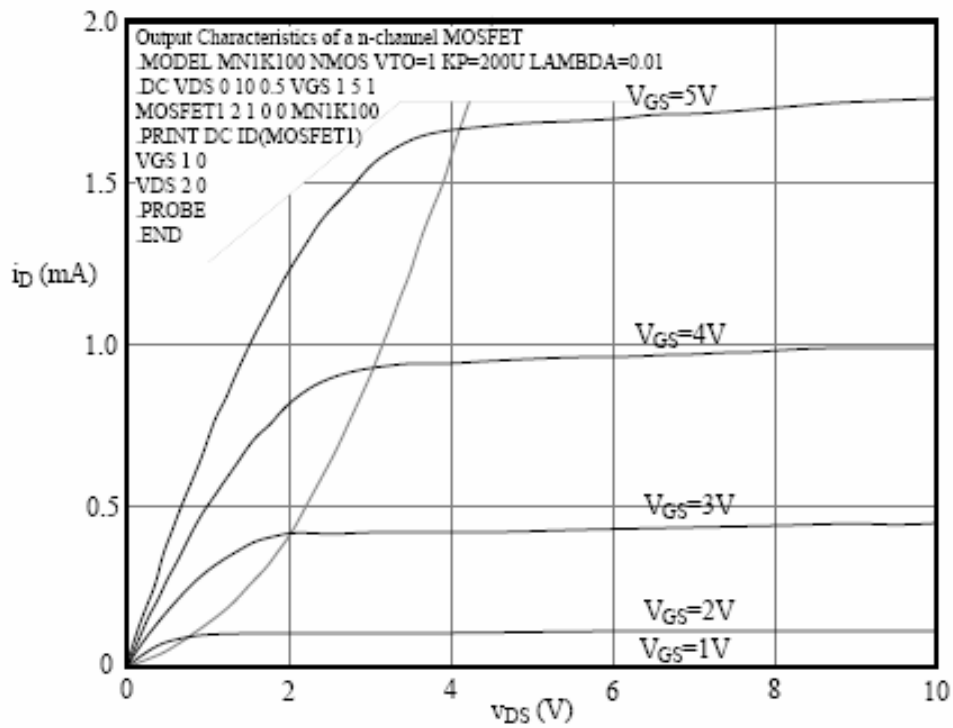
$v_{DS} = 0.5V_T$:



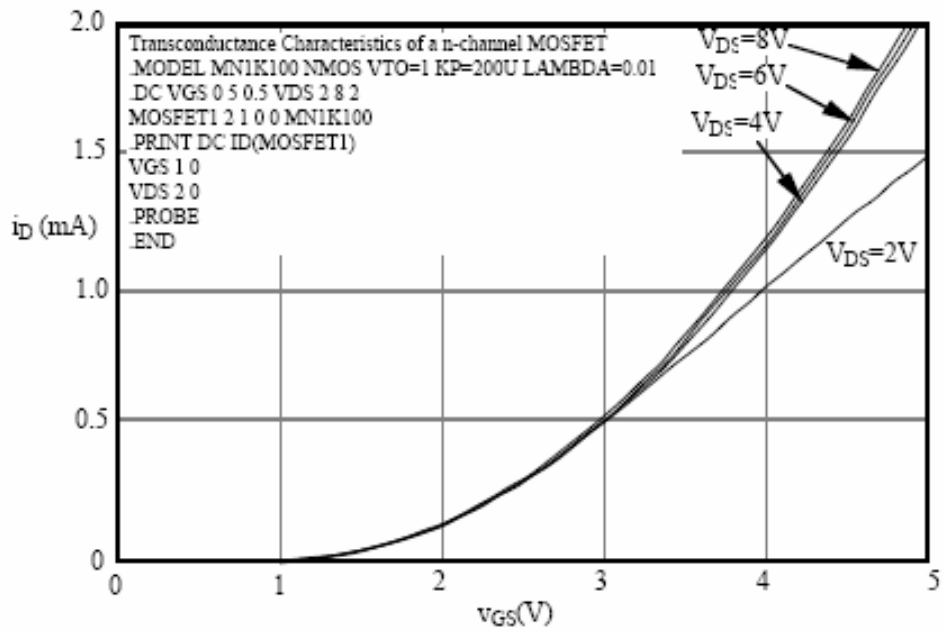
$v_{DS} = V_T$:



Output Characteristics of an n-channel MOSFET

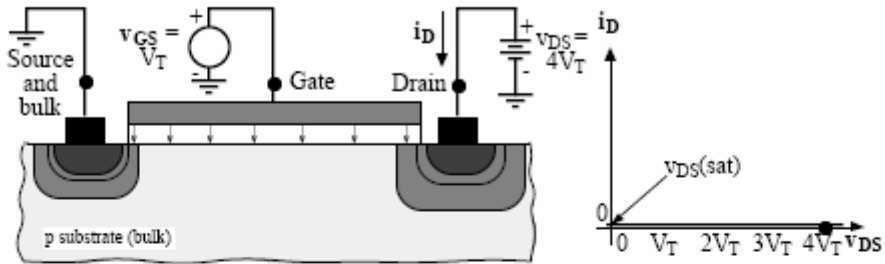


Transconductance Characteristics of an n-channel MOSFET

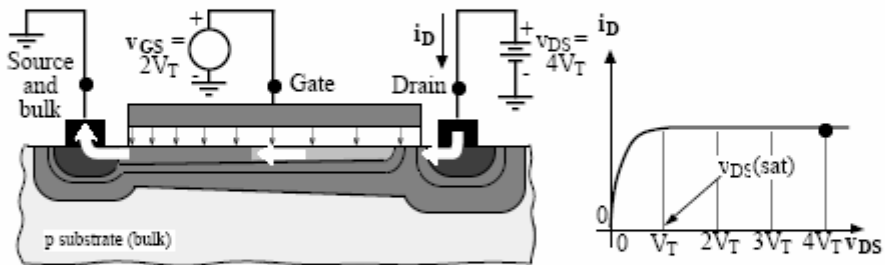


Output Characteristics of NMOS when $v_{DS} = 4V_T$

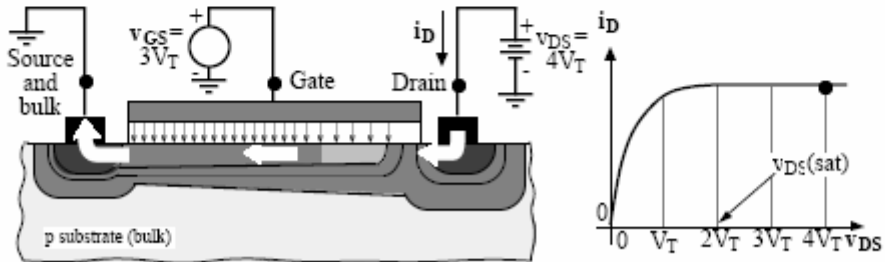
$v_{GS} = V_T$:



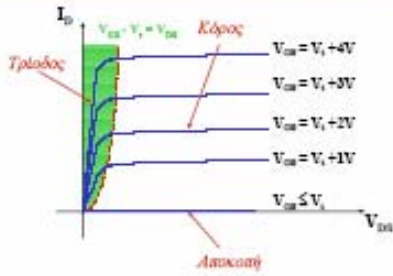
$v_{GS} = 2V_T$:



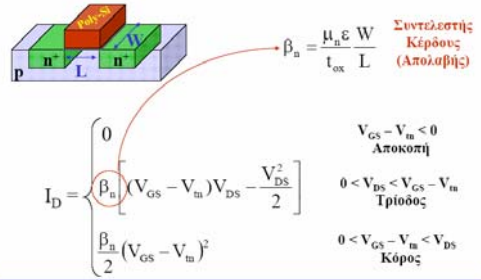
$v_{GS} = 3V_T$:



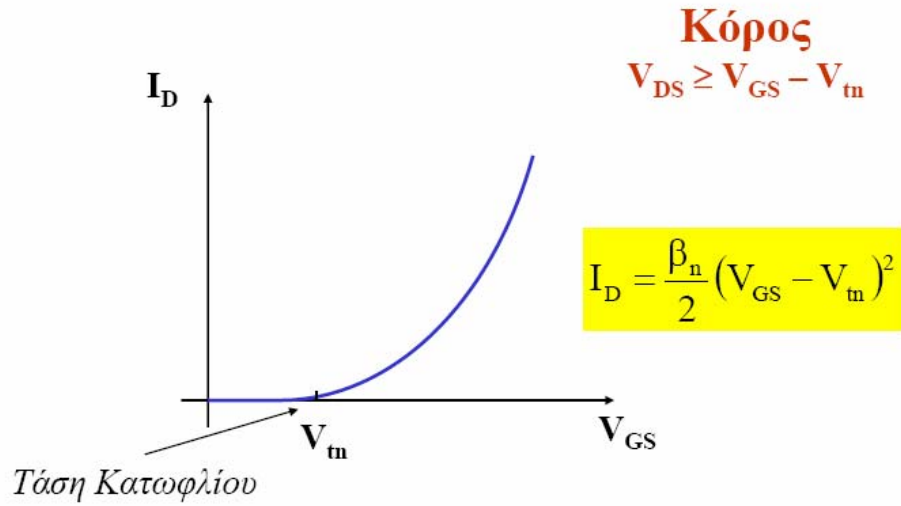
$I_D - V_{DS}$ Χαρακτηριστικές nMOS



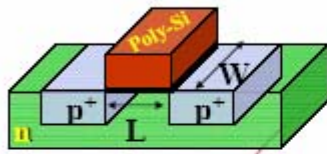
Εξισώσεις Ρεύματος nMOS Τρανζίστορ



$I_D - V_{GS}$ Χαρακτηριστική Κόρου nMOS



Εξισώσεις Ρεύματος pMOS Τρανζίστορ

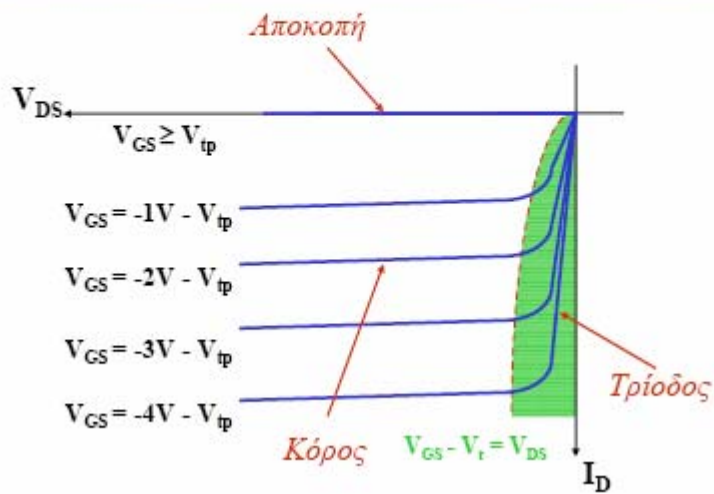


$$\beta_p = \frac{\mu_p \epsilon W}{t_{ox} L} \quad \text{Συντελεστής Απολαβής}$$

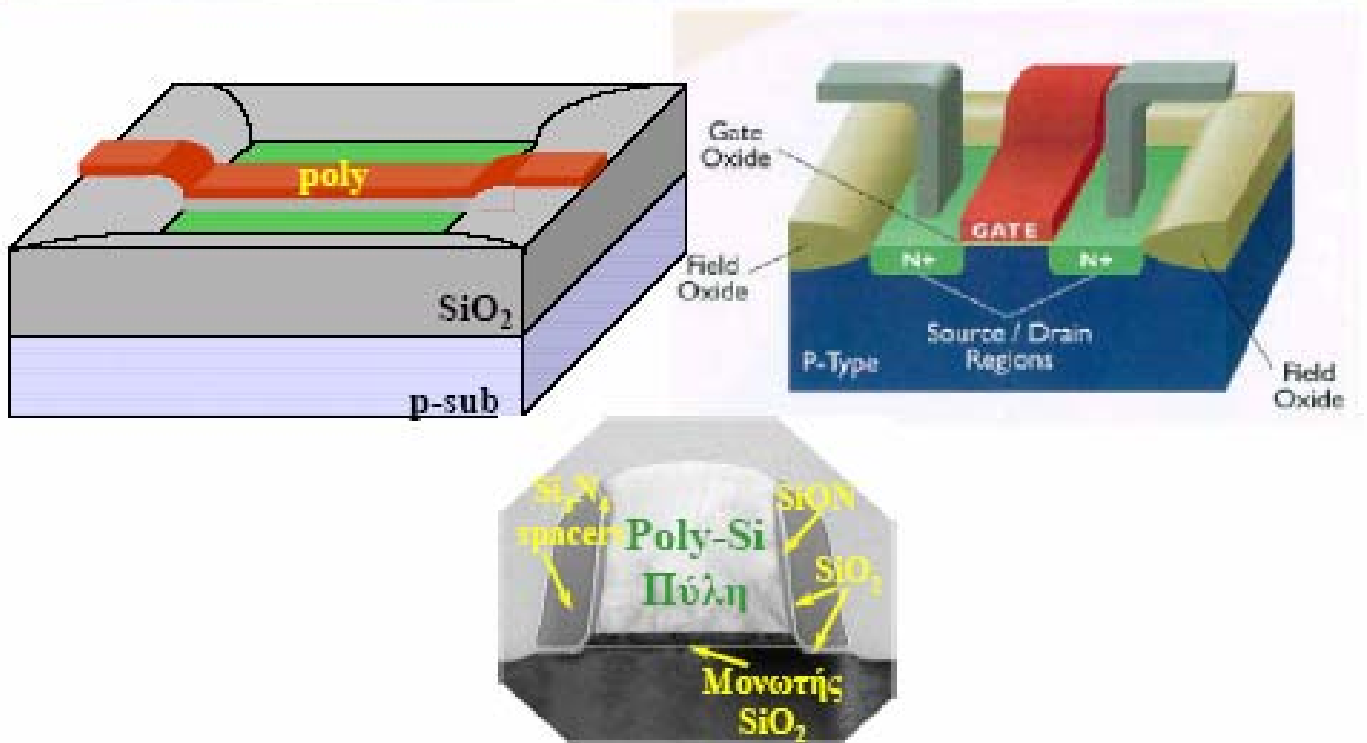
$$I_D = \begin{cases} 0 & V_{GS} - V_{tp} > 0 \\ \beta_p \left[(V_{GS} - V_{tp}) V_{DS} - \frac{V_{DS}^2}{2} \right] & 0 > V_{DS} > V_{GS} - V_{tp} \\ \frac{\beta_p}{2} (V_{GS} - V_{tp})^2 & 0 > V_{GS} - V_{tp} > V_{DS} \end{cases}$$

$V_{GS} - V_{tp} > 0$
 Αποκοπή
 $0 > V_{DS} > V_{GS} - V_{tp}$
 Τρίοδος
 $0 > V_{GS} - V_{tp} > V_{DS}$
 Κόρος

$I_D - V_{DS}$ Χαρακτηριστικές pMOS



Τρισδιάστατη Εικόνα Τρανζίστορ



threshold voltage

τάση κατωφλίου : $V_{gs} \geq V_t$, $(V_t \rightarrow I_{ds} \sim 0)$

Γενικά, η τάση κατωφλίου είναι συνάρτηση ενός αριθμού παραγόντων, όπως οι ακόλουθοι:

- υλικό αγωγού πύλης
- υλικό μονωτή πύλης
- πάχος μονωτή πύλης - μέγεθος νόθευσης καναλιού
- προσμείξεις στην επιφάνεια επαφής πυριτίου - μονωτή πύλης
- τάση μεταξύ πηγής-υποστρώματος, V_{sb} .

$\Delta V_t / \Delta T = -4 \text{ mV}/^\circ\text{C}$, υπόστρωμα *υψηλού* επιπέδου νόθευσης
 $-2 \text{ mV}/^\circ\text{C}$ υπόστρωμα *χαμηλού* επιπέδου νόθευσης.

Τάση Κατωφλίου

Η τάση κατωφλίου είναι η τάση για την οποία το ρεύμα I_D γίνεται πολύ μικρό, πρακτικά σε κάποιες εφαρμογές αμελητέο. Γενικά η τάση κατωφλίου εξαρτάται από:

- το υλικό της πύλης
- το υλικό του μονωτή της πύλης
- το πάχος του μονωτή
- τις προσμείξεις του καναλιού και
- την τάση μεταξύ πηγής και υποστρώματος (V_{SB})

Ειδικά για συγκεκριμένο υλικό πύλης η τάση κατωφλίου δίδεται από τη σχέση:

$$V_t = V_{t0} \pm \gamma \sqrt{V_{SB}} \quad \text{με} \quad \gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{Si}N}$$

Συντελεστής
Φαινόμενου Σφάλματος

όπου V_{t0} η τάση κατωφλίου για $V_{SB}=0$ ενώ t_{ox} , ϵ_{ox} το πάχος και η διηλεκτρική σταθερά του μονωτή, q το φορτίο του ηλεκτρονίου, ϵ_{Si} η διηλεκτρική σταθερά του πυριτίου και N η πυκνότητα συγκέντρωσης των προσμείξεων στο υπόστρωμα. Το σημείο \pm αναφέρεται σε nMOS ή pMOS τρανζίστορ αντίστοιχα.

Επίδραση Σώματος (*body effect*)

στοιχεία (τρανζίστορες) που συνθέτουν ένα MOS ολοκληρωμένο κύκλωμα κατασκευάζονται σε ένα **κοινό υπόστρωμα**.



Ως αποτέλεσμα, η **τάση υποστρώματος** για όλα τα στοιχεία είναι κανονικά η **ίδια**.

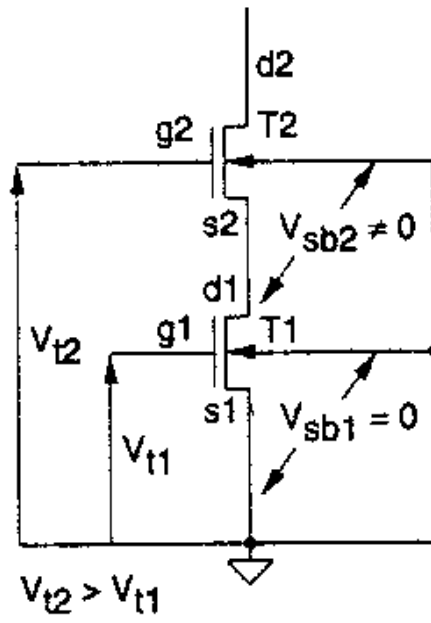
λόγω της ύπαρξης περιοχών **διαφορετικού** τύπου **νόθευσης**, εμφανίζονται **παρασιτικές δίοδοι**.



Για την αποφυγή **παρασιτικών ρευμάτων** μέσω αυτών, επιβάλεται η **ανάστροφη πόλωσή** τους.

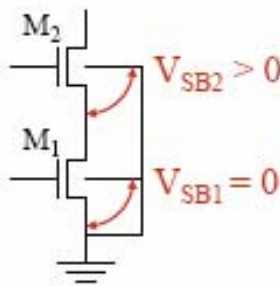
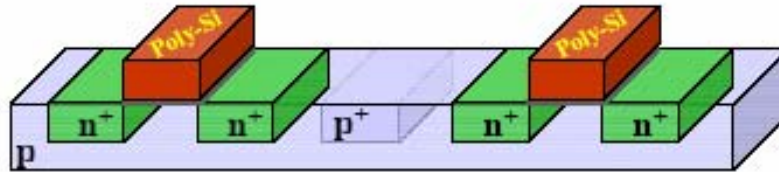
Επομένως, ένα **n-τύπου** υπόστρωμα (όπου αναπτύσσονται τα pMOS τρανζίστορες) συνδέεται στην πλέον θετική τάση V_{DD} , και ένα **p-τύπου** υπόστρωμα (όπου αναπτύσσονται τα nMOS τρανζίστορες) συνδέεται στην πλέον **αρνητική τάση**, στη γη.

Καθώς τα τρανζίστορες ταξινομούνται ώστε να σχηματίσουν λογικές πύλες είναι πολύ πιθανό μερικά από αυτά να συνδέονται σε σειρά, όπως φαίνεται στο Σχήμα (για παράδειγμα τα n-τρανζίστορες μιας πύλης NAND).



ΣΧΗΜΑ : Επίδραση πόλωσης υποστρώματος σε σειρά συνδεδεμένα τρανζίστορς

Επίδραση Σώματος - Body Effect

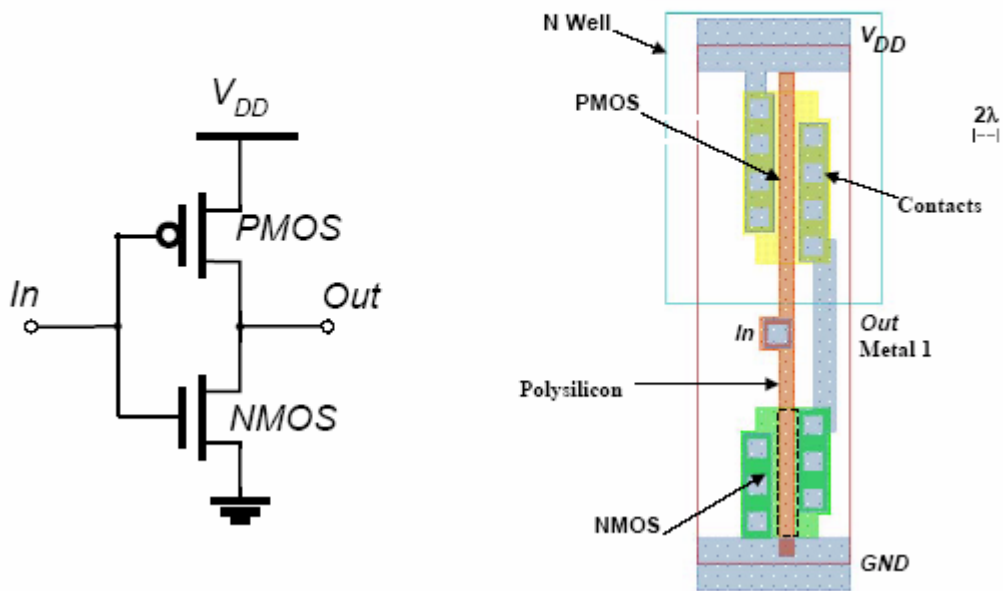


Αύξηση της τάσης $V_{SB} \Rightarrow$ αύξηση της περιοχής απογύμνωσης στο κανάλι γεγονός που μεταβάλλει τη γεωμετρία του τρανζίστορ έτσι ώστε το υπόστρωμα να έχει το ρόλο μιας δεύτερης πύλης ελέγχου με αποτέλεσμα την αύξηση της τάσης κατωφλίου:

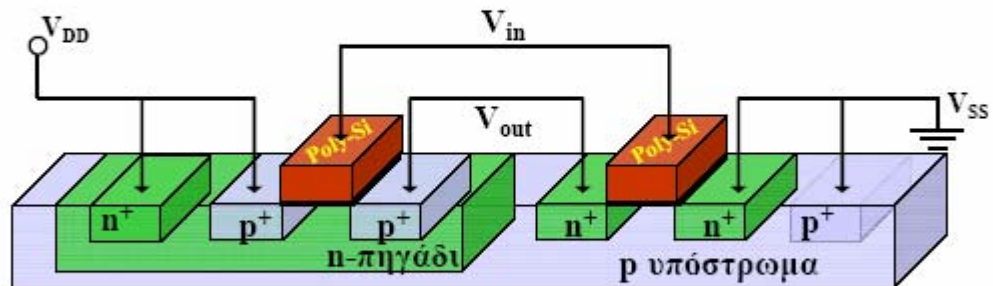
$$\Rightarrow V_{t2} > V_{t1}$$

9.CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ

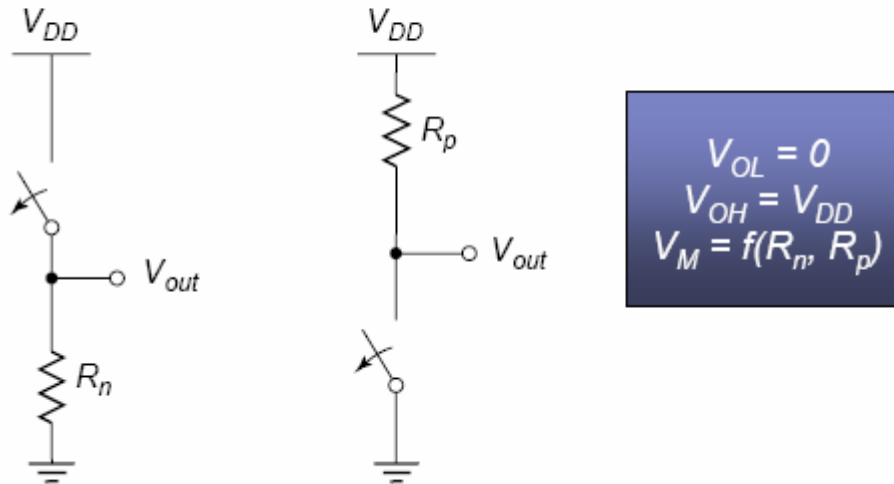
Αντιστροφείας CMOS



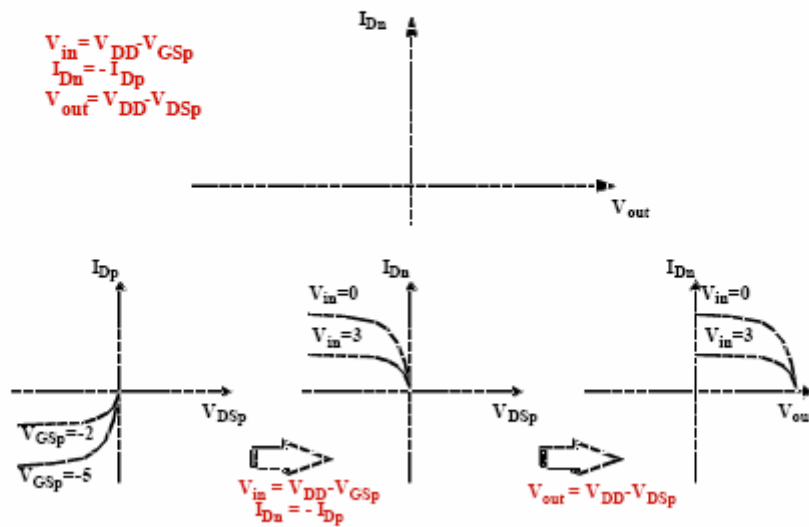
Ο CMOS Αναστροφείας



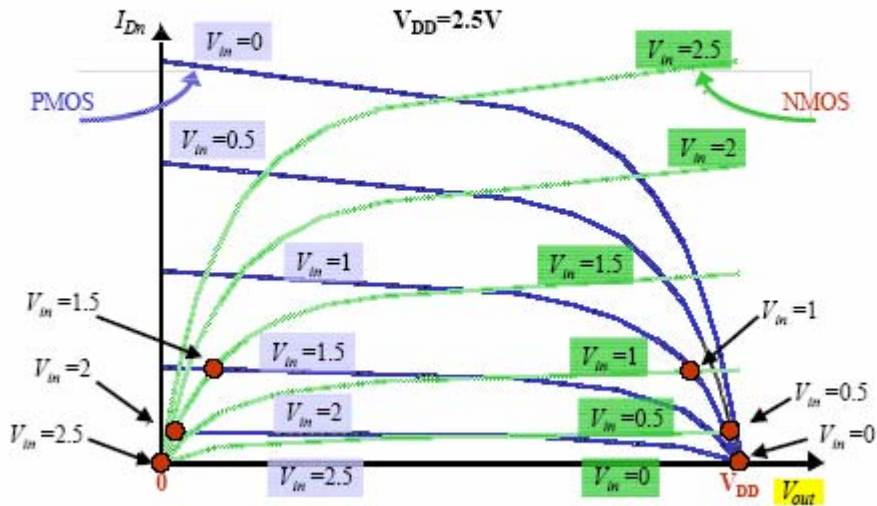
Απόκριση σταθερής κατάστασης



Χαρακτηριστικές φορτίου PMOS

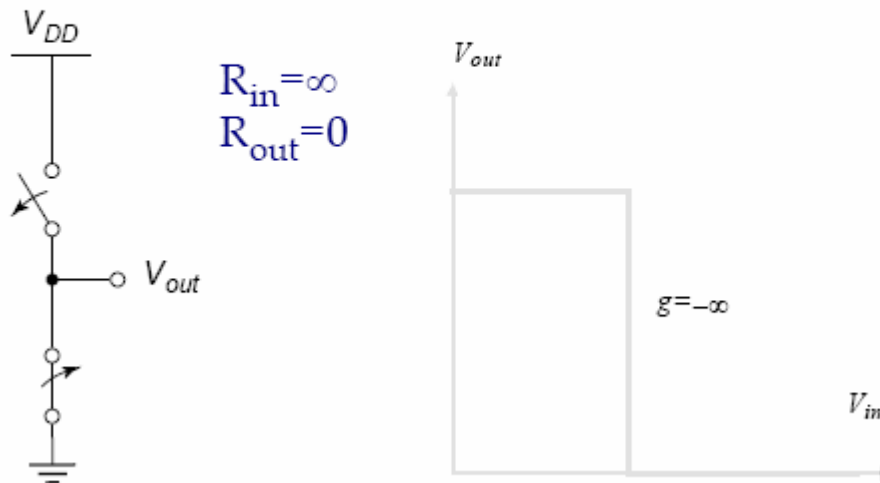


Χαρακτηριστική CMOS Αναστροφεία (IV)



Η χαρακτηριστική $V_{out} = f(V_{in})$ προσδιορίζεται από τα σημεία με κοινό V_{GS} ($V_{in} = V_{imp}$ και $I_{Dn} = I_{Dp}$)

Ιδανική πύλη

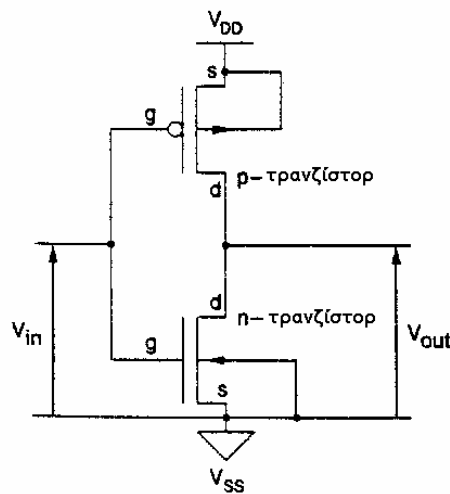


CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ

DC Χαρακτηριστικές

Ένας **CMOS αντιστροφέας** υλοποιείται με την **εν σειρά σύνδεση** ενός **p-τύπου** και ενός **n-τύπου** τρανζίστορ, όπως φαίνεται στο Σχήμα 3.1.

Με σκοπό την παραγωγή των DC χαρακτηριστικών μεταφοράς του αντιστροφέα το ζητούμενο είναι να βρεθεί η μεταβολή στην τάση της εξόδου, V_{out} , σε αλλαγές της τάσης εισόδου, V_{in} .

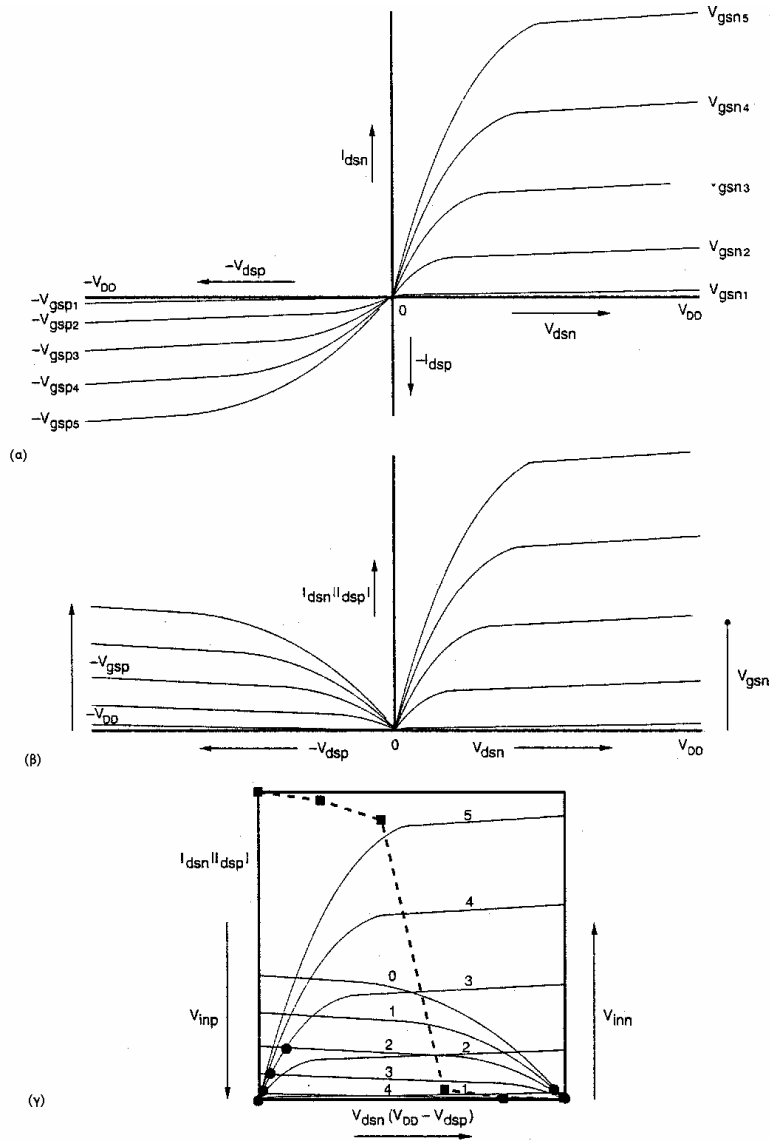


ΣΧΗΜΑ 3.1: CMOS αντιστροφέας

Αυτό μπορεί να γίνει με γραφικό τρόπο. Ξεκινάμε με τη γραφική αναπαράσταση των χαρακτηριστικών τάσης/ρεύματος των δύο τρανζίστορς που δίνονται στο 3.2(a). Παίρνοντας την απόλυτη τιμή για το ρεύμα υποδοχής, I_{dsp} , του p-τύπου τρανζίστορ *αντιστρέφεται η χαρακτηριστική του*. Αυτό επιτρέπει τις

V-I χαρακτηριστικές του p-τρανζίστορ να κατοπτρίζονται ως προς τον χ-άξονα (Σχήματα 3.2(α) και 3.2β).

Κατόπιν, μετατοπίζοντας προς τα δεξιά τις χαρακτηριστικές του p-τρανζίστορ κατά V_{DD} και επειδή $V_{out}=V_{dsn}=V_{DD}-|V_{dsp}|$ επιτυγχάνεται έκφραση των ρευμάτων I_{dsn} και $|I_{dsp}|$ ως προς την τάση εξόδου, όπως φαίνεται στο Σχήμα 3.2(γ).



ΣΧΗΜΑ 3.2: Χαρακτηριστικές του CMOS αντιστροφέα

Για μια **δεδομένη τάση εισόδου** V_{in} , η τάση εξόδου V_{out} αποκτάται από το **σημείο τομής** των καμπυλών των I_{dsn} και $|I_{dsp}|$, αφού και στα δυο τρανζίστορ πρέπει να ρέει το ίδιο ρεύμα.

Συνεπώς, θεωρώντας **βαθμιαία αύξηση της τάσης εισόδου** και παρατηρώντας την τάση εξόδου στα σημεία όπου $I_{dsn} = |I_{dsp}|$ αποκτάμε την επιθυμητή χαρακτηριστική μεταφοράς ενός CMOS αντιστροφέα, όπως φαίνεται στο Σχήμα 3.3.

Το **σημείο λειτουργίας κινείται**, καθώς αυξάνεται η τάση εισόδου, πάνω στην καμπύλη που καθορίζεται από τις κουκίδες στο Σχήμα 3.2(γ).

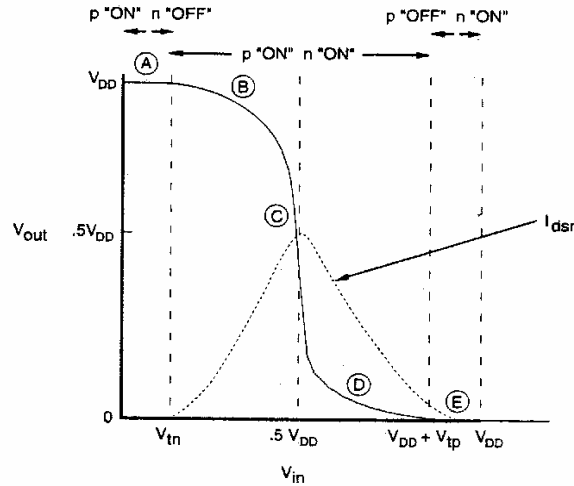
Τα σημεία τομής των καμπυλών των ρευμάτων (κουκίδες) αντιστοιχούν σε συγκεκριμένες τιμές της τάσης εισόδου και καθορίζουν συγκεκριμένες τιμές της τάσης εξόδου.

Με αυτόν τον τρόπο προκύπτει η σχέση μεταξύ V_{in} και V_{out} και συνεπώς η **χαρακτηριστική μεταφοράς του αντιστροφέα**.

Με *διακεκομμένη γραμμή* στο ίδιο σχήμα δίνεται μια προσεγγιστική μορφή της χαρακτηριστικής μεταφοράς.

Το **σημείο μετάβασης** (switching point, τάση εισόδου V_{inv} για την οποία ισχύει $V_{in} = V_{out}$) σχεδιάζεται, τυπικά, για το 50% του μεγέθους της τάσης παροχής, $V_{inv} \approx V_{DD} / 2$.

Κατά τη διάρκεια της μετάβασης, και τα δύο τα τρανζίστορς του CMOS αντιστροφέα είναι στιγμιαία “ON”, καταλήγοντας σε μικρής διάρκειας παλμό ρεύματος παρεχόμενο από την πηγή τροφοδοσίας. Αυτό φαίνεται από την καμπύλη με την διακεκομμένη γραμμή του Σχήματος 3.3.



ΣΧΗΜΑ 3.3: Σημεία λειτουργίας και χαρακτηριστικές μετάβασης ενός CMOS αντιστροφέα

Περιοχή (Α), $0 \leq V_{in} \leq V_{tn}$ όπου το **n-τρανζίστορ** = αποκοπή
(δεν άγει) ενώ το **p-τρανζίστορ** = γραμμική
λειτουργία.

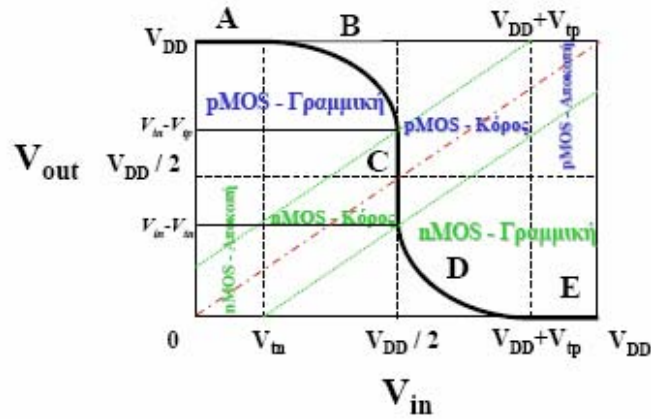
Περιοχή (Β), $V_{tn} \leq V_{in} \leq V_{DD}/2$, όπου το **n-τρανζίστορ** = κόρο ενώ
p-τρανζίστορ = γραμμική λειτουργία.

Περιοχή (C), η οποία προσδιορίζεται από τη σχέση
 $V_{in} - V_{tn} < V_{out} < V_{in} + |V_{tp}|$ κατά την οποία **και τα δύο**
τρανζίστορς είναι στον **κόρο**.

Περιοχή (D), $V_{DD}/2 < V_{in} \leq V_{DD} - |V_{tp}|$, **p-τρανζίστορ** = κόρο
ενώ το **n-τρανζίστορ** = γραμμική λειτουργία

Περιοχή (E), η οποία προσδιορίζεται από τη σχέση $V_{in} \geq V_{DD} - |V_{tp}|$,
όπου το **p-τρανζίστορ** = αποκοπή και το
n-τρανζίστορ = γραμμική λειτουργία.

Στατική Χαρακτηριστική Μεταφοράς (II)



$V_{tp} < 0$

Στην περιοχή C τα δύο τρανζίστορ είναι στον κόρο και συμπεριφέρονται σαν πηγές ρεύματος.

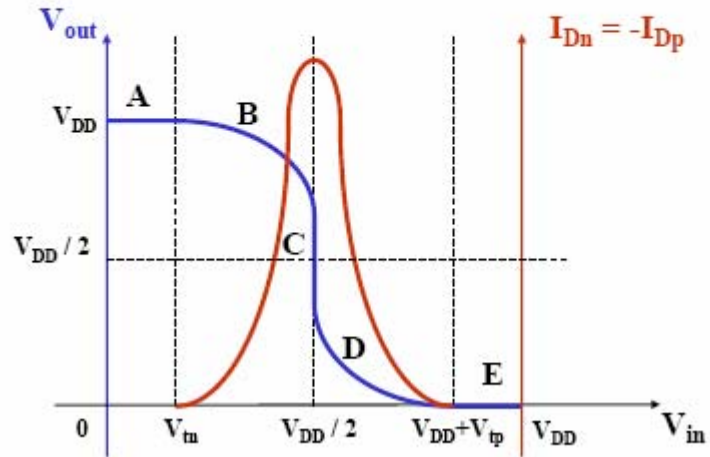
Υπάρχει μία τάση εισόδου για την οποία ισχύει $V_{in} = V_{out}$ και η τάση αυτή ονομάζεται κατώφλι μετάβασης (V_M) της λογικής πύλης.

Σε αυτή την τάση το σύστημα είναι σε ασταθή ισορροπία.

(Εδώ η τάση κατώφλιου είναι $V_{DD}/2$, θεωρώντας ότι ισχύει $\beta_p = \beta_n$).

Στατική Χαρακτηριστική Μεταφοράς (I)

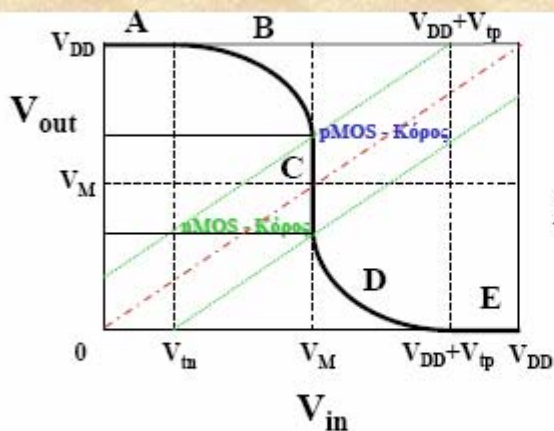
Χαρακτηριστική Εισόδου – Εξόδου [$V_{out} = f(V_{in})$]



Ανάλυση Χαρακτηριστικής Μεταφοράς

Περιοχή	Συνθήκη	pMOS	nMOS	Έξοδος
A	$0 \leq V_{in} \leq V_m$	Γραμμική	Αποκοπή	$V_{out} = V_{DD}$
B	$V_m \leq V_{in} < V_{DD}/2$	Γραμμική	Κόρος	$V_{out} = f(V_{in})$
C	$V_{in} = V_{DD}/2$	Κόρος	Κόρος	$V_{out} \neq f(V_{in})$
D	$V_{DD}/2 < V_{in} \leq V_{DD} - V_{tp}$	Κόρος	Γραμμική	$V_{out} = f(V_{in})$
E	$V_{DD} - V_{tp} \leq V_{in}$	Αποκοπή	Γραμμική	$V_{out} = V_{SS}$

Κατόφλι Μετάβασης



Στην περιοχή C τα δύο τρανζίστορ είναι στον κόρο. Εξισώνοντας τα ρεύματά τους για τάση $V_{in}=V_M$ παίρνουμε:

$$\frac{\beta_n}{2} (V_M - V_m)^2 = \frac{\beta_p}{2} (V_M - V_{DD} - V_{tp})^2$$

\Leftrightarrow

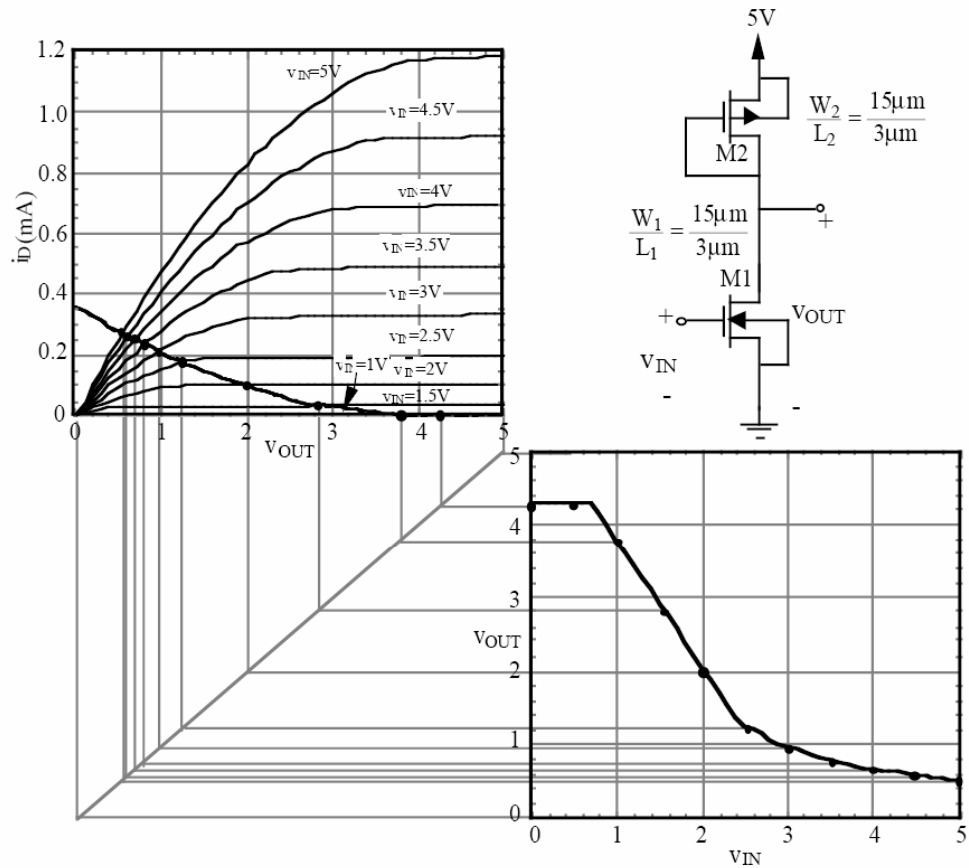
$$\frac{\beta_n}{\beta_p} = \frac{(V_M - V_{DD} - V_{tp})^2}{(V_M - V_m)^2}$$

Αν ζητάμε κάποιο συγκεκριμένο κατόφλι μετάβασης V_M τότε ο απαιτούμενος λόγος των πλατών των τρανζίστορ θα δίδεται από:

$$\frac{W_n}{W_p} = \frac{\mu_p}{\mu_n} \frac{(V_M - V_{DD} - V_{tp})^2}{(V_M - V_m)^2} \quad L_n = L_p$$

ACTIVE LOAD INVERTER - VOLTAGE TRANSFER CURVE

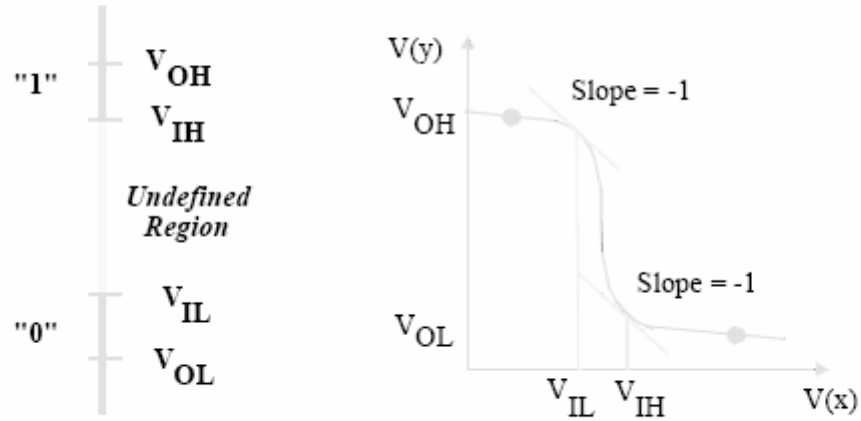
CMOS Active Load Inverter
VDD 3 0 DC 5.0



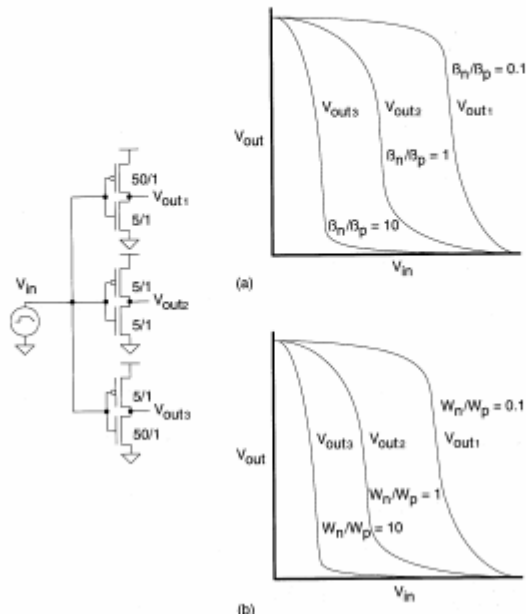
SPICE Input File:

```
VIN 1 0 DC 0.0
M1 2 1 0 0 MNMOS1 W=15U L=3U
M2 2 2 3 3 MPMOS1 W=15U L=3U
.MODEL MNMOS1 NMOS VTO=0.75 KP=25U LAMBDA=0.01 GAMMA=0.8 PHI=0.6
.MODEL MPMOS1 PMOS VTO=-0.75 KP=8U LAMBDA=0.02 GAMMA=0.4 PHI=0.6
.DC VIN 0 5 0.1
.OP
.PRINT DC V(2)
.PROBE
.END
```

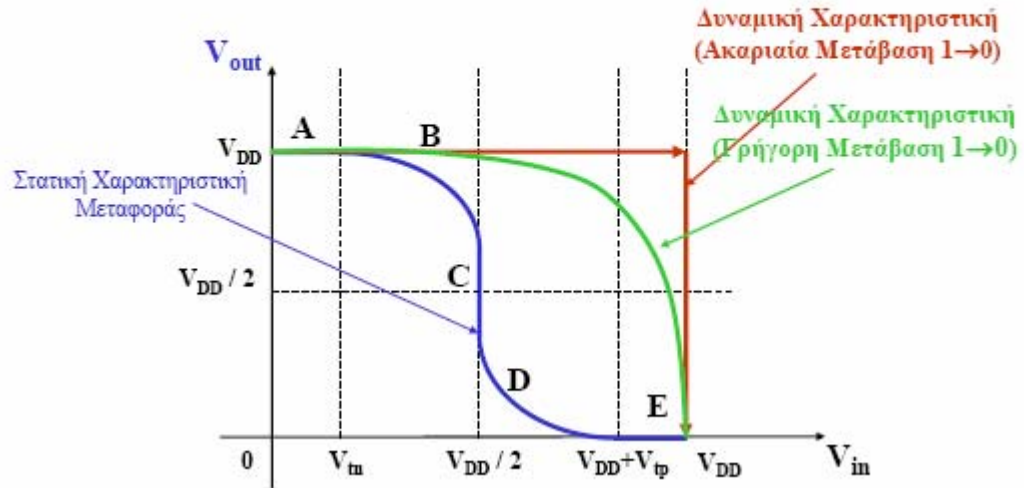
Αντιστοιχία αναλογικών-ψηφιακών σημάτων



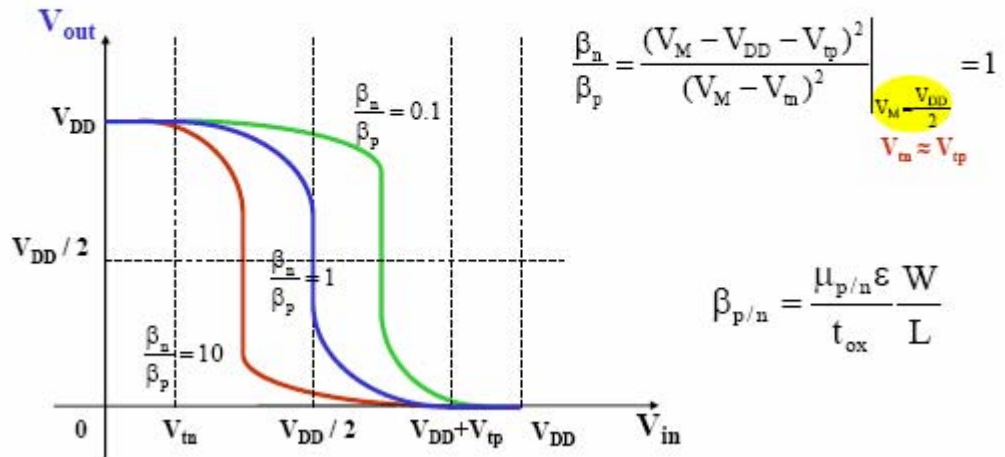
Διαστάσεις NMOS-PMOS



Δυναμική Χαρακτηριστική Μεταφοράς

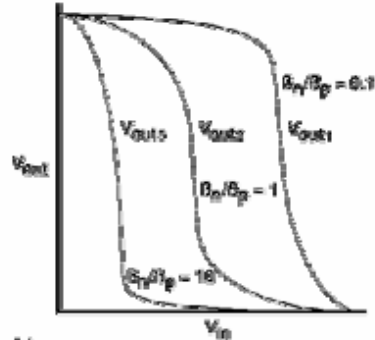
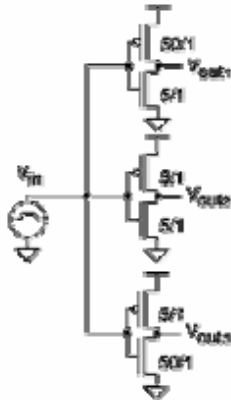


β_n/β_p και Χαρακτηριστική Μεταφοράς

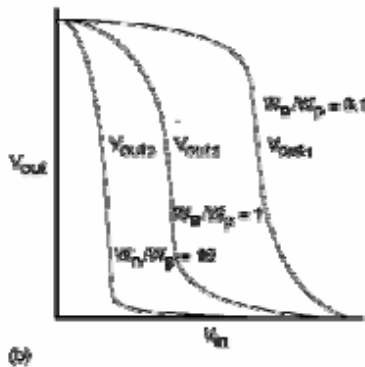


Λόγος β_n/β_p

Ο κάθε συντελεστής κέρδους δείχνει την δύναμη του transistor



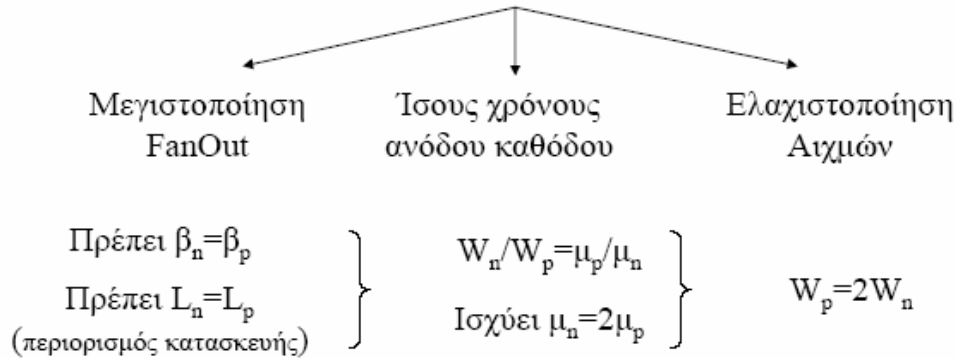
Ο λόγος επηρεάζει άμεσα την καμπύλη μεταφοράς, και εξαρτάται από τις διαστάσεις του καναλιού (W, L)



Την καμπύλη μεταφοράς επηρεάζει επίσης και η θερμοκρασία. Με την αύξηση της θερμοκρασίας μειώνεται το β .

Λόγος β_n/β_p

Κατά την σχεδίαση κυττάρων δίνουμε μεγάλη σημασία στην εξισορρόπηση των δυνατοτήτων οδήγησης των *nmos* και των *pmos*

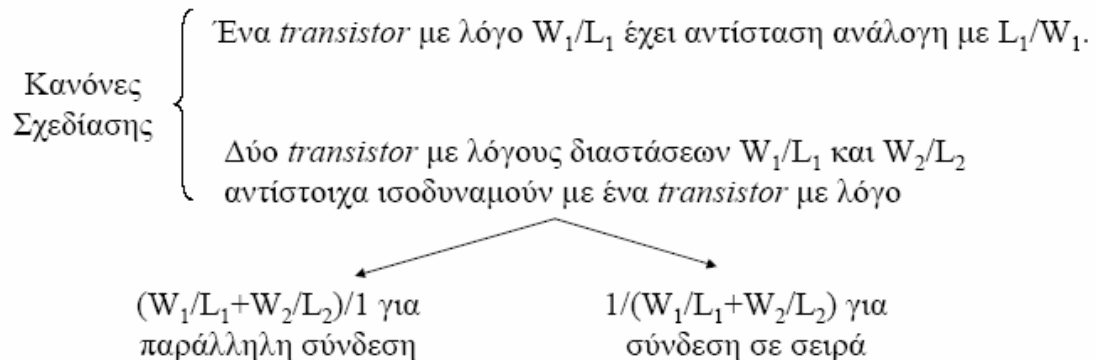


Τα *pmos* πρέπει να έχουν το διπλάσιο πλάτος από τα *nmos*. Στην τεχνολογία *submicron* ο λόγος είναι μικρότερος (μεταξύ 1 και 1.5)

Λόγος β_n/β_p

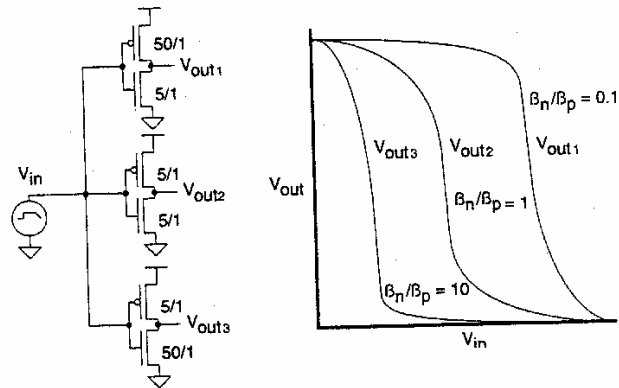
Ο λόγος διαστάσεων είναι σημαντικός στην σχεδίαση των *standard cells*:

- ✓ Κάθε βιβλιοθήκη παρέχει κύτταρα με διάφορες δυνατότητες (λόγους).
- ✓ Ο μικρότερος σε μέγεθος αντιστροφέας χρησιμοποιείται ως μέγεθος αναφοράς για τις υπόλοιπες πύλες



Λόγος Κέρδους αντιστροφέα

Ο συντελεστής κέρδους β ενός τρανζίστορ είναι μια πολύ σημαντική παράμετρος καθώς καθορίζει τη δυνατότητα οδήγησης ρεύματος αυτού και συνεπώς και την ταχύτητα απόκρισής του. Με σκοπό την ανίχνευση της επιρροής του λόγου β_n/β_p στη χαρακτηριστική μεταφοράς του αντιστροφέα, η καμπύλη αυτή σχεδιάζεται για διάφορες τιμές του λόγου β_n/β_p , όπως φαίνεται στο Σχήμα 3.4. Πρέπει να σημειωθεί ότι η τάση κατωφλίου πύλης (gate-threshold voltage), V_{inv} , που συμβαίνει για $V_{in}=V_{out}$, εξαρτάται από το λόγο β_n/β_p . Αν θέλουμε να μεταβάλλουμε το λόγο αυτό, χρειάζεται να αλλάξουμε τις διαστάσεις του καναλιού των τρανζίστορς, δηλαδή το μήκος L και το πλάτος W του καναλιού όπως εξάγεται από τις αντίστοιχες εξισώσεις του κεφαλαίου 2. Από το Σχήμα 3.4 φαίνεται ότι καθώς ο λόγος β_n/β_p μειώνεται, η περιοχή μετάβασης μετατοπίζεται από αριστερά προς τα δεξιά.



ΣΧΗΜΑ 3.4: Επίδραση του λόγου β_n/β_p στις χαρακτηριστικές του αντιστροφέα

Εντούτοις, η χρονική διάρκεια της μετάβασης της τάσης εξόδου παραμένει περίπου η ίδια και συνεπώς η συμπεριφορά του αντιστροφέα κατά τη μετάβαση

δεν επηρεάζεται. Για το CMOS αντιστροφέα ένας λόγος ίσος με 1 είναι συνήθως επιθυμητός καθώς επιτρέπει ένα χωρητικό φορτίο στην έξοδο της πύλης να φορτίζεται και να εκφορτίζεται σε ίσα χρονικά διαστήματα δεδομένου ότι παρέχονται ίδιας δυναμότητας πηγές παροχής και άντλησης ρεύματος ($\beta_n = \beta_p$ σημαίνει ίδια δυναμότητα οδήγησης ρεύματος για τα n- και p-τρανζίστορες).

Η **θερμοκρασία** είναι επίσης ένας άλλος παράγοντας που επηρεάζει τη χαρακτηριστική μεταφοράς ενός αντιστροφέα.

Καθώς η **T** σε ένα MOS τρανζίστορ **αυξάνει**,

η **ενεργός κινητικότητα** των φορέων **μειώνεται**.

Αυτό έχει ως συνέπεια τη **μείωση στο κέρδος β** , που σχετίζεται με τη θερμοκρασία **T** ως εξής:

$$\beta_{eff} = \beta \alpha T^{-1.5} \quad (3.1)$$

Συνεπώς

$$I_{ds} = I_{ds} \alpha T^{-1.5} \quad (3.2)$$

Επειδή η χαρακτηριστική μεταφοράς της τάσης εξαρτάται από τον λόγο β_n/β_p και η κινητικότητα των οπών και των ηλεκτρονίων επηρεάζεται το ίδιο από τη θερμοκρασία, ο παραπάνω **λόγος** είναι σχεδόν **ανεξάρτητος της θερμοκρασίας**.

Επιπλέον για **T** \uparrow και οι δυο **τάσεις κατωφλίου** V_{tn} και V_{tp} \downarrow
 η έκταση της **περιοχής λειτουργίας A** = **μειώνεται** ενώ
 της **E** = **αυξάνεται** (Σχήμα 3.3).

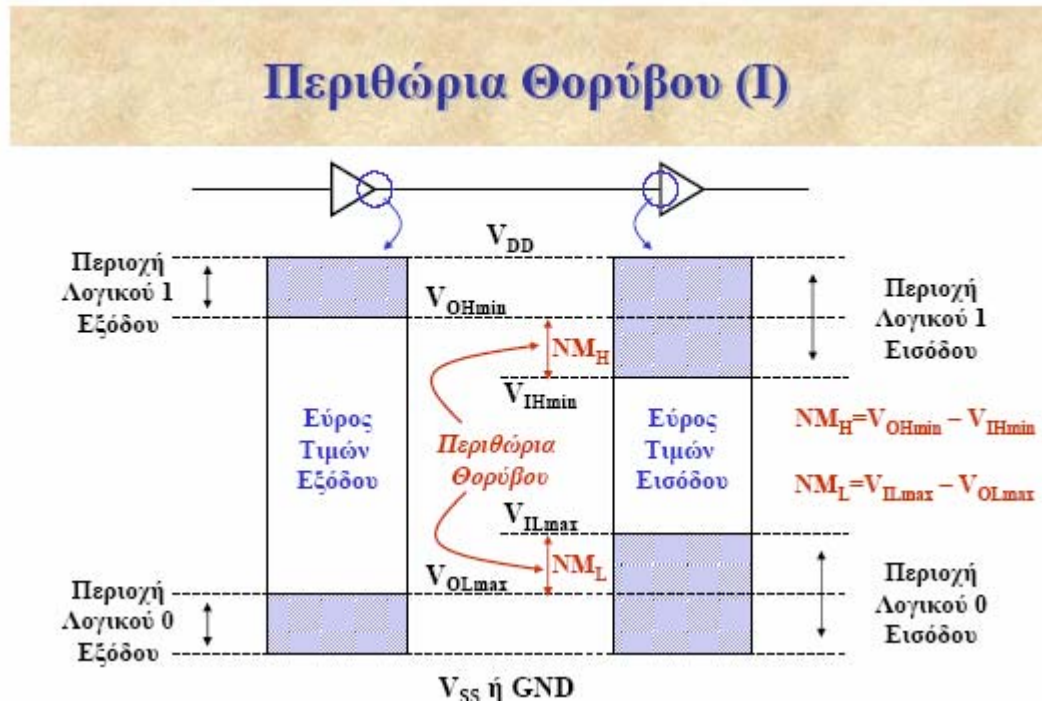
Συνεπώς, η **ολική χαρακτηριστική μεταφοράς** του Σχήματος 3.4 **μετατοπίζεται προς τα αριστερά** καθώς **αυξάνεται η θερμοκρασία**.

Για παράδειγμα, μια αύξηση της θερμοκρασίας κατά 50°C προκαλεί μείωση σε κάθε τάση κατωφλίου κατά 200mV που με τη σειρά της προκαλεί μετατόπιση κατά 0,2V στην τάση κατωφλίου V_{inv} του αντιστροφέα (αυτό συμβαίνει στο θεωρητικό μοντέλο, στην πράξη η μετατόπιση είναι μικρότερη).

10.Περιθώρια Θορύβου

παράμετρος μας επιτρέπει να καθορίσουμε το επιτρεπόμενο επίπεδο θορύβου στην **τάση εισόδου** μίας πύλης έτσι ώστε να μην επηρεάζεται η κυματομορφή της τάσης της **εξόδου**.

το **χαμηλής στάθμης** (LOW) περιθώριο θορύβου, NM_L , και το **υψηλής στάθμης** (HIGH) περιθώριο θορύβου, NM_H .



Με αναφορά το Σχήμα το NM_L ορίζεται ως η διαφορά μεγέθους μεταξύ της **μεγίστης χαμηλής τάσης εξόδου** της οδηγούν πύλης και της **μεγίστης χαμηλής τάσης εισόδου** που αναγνωρίζεται από την οδηγούμενη πύλη.

Ομοίως, η τιμή του NM_H προκύπτει από τη διαφορά μεγέθους μεταξύ της **ελάχιστης υψηλής τάσης εξόδου** της οδηγούν πύλης και της **ελάχιστης υψηλής τάσης εισόδου** που αναγνωρίζεται από την οδηγούμενη πύλη. Έτσι

$$NM_L = |V_{ILmax} - V_{OLmax}|$$

$$NM_H = |V_{OHmin} - V_{IHmin}|$$

όπου

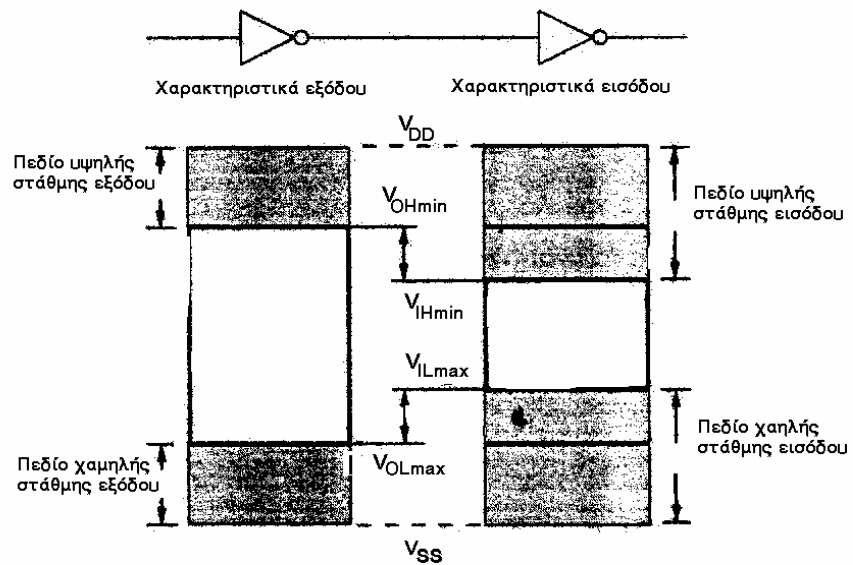
V_{IHmin} = ελάχιστη υψηλή τάση εισόδου

V_{ILmax} = μέγιστη χαμηλή τάση εισόδου

V_{OHmin} = ελάχιστη υψηλή τάση εξόδου

V_{OLmax} = μέγιστη χαμηλή τάση εξόδου

Οι ορισμοί αυτοί φαίνονται παραστατικά στο Σχήμα

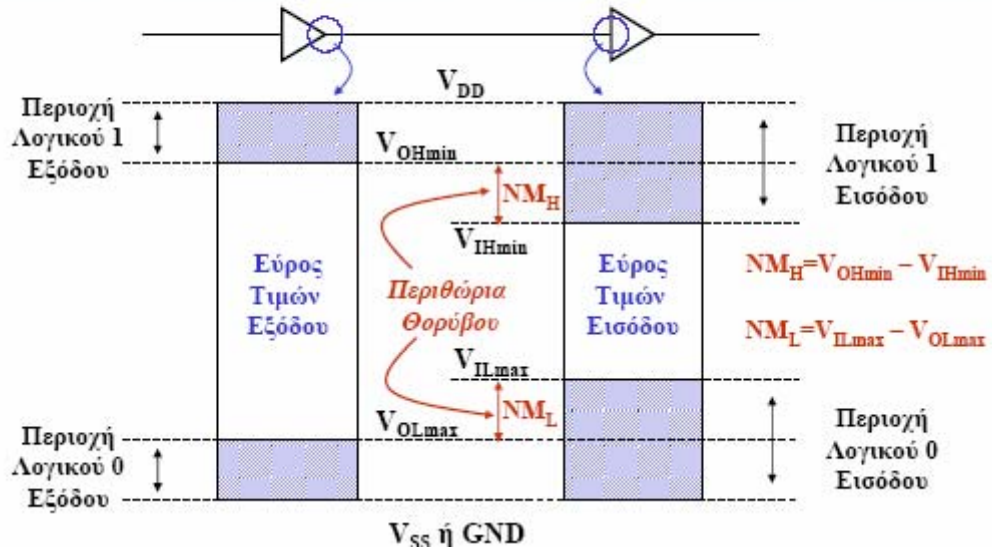


ΣΧΗΜΑ: Περιθώρια θορύβου

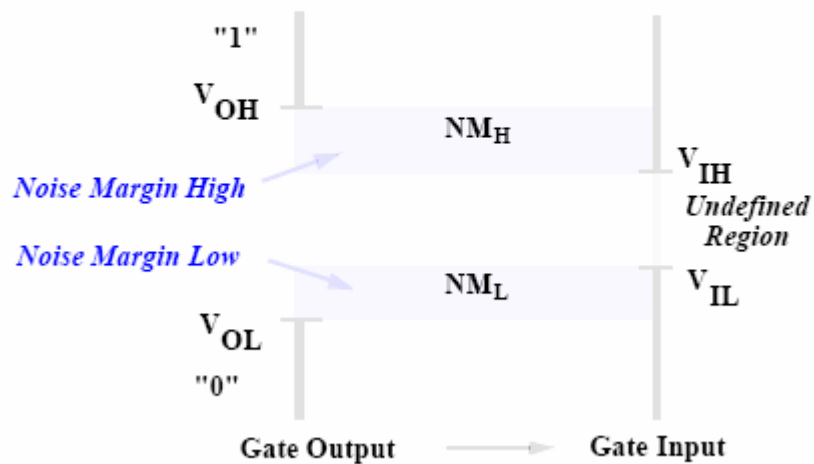
Εάν το NM_L ή το NM_H για μια πύλη μειωθεί, τότε η πύλη μπορεί να γίνει **επιδεκτική σε θόρυβο τάσης** που μπορεί να εμφανιστεί στις εισόδους της.

- κάποιος πρέπει να δει τις επιδράσεις των πηγών θορύβου και των περιθωρίων θορύβου σε πολυπλοκότερα κυκλώματα πυλών ώστε να εκτιμήσει την **ανοσία στο θόρυβο** του όλου συστήματος. Αυτός είναι ο λόγος της σημασίας των περιθωρίων θορύβου.

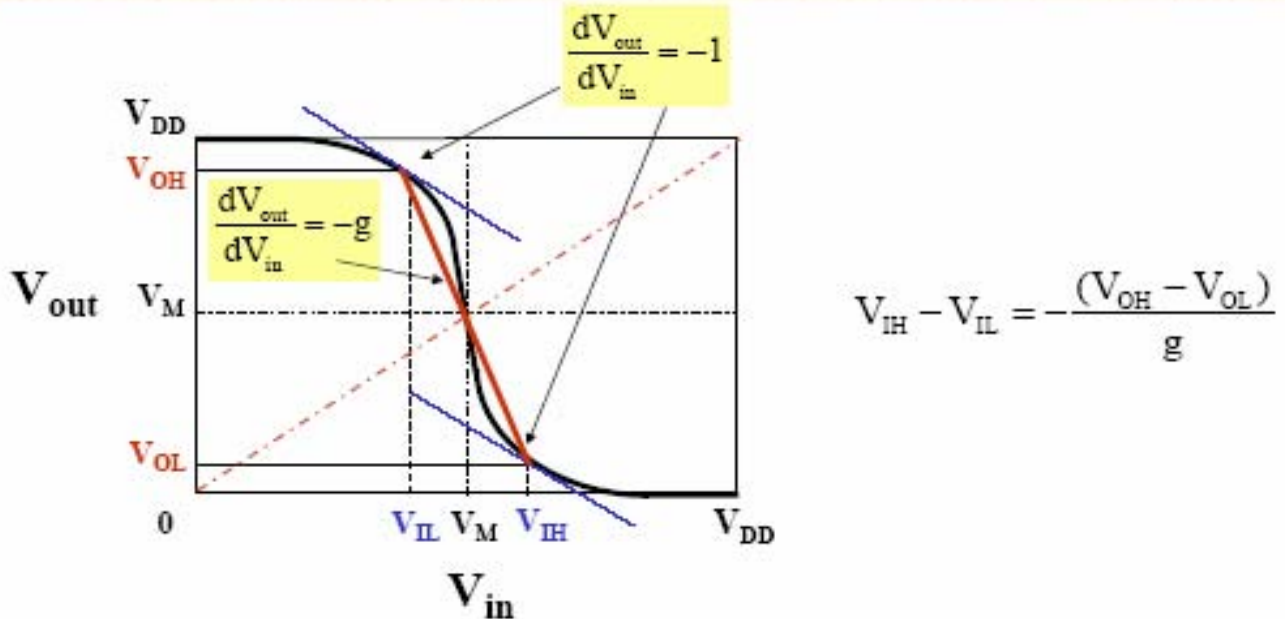
Περιθώρια Θορύβου (I)



Ορισμός περιθωρίων θορύβου



Περιθώρια Θορύβου (II)



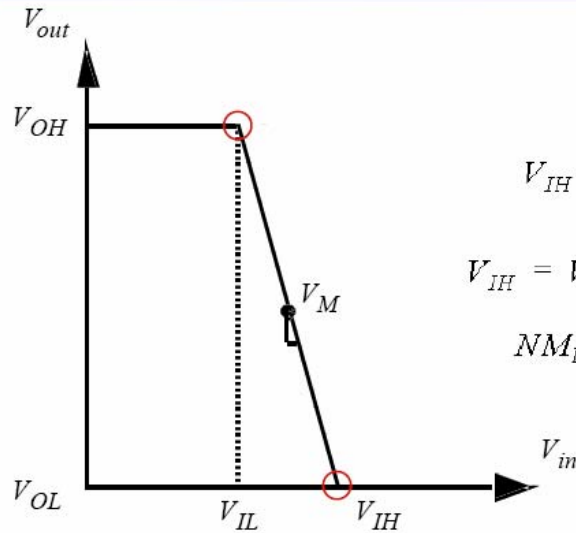
- Οι τάσεις εξόδου V_{OH} και V_{OL} που αντιστοιχούν στις λογικές τιμές 0 και 1 συμπίπτουν με τις ιδανικές τάσεις V_{DD} και $0V$
- Η ελάχιστη τάση εισόδου που αναγνωρίζεται από το κύκλωμα ως λογικό 1 (και οδηγεί την έξοδο σε λογικό 0) αναφέρεται ως V_{IH}
- Η μέγιστη τάση εισόδου που αναγνωρίζεται από το κύκλωμα ως λογικό 0 (και οδηγεί την έξοδο σε λογικό 1) αναφέρεται ως V_{IL}
- Οι τάσεις V_{IH} και V_{IL} ορίζονται ως τα σημεία μοναδιαίου κέρδους της χαρακτηριστικής DC όπου η κλίση της καμπύλης είναι -1:
- Το εύρος περιοχής μετάβασης είναι $V_{IH} - V_{IL}$
- Η τάση μετάβασης V_{th} του αντιστροφέα (όπου πραγματοποιείται η μετάβαση της εξόδου από 0 σε 1) ορίζεται ως το σημείο όπου η τάση εξόδου συμπίπτει με την τάση εισόδου, δηλαδή $V_{in} = V_{out}$

- Η λογική πύλη πρέπει →
1. να ποσοτικοποιεί το σήμα εισόδου σε δύο διακριτά επίπεδα εξόδου.
 2. να ελαχιστοποιεί το πλάτος της ακαθόριστης περιοχής τάσεων εισόδου.



περιθώρια θορύβου όσο το δυνατόν μεγαλύτερα.

Προσδιορισμός V_{IH} και V_{IL}

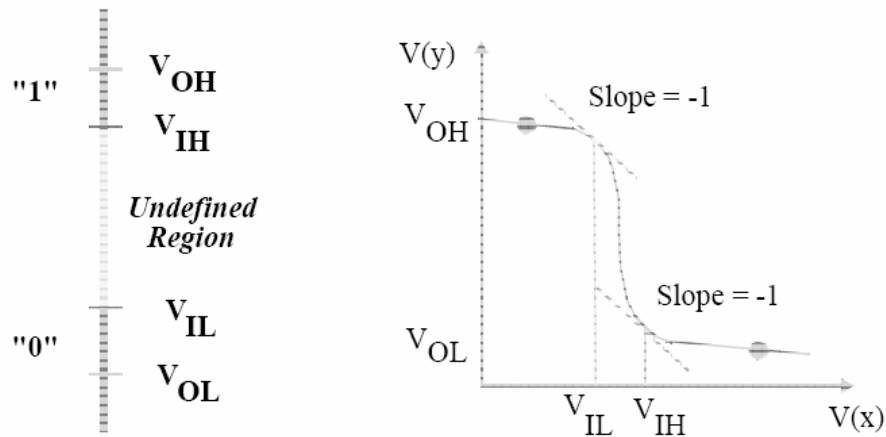


$$V_{IH} - V_{IL} = -\frac{(V_{OH} - V_{OL})}{g} = \frac{-V_{DD}}{g}$$

$$V_{IH} = V_M - \frac{V_M}{g} \quad V_{IL} = V_M + \frac{V_{DD} - V_M}{g}$$

$$NM_H = V_{DD} - V_{IH} \quad NM_L = V_{IL}$$

Αντιστοιχία αναλογικών-ψηφιακών σημάτων

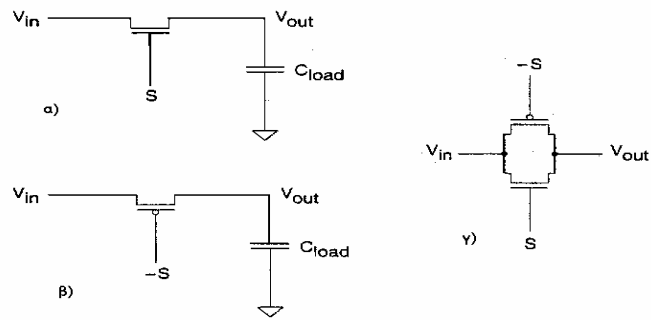


Η πύλη μεταβίβασης (transmission gate)

αποτελείται από ένα **n-τρανζίστορ** και ένα **p-τρανζίστορ** με διαφορετικές εισόδους πύλης (**G**) και κοινές συνδέσεις για την πηγή (**S**) και την υποδοχή (**D**).

Σήμα ελέγχου (S) → πύλη του **n-τρανζίστορ** και
το συμπλήρωμα (-S) → πύλη του **p-τρανζίστορ**.

Η λειτουργία της πύλης μεταβίβασης εξηγείται καλύτερα με τη θεώρηση των χαρακτηριστικών του n- και του p- τρανζίστορ ως τρανζίστορ διέλευσης (pass transistor) ξεχωριστά.



ΣΧΗΜΑ 3.6: α) nMOS τρανζίστορ σε πύλη μεταβίβασης, β) pMOS τρανζίστορ σε πύλη μεταβίβασης, γ) πύλη μεταβίβασης

nMOS τρανζίστορ διέλευσης

- το φορτίο χωρητικότητας C_{load} είναι αρχικά εκφορτισμένο (δηλαδή $V_{out}=V_{SS}$).
- Με $s = 0$ (δηλαδή $V_{gs}=0$ Volts), $I_{ds}=0$, τότε $V_{out}=V_{SS}$ άσχετα της κατάστασης της εισόδου V_{in} .
- Όταν $s = 1$ (V_{DD}) και $V_{in}=1$, \rightarrow άγει $\rightarrow V_{CLoad} \rightarrow V_{DD}$, ($V_{gs}=V_{DD}$)
($V_{in} > V_{out}$, I : από αριστερά προς τα δεξιά $\rightarrow s = out$.)
καθώς $V_{out} \rightarrow V_{DD}-V_{tn}$ turn off (αποκοπή, $V_{gs}=V_{tn}$)

όταν η τιμή της s επιστρέφει στο $0 \rightarrow$ τάση εξόδου $V_{out} = V_{DD}-V_{tn}$.

↓ (C : παραμένει φορτισμένος)
▼

η μεταβίβαση του λογικού "1" υποβαθμίζεται καθώς περνά διαμέσου του τρανζίστορ διέλευσης.

- Με $V_{in}=0$, $s = 1$ και $V_{out} = V_{DD}-V_{tn}$, \rightarrow άγει \rightarrow εκφορτίζει $C_L \rightarrow V_{SS}$
δηλαδή $V_{gs}=V_{DD}$.

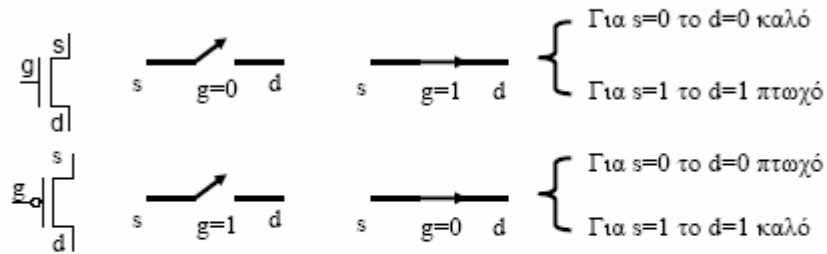
$V_{in} < V_{out}$ I : από τα δεξιά προς τα αριστερά $\rightarrow s = OUTPUT$

$V_{out} \rightarrow V_{SS}$, I $\rightarrow 0$ (μεταβίβαση του λογικού 0 **δεν** υποβαθμίζεται)

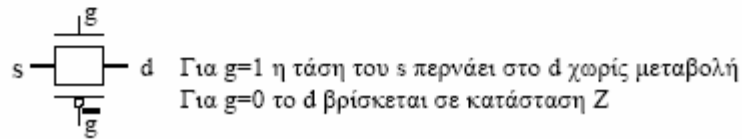
p-MOS τρανζίστορ διέλευσης
 Σε αυτήν την περίπτωση η μεταβίβαση του λογικού "1" **δεν υποβαθμίζεται** ενώ το λογικό "0" μεταδίδεται ως V_{tp} . Έτσι η μεταβίβαση του λογικού "0" **υποβαθμίζεται** διαμέσου του p-τρανζίστορ διέλευσης.

Συνδυασμός χαρακτηριστικών και των 2 → μεταβίβαση ΧΩΡΙΣ υποβιβασμό αληθής και τη συμπληρωματική τιμή του σήματος ελέγχου
 (στοιχείο πολύπλεξης, ως στοιχείο μανδάλωσης και ως αναλογικός διακόπτης, αντιστάτης ελεγχόμενος από τάση).

Είδη MOS Τρανζίστορ



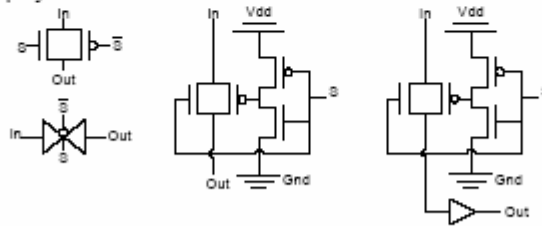
Συνδυάζοντας τις συμπληρωματικές δυνατότητες των τρανζίστορ υλοποιούμε την πύλη μετάβασης (transmission gate):



- Συνδυάζοντας παράλληλα ένα nMOS και ένα pMOS τρανζίστορ τα οποία ελέγχονται από συμπληρωματικές τάσεις πύλης, είναι δυνατό να σχηματίσουμε έναν διακόπτη ο οποίος μεταδίδει ισχυρές στάθμες τάσης τόσο στο λογικό 1 όσο και στο λογικό 0 (πύλη μετάδοσης ή transmission gate CMOS)

Πύλες Μετάδοσης

- ✓ Τα *transistor* μπορούν να χρησιμοποιηθούν ως διακόπτες οι οποίοι περνούν καλά είτε το 1 (*pmos*) είτε το 0 (*nmos*).
- ✓ Διασυνδέουμε παράλληλα δύο *transistor*, ένα *pmos* και ένα *nmos* ώστε να περάσουμε καλά τόσο το 0 όσο και το 1.
- ✓ Οι δύο πύλες (*gates*) των *transistor* οδηγούνται από δύο συμπληρωματικές λογικές τιμές.

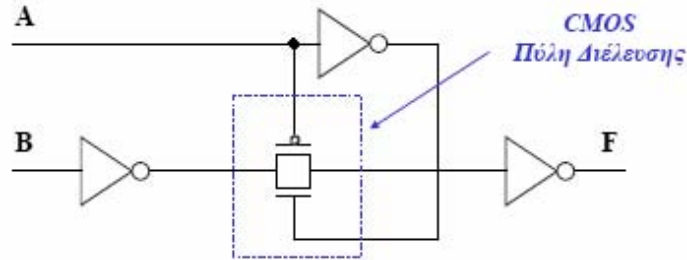


Πρόβλημα διαμοίρασης φορτίου



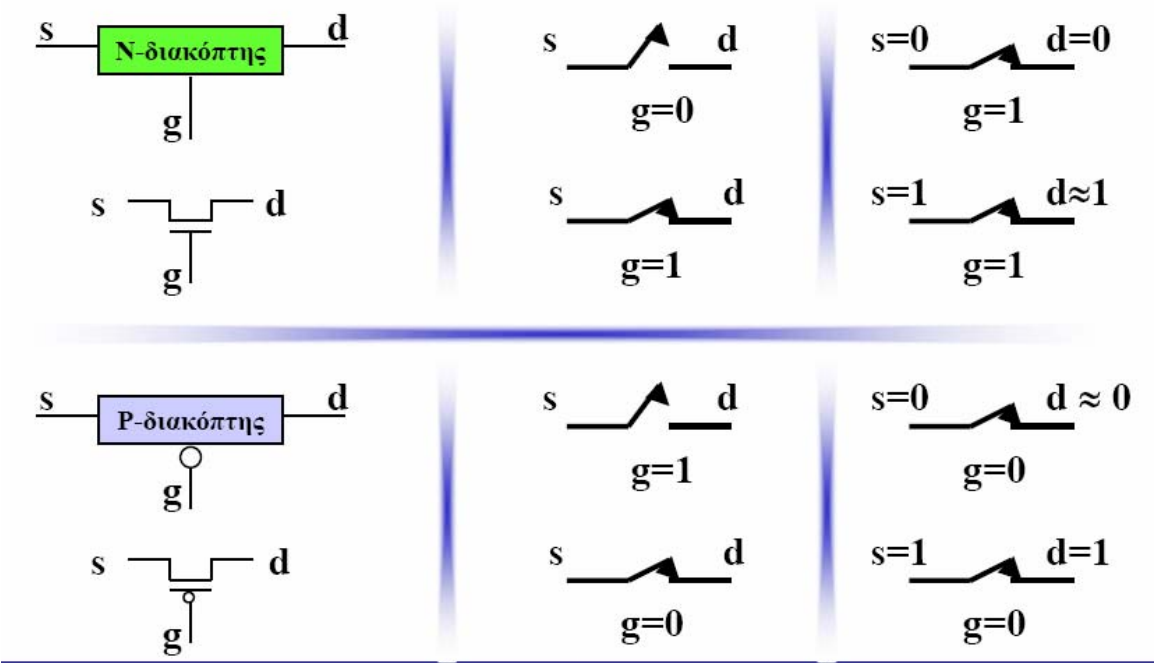
Χρήση απομονωτών / αντιστροφέων

CMOS Πύλη Διέλευσης

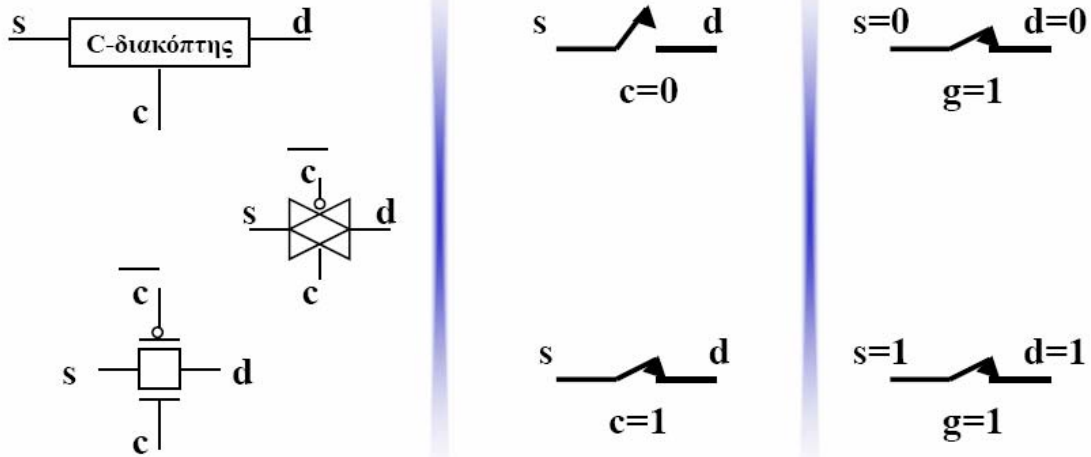


Πλεονεκτήματα	Μειονεκτήματα
Υψηλή Ταχύτητα	Body Effect
Μικρό Κόστος σε Επιφάνεια Πυριτίου	Περιορισμένο Βάθος Λογικής
Χαμηλή Κατανάλωση	

Το MOS Τρανζίστορ ως Διακόπτης



Ο Συμπληρωματικός Διακόπτης



Αντιστροφέας τριών καταστάσεων (tristate inverter)

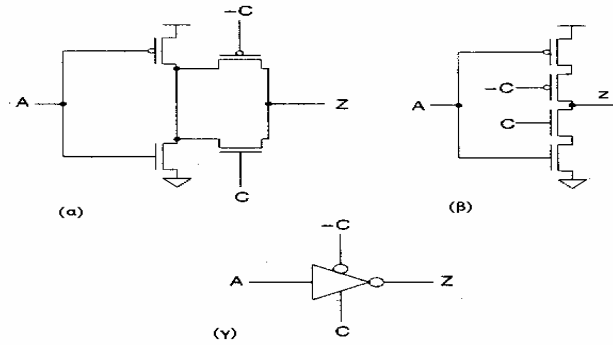
ΑΝΤΙΣΤΡΟΦΕΑΣ + ΠΥΛΗ ΜΕΤΑΒΙΒΑΣΗΣ

ΑΝΤΙΣΤΡΟΦΕΑΣ 3 ΚΑΤΑΣΤΑΣΕΩΝ

Όταν $C = 0$ } η έξοδος του αντιστροφέα είναι σε μία τρίτη κατάσταση
 και $\bar{C} = 1$ } (η Z έξοδος του αντιστροφέα δεν οδηγείται από την
 είσοδο A).

Όταν $C = 1$ } η έξοδος Z είναι ίση με το συμπλήρωμα της A.
 και $\bar{C} = 0$ }

Η σύνδεση μεταξύ των n- και p-τύπου οδηγούν τρανζίστορς μπορεί να παραληφθεί χωρίς αυτό να επηρεάσει την λειτουργία του κυκλώματος (εκτός μίας μικρής διαφοράς στην ταχύτητα).



Αντιστροφείας τριών καταστάσεων

TACHYTHTA ~ μισό της ταχύτητας του απλού αντιστροφέα

κυκλώματα χρονισμού, μανδαλωτών, οδηγών διαύλων, πολυπλεκτών,

και διατάξεων εισόδου/εξόδου.

11.ΒΙΒΛΙΟΓΡΑΦΙΑ

1. **Μικροηλεκτρονική - V.L.S.I.**
Β.ΚΩΤΣΟΣ
Σημειώσεις, ΤΕΙ ΛΑΜΙΑΣ, ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ
ΛΑΜΙΑ 1999.
2. **Εισαγωγή στα Συστήματα Πολύ Υψηλής Ολοκλήρωσης (VLSI)**
Πανεπιστήμιο Κρήτης-
Τμήμα Επιστήμης Υπολογιστών
Χ.ΣΩΤΗΡΙΟΥ
3. **Σχεδιασμός ολοκληρωμένων κυκλωμάτων VLSI**
ΕΥΣΤΑΘΙΟΣ ΚΥΡΙΑΚΗΣ-ΜΠΙΤΖΑΡΟΣ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ ΤΕΙ ΠΕΙΡΑΙΑ 2003
4. **Digital Integrated Circuits: A Design Perspective, 2/e**
Jan M. Rabaey, A. Chandrakasan, B. Nikolic
Prentice Hall, 2003
5. **Principles of CMOS VLSI Design – A Systems Perspective, 2/e**
N. Weste and K. Eshraghian
Addison-Wesley, 1993.
6. **Logic and Computer Design Fundamentals, 2/e**
M. Morris Mano, and Charles R. Kime
Prentice Hall, 1999.
7. **Principles of Digital Design, 1/e**
Daniel D. Gajski
Prentice Hall, 1996
8. **High-Speed CMOS Design Styles, 1/e**
K. Bernstein, K.M. Carrig *et al.*
Kluwer Academic Publishers, 1999

9. **Digital Design and Modeling with VHDL and Synthesis, 1/e**
K.C. Chang
IEEE Press, 1997
10. **VHDL for Designers, 1/e**
Stefan Sjöholm and Lennart Lindh
Prentice Hall, 1997
11. **Introduction to VLSI Circuits and Systems**
John P. Uyemura.
Wiley 2002
12. **Ολοκληρωμένα Ψηφιακά Κυκλώματα – διαλέξεις 2006**
Γ.Τσιατούχας
Τμ.Πληροφορικής, Πανεπ. Ιωαννίνων
13. **CMOS Digital Integrated Circuits Analysis and Design 2η edition**
Sung-Mo Kang, Yusuf Leblebici
WCB McGraw-Hill, μετφρ. Ν.Κονοφάος εκδόσεις Τζιόλλα.
14. **Silicon VLSI Technology Fundamentals, Practice and Modeling**
James D. Plummer, Michael D. Deal, Peter B. Griffin
Prentice Hall Upper Saddle River, NJ 07458
15. **Analysis and design of Analog Integrated Systems**
P.Gray, P.Hurst, S.Lewis, R.Meyer
Κλειδάριθμος 2007, μετάφραση Κ.Ψυχαλινός.

ΙΣΤΟΣΕΛΙΔΕΣ ΣΧΕΤΙΚΕΣ ΜΕ ΛΟΓΙΣΜΙΚΟ ΣΧΕΔΙΑΣΜΟΥ Ο.Κ.

1. Το προγράμμα MICROWIND2 (PC based, freeware)
<http://intrade.insa-tlse.fr/~etienne/Microwind/>
2. Εταιρίες παραγωγής λογισμικού
www.cadence.com
www.mentor.com
www.synopsys.com

Για περαιτέρω μελέτη συνιστώνται και τα παρακάτω συγγράμματα.

1. **Μικροηλεκτρονικά Κυκλώματα**, *Sedra-Smith*, εκδόσεις Παπασωτηρίου (ελληνική μετάφραση, 1994).
Μετάφραση του ογκώδους και πλήρους συγγράμματος που διδάσκεται στα περισσότερα Τμήματα Μηχανικών των Η.Π.Α.
2. **Ηλεκτρονική**, *A.P.Malvino*, 5^η Έκδοση, Εκδόσεις Τζιόλα, (ελληνική μετάφραση) 1990.
Γενικό και πλούσιο βιβλίο, πολύ χρήσιμο για γρήγορη εύρεση βασικών όρων.
3. **Μικροηλεκτρονική**, *J.Millman, A.Grabel*, 2^η Έκδοση, Εκδόσεις Τζιόλα, (ελληνική μετάφραση, 2 τόμοι), 1996.
Πλήρες και ενημερωμένο σύγγραμμα, περιέχει όλη την ύλη του μαθήματος και πολλά παραπάνω. Πολύ καλές ασκήσεις.
4. **Μικροηλεκτρονική**, *R.C.Jaeger*, Εκδόσεις Τζιόλα, (ελληνική μετάφραση), 1999. Το πιο καινούργιο, περιέχει την όλη ύλη δοσμένη με άλλο τρόπο και πολλές εφαρμογές με προγράμματα προσομοίωσης SPICE. Χρήσιμες ασκήσεις.
5. **Physics of Semiconductor Devices**, *S.M.Sze*, Wiley, New York, 2nd edition, 1981.
Το σύγγραμμα με τις περισσότερες αναφορές (citations) στην σύγχρονη βιβλιογραφία. Πλήρες, πολύ χρήσιμο για ερευνητικούς σκοπούς και μεταπτυχιακά.
6. **Physics and Technology of Semiconductor Devices**, *A.S.Grove*, Wiley, New York, 1967.
Το ιστορικότερο βιβλίο που έχει γραφτεί. Ο συγγραφέας ήταν για πολλά χρόνια ο διευθύνων σύμβουλος της Intel με πάρα πολλά βραβεία και διακρίσεις, το δε βιβλίο του παρόλο που γράφτηκε το 1967 διδάσκεται ακόμη σε μεταπτυχιακά και προπτυχιακά προγράμματα πολλών πανεπιστημίων των Η.Π.Α.
7. **Microelectronic Devices**, *E.S.Yang*, McGraw-Hill, 1988.
Βιβλίο γραμμένο για μηχανικούς. Συνοπτικό, πλήρες και προπαντός κατανοητό.
8. **Microelectronic Devices**, *K.Leith*, 2nd Ed., Imperial College Press 1997.
Περιληπτικό και πολύ καλό για απλή μοντελοποίηση των διατάξεων.
9. **Solid State Electronic Devices**, *Ben G. Streetman, S.Banerjee*, Prentice Hall, 5th Ed., 2000.
Το πιο καλό σύγχρονο βιβλίο, πλήρες και αναλυτικό, απευθύνεται όμως κυρίως σε Φυσικούς.
10. **Fundamentals of Modern VLSI Devices**, *Y.Taur, T.H.Ning*, Cambridge Univ. Press, 2002.
Προχωρημένο βιβλίο πολύ αναλυτικό και πλήρες. Ιδανικό για μεταπτυχιακά.
11. **SPICE: A guide to circuit simulation and analysis using PSPICE**, *P.W.Tuinaga* Prentice Hall, 1995.
12. **PSPICE and MATLAB for Electronics**, *J.O.Attia*, CRC Press, 20

ΜΕΡΟΣ II

ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΛΑΜΙΑΣ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ (Σ.Τ.ΕΦ.)

ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ

ΤΟΜΕΑΣ: ΥΠΟΔΟΜΗΣ & ΥΠΟΛΟΓΙΣΤΩΝ

ΜΕΡΟΣ Ι Ι

ΔΙΕΡΓΑΣΙΕΣ ΚΑΤΑΣΚΕΥΗΣ VLSI

Α.ΚΑΝΑΠΙΤΣΑΣ

Α.ΚΑΡΑΓΚΟΥΝΗΣ

Επιμέλεια : ΒΡΑΚΑ Μ, ΚΑΤΡΑΝΗΣ Α.

ΔΕΚΕΜΒΡΙΟΣ 2007

Περιεχόμενα

Περιεχόμενα.....	2
ΠΕΡΙΛΗΨΗ.....	4
ΚΕΦΑΛΑΙΟ 1.....	6
ΕΙΣΑΓΩΓΗ.....	6
1.1.Ιστορική Αναδρομή	6
1.2.ΟΡΓΑΝΩΣΗ ΚΑΙ ΔΟΜΗ.....	7
1.3.Η Σημερινή Εικόνα στην Μικροηλεκτρονική	8
1.4.Κατάταξη Ολοκληρωμένων Κυκλωμάτων.....	11
1.4.1Τα Υβριδικά Ολοκληρωμένα Κυκλώματα	12
1.4.2.Τα Μονολιθικά Ολοκληρωμένα Κυκλώματα.....	16
ΚΕΦΑΛΑΙΟ 2	27
Ανάπτυξη Κρυστάλλων – Προετοιμασία Δίσκων – Επιταξία.....	23
2.1. Η Κρυσταλλική Δομή του Πυριτίου.....	23
2.2. Ατέλειες στους Κρυστάλλους.....	29
2.3. Καθαρισμός του Πυριτίου	32
2.4. Ανάπτυξη Μονοκρυστάλλων Πυριτίου	27
Η Μέθοδος Czochralski	28
Η Μέθοδος Κινητής Ζώνης (float zone).....	39
2.5. Προετοιμασία των Δισκίων Πλακετών (υποστρώματος ή Substrate)	41
Α) Καθορισμός της διαμέτρου.....	42
Β) Προσανατολισμός.....	35
Γ) Κοπή των δισκίων.....	36
Δ) Εγχάραξη (Etching)	37
Ε) Λείανση (Γυάλισμα)	37
ΣΤ) Τελικό Γυάλισμα και Καθαρισμός	38
2.6. Επιταξία	38
ΚΕΦΑΛΑΙΟ 3	52
ΟΞΕΙΔΩΣΗ (ΤΟΥ ΠΥΡΙΤΙΟΥ).....	52
Εισαγωγή	52
3.1 Η διαδικασία της οξείδωση.....	55
3.2 Ανακατανομή των Προσμίξεων κατά την Οξείδωση.....	44
3.3 Μετρήσεις του πάχους του οξειδίου	45
ΚΕΦΑΛΑΙΟ 4	63
Διάχυση και Εμφύτευση Ιόντων.....	63
Εισαγωγή	63
4.1 Διάχυση.....	63
4.1.1 Η Πρακτική Διαδικασία της Διάχυσης.....	52
4.1.2 Μάσκες Διάχυσης.....	69
4.1.3 Συστήματα Διάχυσης.....	71
4.2.Εμφύτευση Ιόντων.....	73
4.2.1 Κατανομές Εμφύτευσης Ιόντων	74
4.2.2. Οι Συσκευές Εμφύτευσης Ιόντων	77
4.2.3 Μάσκες για την Εμφύτευση Ιόντων	79
4.2.4 Ανόπτηση μετά την Εμφύτευση	80
4.3 Χαρακτηρισμός της Κατανομής Προσμίξεων	80
4.3.1. Μετρήσεις της αντίστασης φύλλου	81

4.3.2. Μετρήσεις του Βάθους Επαφής.....	81
4.3.3. Μετρήσεις της Κατανομής Των Προσμίξεων	83
ΚΕΦΑΛΑΙΟ 5	86
Λιθογραφία	86
Εισαγωγή	86
5.1 Κατασκευή των Μασκών.....	88
5.1.1. Η Κατασκευή του Προτύπου 10X (reticle)	89
5.1.2 Η “ Εκτύπωση “ των Μασκών.....	93
5.2 Η Φωτολιθογραφία	94
I. Η Προετοιμασία του Υποστρώματος	94
II. Η Επικάλυψη με Φωτοαντιστατικό.....	95
III. Η Προ – ή Ελαφρά Ξήρανση.....	97
IV. Η Ευθυγράμμιση της Μάσκας και Έκθεση	98
VI. Η Εμφάνιση	100
VII. Η Μετά – ή Ισχυρή Ξήρανση.....	101
VIII. Η Χάραξη.....	102
IX. Η Απομάκρυνση του Φωτοαντιστατικού.	104
ΚΕΦΑΛΑΙΟ 6	106
Εναπόθεση Υμενίων (Στιβάδων)	106
Εισαγωγή	106
6.1. Εξοπλισμός για τις Διαδικασίες Κενού	82
6.2 Διαδικασίες Απόθεσης σε Κενό.....	85
6.3. Το Sputtering	87
6.3.1. Το DC Sputtering.....	87
6.3.2. RF Sputtering	88
6.3.3. Μάγνητρον Sputtering.....	89
6.4. Επιμετάλλωση και Ανοδίωση.....	89
6.5 Χημική Εναπόθεση Ατμών (CVD).....	90
ΒΙΒΛΙΟΓΡΑΦΙΑ	93

ΠΕΡΙΛΗΨΗ

Ηλεκτρονική είναι το τμήμα της επιστήμης , της τεχνικής και της βιομηχανίας , που ασχολείται με τη μελέτη και την επεξεργασία των ηλεκτρονικών συσκευών και των αρχών της χρήσης τους. Μικροηλεκτρονική είναι ο κλάδος της ηλεκτρονική , που ασχολείται με τη μελέτη και την επεξεργασία των ηλεκτρονικών συσκευών ενός ποιοτικά νέου τύπου , των ολοκληρωμένων μικροκυκλωμάτων και των αρχών της χρήσης τους. Ολοκληρωμένα μικροκυκλώματα (ή απλούστερα ολοκληρωμένα κυκλώματα) είναι το σύνολο πολλών συνιστωσών (τρανζίστορ , διόδων , πυκνωτών , αντιστάσεων κ.τ.λ) , συνδεδεμένων μεταξύ τους , κατασκευασμένων κατά τη διάρκεια ενός ενιαίου τεχνολογικού κύκλου (δηλαδή ταυτόχρονα) , πάνω στο ίδιο υπόστρωμα και οι οποίες (συνιστώσες) εκτελούν μια καθορισμένη λειτουργία μετασχηματισμού της πληροφορίας.

Σκοπός αυτής της εργασίας είναι η μελέτη της τεχνολογίας για τη υλοποίηση ολοκληρωμένων κυκλωμάτων , περνώντας από όλα τα στάδια της παραγωγής τους. Αναλύονται όλες οι διαδικασίες και τα συστήματα που συμβάλουν στην κατασκευή ενός ολοκληρωμένου κυκλώματος. Ιδιαίτερη έμφαση έχει δοθεί στα ολοκληρωμένα κυκλώματα πολύς μεγάλης ολοκλήρωσης (VLSI) , λόγω του ότι είναι αυτά τα οποία έχουν επικρατήσει. Αυτό συνέβη γιατί προσφέρουν , χαμηλή τιμή κατασκευής , είναι εύκολο να σχεδιαστούν και είναι καλά προσαρμοσμένα στη λύση εξειδικευμένων προβλημάτων.

ΚΕΦΑΛΑΙΟ 1

ΕΙΣΑΓΩΓΗ

1.1.Ιστορική Αναδρομή

Η τρίοδος λυχνία και οι βελτιώσεις της (τέτροδος , πέντοδος) , είχαν χρησιμεύσει σα βάση για την ηλεκτρονική βιομηχανία για μισό σχεδόν αιώνα όταν ανακαλύφθηκε ο διάδοχος της , το διπολικό τρανζίστορ επαφής , το 1948 από τους Shockley , Bardeen και Brattain στα εργαστήρια της Bell , λίγο μετά την ανακάλυψη του τρανζίστορ σημειακής επαφής.

Το τρανζίστορ επιφανειακού πεδίου (surface FET) είχε προταθεί από τον Lilienfeld το 1926 , αλλά το πρώτο επιτυχημένο MOSFET (Metal Oxide Semiconductor) , δεν κατασκευάστηκε πριν από το 1959 από τους Kang και Atalla στην Bell Telephone Labs. Οι μεγαλύτερες δυσκολίες , που συνδέονται με την κατασκευή διατάξεων αυτών σχετίζονται με την ανάπτυξη πολύ καθαρών μονωτικών στρωμάτων.

Η τεχνολογία των διπολικών τρανζίστορ επαφής είχε κάποια ανάπτυξη κατά τη δεκαετία του '50. Αυτή η ανάπτυξη έβαλε τις βάσεις για μια από τις πιο σημαντικές ανακαλύψεις στην ιστορία της ηλεκτρονικής : το μονολιθικό ολοκληρωμένο κύκλωμα.

Τα πρώτα τρανζίστορ ήταν φτιαγμένα από γερμάνιο και με τεχνικές κραμάτων (alloying) ή ανάπτυξης επαφών. Το γερμάνιο μειονεκτεί λόγω των θερμικών περιορισμών της λειτουργίας του εξ αιτίας του μισού του ενεργειακού του χάσματος (0,7 eV έναντι 1.1 eV του Si) , γι' αυτό και αναπτύχθηκε βαθμιαία από το πυρίτιο. Εξ' άλλου , μια εξαιρετική ιδιότητα του πυριτίου είναι ότι σχηματίζει ένα σταθερό οξειδίο όταν εκτεθεί σε οξειδωτικά υλικά , σε υψηλές θερμοκρασίες. Αυτό το οξειδίο παρέχει ένα μέσο ελέγχου των επιφανειακών συνθηκών του πυριτίου και λειτουργεί σαν προστατευτική μάσκα , ώστε να μπορούν να εισαχθούν προσμίξεις με διάχυση ή εμφύτευση ιόντων σε επιλεγμένες περιοχές της επιφάνειας του υποστρώματος , από τις οποίες έχει απομακρυνθεί το οξείδιο. Αυτές οι ιδιότητες του πυριτίου και του οξειδίου μαζί με την εξέλιξη της φωτολιθογραφίας , οδήγησαν στην ανακάλυψη της διδιάστατης (planar) δομής του διπολικού τρανζίστορ από τους Hoerni και Fairchild το 1958.

Η ιδέα του μονολιθικού ολοκληρωμένου κυκλώματος προτάθηκε για πρώτη φορά από τον G.W.A.Dummer του Royal Radar Establishment στο συνέδριο Ηλεκτρονικών Συνιστωσών το 1952. Πολλές προσπάθειες έγιναν προς αυτή την κατεύθυνση ταυτόχρονα με κατασκευές υβριδικών κυκλωμάτων παχέων υμενίων , αλλά μόνο το 1960 κατασκευάστηκε το πρώτο εμπορικά ολοκληρωμένο κύκλωμα από την Texas Instruments και το 1961 εμφανίστηκε η οικογένεια Micrologic της

Fairchild. Αυτά τα πρώτα κυκλώματα ήταν κυρίως ψηφιακά λογικά κυκλώματα , που έγιναν γρήγορα δεκτά από τη ταχύτητα αναπτυσσόμενη βιομηχανία των ηλεκτρονικών υπολογιστών.

Η επιτυχία των πρώτων διπολικών ψηφιακών ολοκληρωμένων κυκλωμάτων πρόσφερε την οικονομική βάση για νέα επιτυχημένα λογικά κυκλώματα , συμπεριλαμβανομένης της εξαιρετικά δημοφιλούς οικογένειας TTL (Transistor Transistor Logic) .

Οι σχεδιαστές των αναλογικών ολοκληρωμένων κυκλωμάτων ήταν τώρα σε θέση να χρησιμοποιήσουν τη συνεχιζόμενη ανάπτυξη της τεχνολογίας για να παράγουν ένα πρωτοποριακό κύκλωμα , τον τελεστικό ενισχυτή , ο οποίος έγινε ακρογωνιαίος λίθος στην αγορά των αναλογικών κυκλωμάτων .

Τα ολοκληρωμένα κυκλώματα MOS , αναπτύχθηκαν ταυτόχρονα με τα διακριτά MOSFET και περίπου την ίδια εποχή με τα διπολικά ολοκληρωμένα κυκλώματα.

1.2 ΟΡΓΑΝΩΣΗ ΚΑΙ ΔΟΜΗ

Η οργάνωση και η δομή της παρούσας εργασίας έχει ως εξής:

Στο παρόν κεφάλαιο γίνεται μια μία εκτεταμένη αναφορά στις κατηγορίες ολοκληρωμένων κυκλωμάτων καθώς επίσης και στις διαδικασίες κατασκευής τους.

Στο 2^ο κεφάλαιο αναλύεται ο τρόπος ανάπτυξης των κρυστάλλων πυριτίου καθώς επίσης και η προετοιμασία των δίσκων και η επιταξία τους.

Στο 3^ο κεφάλαιο μελετάται η διαδικασία που χρησιμοποιείται για την ανάπτυξη οξειδίων , την ανακατανομή των προσμίξεων κατά την οξείδωση , καθώς και τις μεθόδους προσδιορισμού του πάχους του οξειδίου.

Στο 4^ο κεφάλαιο γίνεται ανάλυση των συστημάτων διάχυσης και στις μεθόδους ανάδειξης των επαφών διάχυσης,

Στο 5^ο κεφάλαιο μελετάται πλήρως ο τρόπος κατασκευής ολοκληρωμένων κυκλωμάτων , με τη μέθοδο της λιθογραφίας.

Στο 6^ο κεφάλαιο τέλος , περιγράφεται ο εξοπλισμός και οι τυπικές διαδικασίες που χρησιμοποιούνται στην βιομηχανία της μικροηλεκτρονικής για την απόθεση λεπτών υμενίων.

1.3.Η Σημερινή Εικόνα στην Μικροηλεκτρονική

Η ανάπτυξη της ηλεκτρονικής βασίζεται στην συνεχώς αυξανόμενη πολυπλοκότητα των λειτουργιών , που πραγματοποιούνται από τις ηλεκτρονικές συσκευές. Σε καθορισμένα στάδια αυτής της ανάπτυξης καθίσταται αδύνατο να λυθούν τα νέα προβλήματα με παλαιά μέσα ή αλλιώς με τη βοήθεια του παλαιού

θεμελιώδους στοιχείου π.χ. με τη βοήθεια των λυχνίων κενού ή των διακριτών τρανζίστορ.

Οι κυριότεροι παράγοντες , που επιβάλλουν την αλλαγή του θεμελιώδους στοιχείου είναι : η αξιοπιστία , ο όγκος και η μάζα , το κόστος και η ισχύς.

Ένας απλός υπολογισμός επιτρέπει να αναδειχθούν οι αιτίες , που προκαθορίζουν το πέρασμα από το στάδιο της τεχνικής των τρανζίστορ σ' αυτή της μικροηλεκτρονικής. Παρακάτω φαίνεται ένα παράδειγμα για να φανεί αυτό που είπαμε.

Έστω ότι θέλουμε να πραγματοποιήσουμε μια συμπαγή διάταξη , που περιλαμβάνει 10^8 στοιχεία. Αν προσπαθήσουμε να λύσουμε αυτό το πρόβλημα με διακριτά στοιχεία , που χαρακτηρίζονται από μέση ισχύ $1,5 \text{ mW}$, μέσο όγκο (μαζί με τις συνδέσεις)

1 cm^3 , μέση μάζα 1 gr , μέσο κόστος $0,02\text{€}$ και μέση πιθανότητα βλάβης 10^{-5} h^{-1} , το αποτέλεσμα θα είναι : ολική κατανάλωση ισχύος $1,5 \text{ MW}$, όγκος 100 m^3 , μάζα 100 tn και κόστος 2000000 € . Αλλά το κυριότερο είναι η μέση συχνότητα βλάβης θα είναι $10^8 * 10^{-5} \text{ h}^{-1} = 10^3 \text{ h}^{-1}$, δηλαδή 1 βλάβη κάθε 3 sec , πράγμα που σημαίνει 'ότι μια τέτοια διάταξη δεν μπορεί ουσιαστικά να κατασκευαστεί και να λειτουργήσει.

Έτσι είναι φανερό ότι τέτοιου είδους προβλήματα δεν θα μπορούσαν να λυθούν παρά μόνο σε μια ποιοτική βάση , με την χρήση στοιχείων που θα μείωναν κατά μερικές τάξεις μεγέθους την πιθανότητα βλάβης , το κόστος , τον όγκο και όλες τις υπόλοιπες παραμέτρους.

Τα ολοκληρωμένα κυκλώματα πρόσφεραν ακριβώς αυτά τα στοιχεία. Δύο ήταν οι παράγοντες για την πραγματοποίηση των ολοκληρωμένων κυκλωμάτων : η μέθοδος ομαδικής παραγωγής και η διδιάστατη τεχνολογία , οι οποίες ελέγχονταν καλά στα τέλη της δεκαετίας του '50 , μέσα στην τεχνολογία κατασκευής διπολικών τρανζίστορ.

Η πραγματοποίηση ηλεκτρονικών συσκευών με βάση τα ολοκληρωμένα κυκλώματα , κατάργησε τις πολυάριθμες συνδέσεις με κολλήσεις , που είναι η κύρια αιτία σφαλμάτων και μείωσε ισχυρά τον όγκο , την μάζα (κάθε στοιχείο του ολοκληρωμένου κυκλώματος δεν έχει χωριστό περίβλημα και εξωτερικές συνδέσεις) , καθώς και το κόστος, χάρη στην κατάργηση των πολυάριθμων εργασιών συναρμολόγησης. Από αυτά συνεπάγονται , όλα τα πλεονεκτήματα των ολοκληρωμένων κυκλωμάτων , που αφορούν την αξιοπιστία , τον όγκο και άλλες παραμέτρους.

Από την εμφάνιση των μονολιθικών ολοκληρωμένων κυκλωμάτων έχει επέλθει μια συνεχής αύξηση της πολυπλοκότητας των κυκλωμάτων , που θα μπορούσαν να κατασκευαστούν οικονομικά μέσα σ' ένα chip. Η λειτουργική πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων χαρακτηρίζεται κατά συνθήκη , από τον βαθμό ολοκλήρωσης , δηλαδή από τον αριθμό των στοιχείων (συνήθως τρανζίστορ) , που περιέχονται μέσα σ' ένα chip.

Για να χαρακτηρίσουμε ποσοτικά τον βαθμό ολοκλήρωσης , χρησιμοποιούμε συχνά ένα συμβατικό συντελεστή $k = \log N$, όπου N είναι ο βαθμός ολοκλήρωσης . Έτσι έχουμε χωρίσει σε διάφορες κατηγορίες το βαθμό ολοκλήρωσης. Οι κατηγορίες φαίνονται παρακάτω :

Small Scale Integration (SSI) εάν το $k \leq 1$

Medium Scale Integration (MSI) εάν το $1 \leq k \leq 2$

Large Scale Integration (LSI) εάν το $2 \leq k \leq 3$

Very Large Scale Integration (VLSI) εάν το $k \geq 3$

Εκτός από τον βαθμό ολοκλήρωσης, χρησιμοποιούμε και έναν άλλο όρο, την πυκνότητα στοιχείων, δηλαδή τον αριθμό στοιχείων (συνήθως τρανζίστορ) ανά μονάδα επιφάνειας chip. Αυτό το μέγεθος, που χαρακτηρίζει κυρίως την στάθμη της τεχνολογίας, έχει ξεπεράσει την σήμερα ημέρα τα 1000 στοιχεία ανά τετραγωνικό χιλιοστό.

Η επιλογή του κατάλληλου βαθμού ολοκλήρωσης εξαρτάται από τις οικονομοτεχνικές ιδιομορφίες κάθε εφαρμογής. Για παράδειγμα η LSI χρησιμοποιείται σήμερα ευρέως στην κατασκευή υπολογιστών τσέπης, ψηφιακών ρολογιών κ.α., διότι με την ανάπτυξη της τεχνικής MOS, που επιτρέπει μεγαλύτερες πυκνότητες συνιστώσων, κατασκευάζονται κυκλώματα LSI με πλευρά μικρότερη του 1cm. Η VLSI χρησιμοποιείται για την κατασκευή RAM και μητρών εικόνας, με διατάξεις συζευγμένου φορτίου, για την τηλεόραση. Διπολικά LSI κατασκευάζονται με μια τεχνική σχεδίασης, που ονομάζεται ολοκληρωμένη λογική έγχυσης (Integrated Injection Logic)

Η ανάπτυξη της υπομικρονικής φωτολιθογραφίας και τα νέα σχέδια κυκλωμάτων έχουν αυξήσει την πυκνότητα στοιχείων και την πολυπλοκότητα των κυκλωμάτων σε σημείο, που ένα κύκλωμα VLSI κατέχει σήμερα την ίδια επιφάνεια, όπου κατείχε πρώτα ένα κύκλωμα LSI. Εξ άλλου η τεχνική της σχεδίασης ολοκληρωμένων κυκλωμάτων custom και semi-custom είναι σε θέση να αντιμετωπίζει προβλήματα μεγάλης πολυπλοκότητας και ιδιομορφίας.

Παράλληλα αναπτύχθηκε με γρήγορο ρυθμό και η τεχνολογία των υβριδικών κυκλωμάτων. Στην περιοχή των υψηλών συχνοτήτων κυριαρχούν τα μικροκυματικά και ηλεκτροοπτικά κυκλώματα λεπτών υμενίων. Διάφορες διατάξεις χρησιμοποιούν σχέδια λεπτών υμενίων, όπως για παράδειγμα σε πιεζοηλεκτρικούς κρυστάλλους που χρησιμοποιήθηκαν για την κατασκευή φίλτρων, λόγω της δυσκολίας που υπάρχει για να επιτευχθεί το ίδιο με άλλες μεθόδους. Ακόμα η εφαρμογή υβριδικών κυκλωμάτων παχέων υμενίων, βρίσκει εφαρμογή στις διασυνδέσεις μεταξύ chip LSI και VLSI, μέσα σε πολύπλοκα ηλεκτρονικά συστήματα χωρίς το δαπανηρό πακετάρισμα του κάθε chip ξεχωριστά.

1.4. Κατάταξη Ολοκληρωμένων Κυκλωμάτων

Σύμφωνα με τη διαδικασία κατασκευής και τη δομή τους, διακρίνουμε 2 βασικούς τύπους ολοκληρωμένων κυκλωμάτων, ριζικά διαφορετικών μεταξύ τους: τα μονολιθικά ολοκληρωμένα κυκλώματα και τα υβριδικά κυκλώματα.

Τα Μονολιθικά Ολοκληρωμένα Κυκλώματα είναι μικροκυκλώματα, των οποίων τα στοιχεία έχουν πραγματοποιηθεί μέσα σε ένα γειτονικό στρώμα στην επιφάνεια ενός ημιαγωγικού υποστρώματος. Τα μονολιθικά ολοκληρωμένα

κυκλώματα είναι η βάση όλης της μοντέρνας μικροηλεκτρονικής . Χωρίζονται σε δύο μεγάλες κατηγορίες : τα διπολικά και τα μονοπολικά (MOS).

Τα Υβριδικά Κυκλώματα είναι μικροκυκλώματα , των οποίων τα στοιχεία πραγματοποιούνται με την μορφή διαφόρων υμενίων , που τοποθετούνται πάνω στην επιφάνεια ενός μονωτικού στρώματος. Ανάλογα με την διαδικασία , που χρησιμοποιείται για την απόθεση των υμενίων και το πάχος τους , διακρίνουμε τα υβριδικά κυκλώματα με λεπτά υμένια (πάχους μέχρι 1 ως 2 μm) και τα υβριδικά παχέα υμένια (πάχους 10 ως 20 μm και πάνω).

Δεδομένου ότι μέχρι τώρα κανένας συνδυασμός υμενίων δεν παρέχει ενεργά στοιχεία του τύπου του τρανζίστορ , στα κυκλώματα αυτά , τα ενεργά στοιχεία προστίθενται σαν διακριτές συνιστώσες , που τοποθετούνται πάνω στο ίδιο υπόστρωμα. Τα ενεργά αυτά στοιχεία μπορεί να είναι δίοδοι , τρανζίστορ αλλά και chip μονολιθικών ολοκληρωμένων κυκλωμάτων.

Τέλος τα Συμβατικά Ολοκληρωμένα Κυκλώματα είναι μικροκυκλώματα , στα οποία τα ενεργά στοιχεία πραγματοποιούνται μέσα στο επιφανειακό στρώμα ενός ημιαγωγού (όπως στα μονολιθικά ολοκληρωμένα κυκλώματα) και τα παθητικά στοιχεία αποτίθενται με την μορφή υμενίων πάνω στην ίδια επιφάνεια , η οποία μονώνεται προηγουμένως.

1.4.1 Τα Υβριδικά Ολοκληρωμένα Κυκλώματα

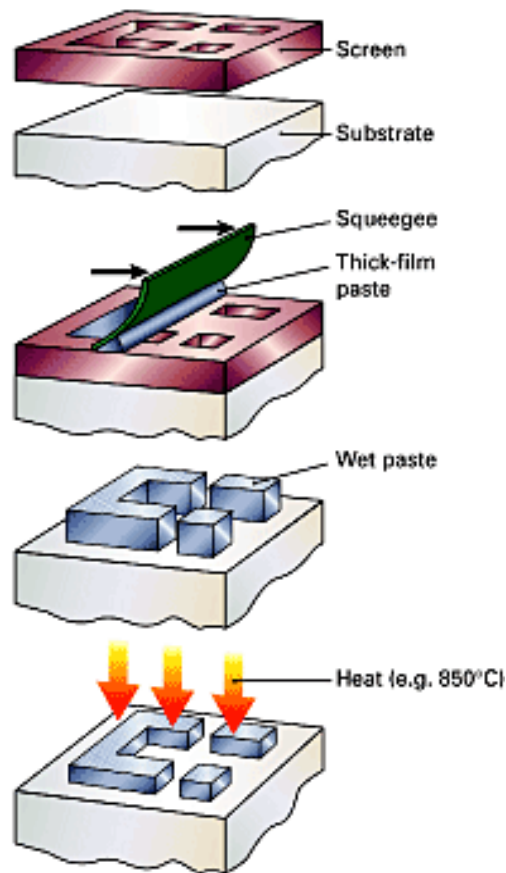
Όπως έχουμε ήδη πει , τα ολοκληρωμένα κυκλώματα με υμένια και επομένως τα υβριδικά ολοκληρωμένα κυκλώματα χωρίζονται ανάλογα με την τεχνολογία κατασκευής τους , σε δύο ομάδες : τα κυκλώματα με παχέα υμένια και τα κυκλώματα με λεπτά υμένια.

Τα υβριδικά ολοκληρωμένα κυκλώματα με παχέα υμένια πραγματοποιούνται με μια τεχνολογία πολύ απλή , που μοιάζει εκ πρώτης όψεως ακόμα και πρωτόγονη : Επάνω σε μια πλακέτα από διηλεκτρικό , με αρκετά μεγάλη επιφάνεια (μερικά τετραγωνικά εκατοστά) , απλώνουμε στρώσεις υλικών διαφορετικής σύνθεσης . Ένα χαρακτηριστικό στοιχείο αυτής της μεθόδου είναι ότι η κάθε επιφάνεια παίρνει με μιας το προκαθορισμένο πάχος της. Οι αγώγιμες περιοχές χρησιμοποιούνται για να για να πραγματοποιηθούν οι συνδέσεις μεταξύ των στοιχείων , οι σπλισμοί των πυκνωτών και οι έξοδοι προς τους ακροδέκτες του περιβλήματος . Οι περιοχές γνωστής ειδικής αντίστασης επιτρέπουν την πραγματοποίηση αντιστάσεων. Οι διηλεκτρικές περιοχές χρησιμοποιούνται για μόνωση μεταξύ των σπλισμών των πυκνωτών και για την γενική προστασία της επιφάνεια του τελειωμένου υβριδικού κυκλώματος.

Κάθε στρώση πρέπει να έχει τη δική της απεικόνιση , το δικό της σχέδιο. Για την δημιουργία της, τα υλικά πρόσμιξης περνάνε μέσα από την αντίστοιχη μάσκα-

διάφραγμα, που εμφανίζει οπές (ανοίγματα), στα σημεία όπου πρέπει να εισχωρήσουν τα υλικά πρόσμιξης της δεδομένης επιφάνειας.

Thick-film Process Flow



Σχήμα 1.1. Η Διαδικασία κατασκευής των υβριδικών Ολοκληρωμένων Κυκλωμάτων Με Παχέα Υμένια

Η παραπάνω συνοπτική περιγραφή μας επιτρέπει να αναδείξουμε κάποια ιδιαίτερα χαρακτηριστικά των υβριδικών ολοκληρωμένων κυκλωμάτων με παχέα υμένια:

- Η μηχανική διαδικασία απόθεσης των στρώσεων δεν επιτρέπει να πετύχουμε στρώσεις με πάχος μικρότερο από 10 ως 20 μm (οι τυπικές τιμές περιλαμβάνονται μεταξύ 50 και 100 μm) απ' όπου και η ονομασία της τεχνολογίας με παχέα υμένια . Αποτέλεσμα του τρόπου απόθεσης των υλικών είναι και το γεγονός ότι οι διαστάσεις ενός τέτοιου κυκλώματος μπορούν να περιορίσουν μόνο κατ το $\frac{1}{2}$ τις διαστάσεις ενός ισοδύναμου προσεκτικά τυπωμένου κυκλώματος.
- Η απλότητα της τεχνολογίας την κάνει προσιτή και το κόστος του είδους όχι μεγάλο.

- Η “μηχανική” αυτή διαδικασία απόθεσης των υμενίων δεν μπορεί να εγγυηθεί για τις ανοχές των ονομαστικών τιμών των αντιστάσεων και των πυκνωτών , δηλαδή , για την υψηλή ακρίβεια των στοιχείων. Με διαδικασίες διόρθωσης των τιμών , μπορούν να επιτευχθούν αντιστάσεις με σφάλμα $\pm 1\%$.

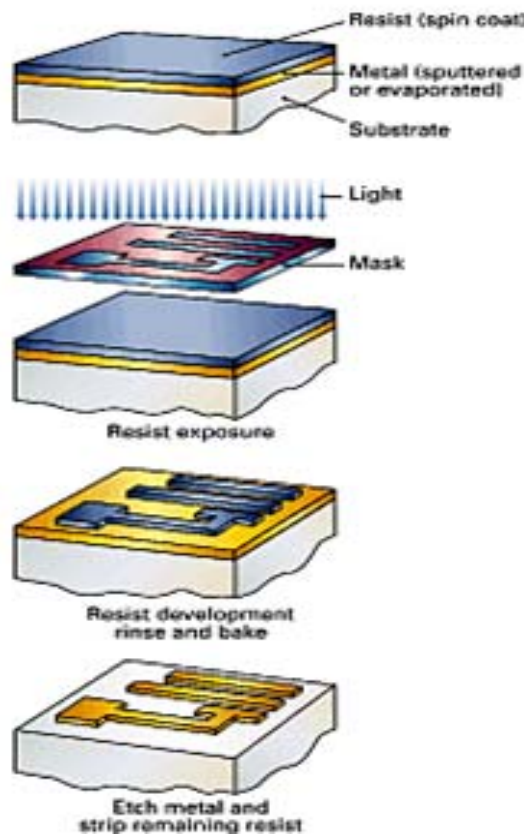
Τα υβριδικά ολοκληρωμένα κυκλώματα με λεπτά υμένια απαιτούν για την κατασκευή τους να μπει σε λειτουργία μια τεχνολογία πιο περίπλοκη από εκείνη των κυκλωμάτων με παχέα υμένια και ειδικός εξοπλισμός , αρκετά δαπανηρός. Το κόστος των υβριδικών κυκλωμάτων με λεπτά υμένια είναι επομένως πιο αυξημένο από αυτά των υβριδικών κυκλωμάτων με παχέα υμένια.

Η κλασική τεχνολογία με λεπτά υμένια χαρακτηρίζεται από το γεγονός ότι οι διάφορες προσμίξεις αποτίθενται πάνω στο υπόστρωμα από την αέρια φάση. Μ’ αυτόν τον τρόπο τα υμένια δεν παίρνουν αμέσως το τελικό τους πάχος , όπως γίνεται στα υβριδικά κυκλώματα με παχέα υμένια , ,αλλά αναπτύσσουν βαθμιαία την μία μονομοριακή στρώση μετά την άλλη. Αφού ολοκληρώσουμε την πραγματοποίηση ενός υμενίου , μπορούμε να μεταβάλλουμε την χημική σύνθεση του αερίου και επομένως τις φυσικές και ηλεκτρικές ιδιότητες του επομένου υμενίου. Έτσι πραγματοποιούμε αγωγίμες περιοχές , αντιστάσεις και διηλεκτρικά. Το σχέδιο κάθε επιφάνειας καθορίζεται είτε από ένα διάφραγμα τοποθετημένο πάνω στο υπόστρωμα (όπως στην περίπτωση των υβριδικών με παχέα υμένια) είτε από μια μάσκα , που πραγματοποιείται πάνω στην επιφάνεια του υποστρώματος με τρόπο ανάλογο με τη μάσκα οξειδίου των μονολιθικών κυκλωμάτων.

Για να μπορούν τα άτομα ή τα μόρια του αερίου να περνάμε ελεύθερα από την πηγή προς το υπόστρωμα , πρέπει να εξασφαλίσουμε ικανοποιητική καθαρότητα. Δηλαδή πρέπει να αποθέσουμε τα υμένια σε χώρο κλειστό , μέσα στον οποίο έχουμε πραγματοποιήσει ένα αρκετά υψηλό κενό.

Τα διακριτά στοιχεία κολλιούνται με τον ίδιο τρόπο όπως και στα υβριδικά με παχέα υμένια πάνω στην επιφάνεια του τελειωμένου κυκλώματος και συνδέονται στα σημεία των επαφών που αντιστοιχούν.

Thin-film Process Flow



Σχήμα 1.1. Η Διαδικασία κατασκευής των υβριδικών Ολοκληρωμένων Κυκλωμάτων Με Λεπτά Υμένια

Τα ιδιαίτερα χαρακτηριστικά των υβριδικών κυκλωμάτων με λεπτά υμένια , όπως προκύπτουν από την παραπάνω περιγραφή είναι τα ακόλουθα :

- Η ταχύτητα ανάπτυξης υμενίων είναι σχετικά μικρή και η δημιουργία επιφανειών με πάχος μεγαλύτερο από 1 μm παίρνει πολύ χρόνο. Επί πλέον τα υμένια , που αποτίθενται με πάχος 1 ως 2 μm αποσπώνται εύκολα από το υπόστρωμα. Για όλους αυτούς τους λόγους το τυπικό πάχος των υμενίων , που πραγματοποιούνται με την τεχνολογία αυτή δεν ξεπερνάει τα 0,5 ως 1 μm , απ όπου και η ονομασία της τεχνολογίας λεπτών υμενίων. Οι διαστάσεις των κυκλωμάτων με την τεχνολογία λεπτών υμενίων φτάνουν το 1/5 των αντίστοιχων κυκλωμάτων με παχέα υμένια.

- Τα υμένια αναπτύσσονται με μικρή ταχύτητα και έτσι είναι σχετικά εύκολο να ρυθμιστεί το πάχος τους και να διασφαλιστούν πιο μικρές τιμές των αντιστάσεων και των πυκνωτών. Δηλαδή μπορούμε να πετύχουμε στοιχεία με μεγαλύτερη ακρίβεια . Μπορούμε π.χ. να κατασκευάσουμε αντιστάσεις με σφάλμα $\pm 0,1\%$.

Ο βαθμός ολοκλήρωσης των υβριδικών κυκλωμάτων δεν μπορεί να υπολογιστεί με τον ίδιο τρόπο όπως στα μονολιθικά ολοκληρωμένα κυκλώματα , διότι δεν περιέχει ενεργές συνιστώσες με την μορφή υμενίων , που θα μπορούσαμε να απαριθμήσουμε . Χρησιμοποιείται, εντούτοις , ο όρος υβριδικό κύκλωμα *μεγάλης*

κλίμακας , που σημαίνει ότι οι πρόσθετες συνιστώσες του κυκλώματος αυτού δεν περιλαμβάνουν μόνο διακριτά τρανζίστορ , αλλά και μονολιθικά ολοκληρωμένα κυκλώματα , σε τρόπο ώστε οι λειτουργίες που εκπληρώνονται από ένα υβριδικό κύκλωμα μεγάλης κλίμακας , μπορεί να είναι πιο πολύπλοκες από αυτές του μονολιθικού ολοκληρωμένου κυκλώματος ή και αυτού μεγάλης κλίμακας.

1.4.2. Τα Μονολιθικά Ολοκληρωμένα Κυκλώματα

Στις μέρες μας διακρίνουμε δύο βασικές τάξεις μονολιθικών ολοκληρωμένων κυκλωμάτων : τα διπολικά ολοκληρωμένα κυκλώματα και τα ολοκληρωμένα κυκλώματα με τρανζίστορ MOS. Η ολοκλήρωση διπολικών τρανζίστορ και τρανζίστορ MOS μέσα στον ίδιο κρύσταλλο χρησιμοποιείται σε ειδικές περιπτώσεις .

Η τεχνολογία κατασκευής των ολοκληρωμένων κυκλωμάτων και των δύο τάξεων βασίζεται στον εμπλουτισμό (doping) μιας πλακέτας ημιαγωγού (πυριτίου) , με προσμίξεις δότου και αποδέκτου εναλλάξ, πράγμα που επιτρέπει την πραγματοποίηση λεπτών υμενίων (επιπέδων) με αγωγιμότητες διαφορετικού τύπου, ακριβώς κάτω από την επιφάνεια της πλακέτας και επαφών p-n στα σύνορα των περιοχών αυτών. Τα διάφορα επίπεδα χρησιμοποιούνται σαν αντιστάσεις και επαφές p-n σαν δίοδοι και τρανζίστορ.

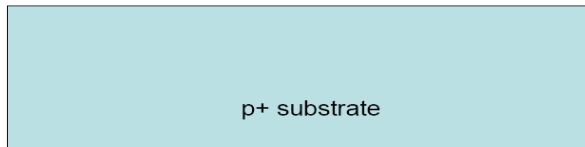
Το ντοπάρισμα του υποστρώματος του ημιαγωγού πρέπει να γίνεται τοπικά , δηλαδή σε τμήματα που να χωρίζονται μεταξύ τους από αρκετά μεγάλες αποστάσεις. Το τοπικό ντοπάρισμα επιτυγχάνεται με την βοήθεια ειδικών μασκών , εφοδιασμένων με οπές (παράθυρα) , από τις οποίες τα άτομα των προσμίξεων εισχωρούν στο υπόστρωμα στα επιθυμητά σημεία. Κατά την κατασκευή των μονολιθικών ολοκληρωμένων κυκλωμάτων , το ρόλο της μάσκας για το ντοπάρισμα παίζει συνήθως ένα στρώμα διοξειδίου του πυριτίου , που καλύπτει την επιφάνεια της πλακέτας. Χρησιμοποιώντας ειδικές μεθόδους (μικρολιθογραφίας) χαράζουμε πάνω σ' αυτή την επιφάνεια τα όρια όλων των ανοιγμάτων ή αλλιώς το απαραίτητο σχέδιο.

Θα μπορούσαμε ενδεικτικά να αναφέρουμε ότι τα μονολιθικά ολοκληρωμένα κυκλώματα έχουν διαστάσεις περίπου μια τάξη μεγέθους μικρότερες από τα υβριδικά λεπτών υμενίων , που κατασκευάστηκαν για τον ίδιο σκοπό.

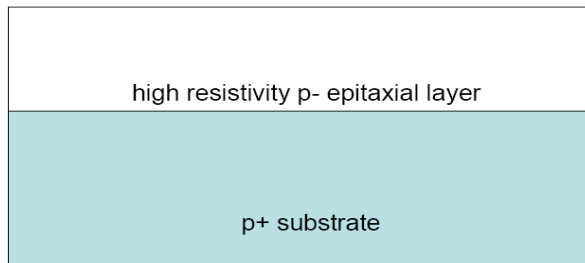
Ας δούμε τώρα τα συστατικά μέρη (τα στοιχεία) των δύο βασικών τάξεων των μονολιθικών ολοκληρωμένων κυκλωμάτων.

Το θεμελιώδες στοιχείο των *διπολικών ολοκληρωμένων κυκλωμάτων* είναι το τρανζίστορ p-p-n . Όλος ο τεχνολογικός κύκλος προσανατολίζεται γύρω από την πραγματοποίησή του. Όλα τα άλλα στοιχεία πρέπει να κατασκευαστούν , όσο είναι δυνατόν , ταυτόχρονα με αυτό το τρανζίστορ , χωρίς πρόσθετες τεχνολογικές λειτουργίες. Έτσι , οι αντιστάσεις κατασκευάζονται ταυτόχρονα με την περιοχή της βάσης του τρανζίστορ p-p-n και επομένως έχουν το ίδιο βάθος με αυτή. Οι πυκνωτές σχηματίζονται από τις επαφές p-n , ανάστροφα πολωμένες , μέσα στις οποίες η

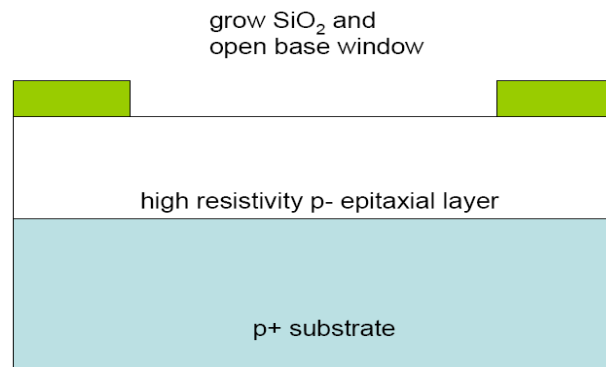
περιοχή n αντιστοιχεί στη περιοχή του συλλέκτη του τρανζίστορ n-p-n και η περιοχή p στη περιοχή της βάσης. Τα στοιχεία των διπολικών ολοκληρωμένων κυκλωμάτων πρέπει να είναι μονωμένα μεταξύ τους, με κάποια διαδικασία, ώστε να μη αλληλεπιδρούν μέσα από το υπόστρωμα.



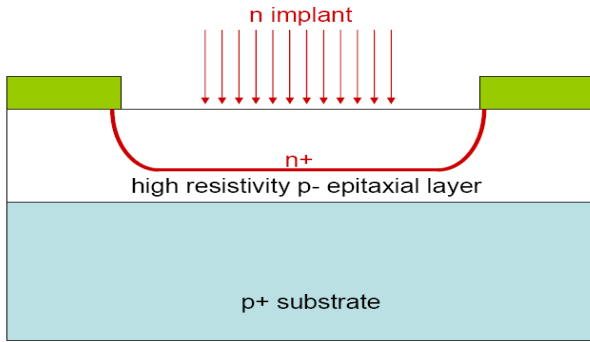
(A)



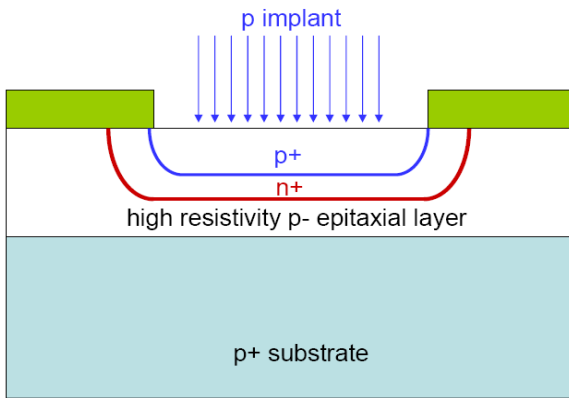
(B)



(Γ)

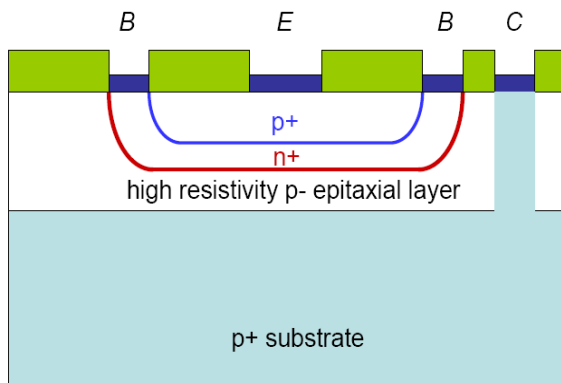


(Δ)

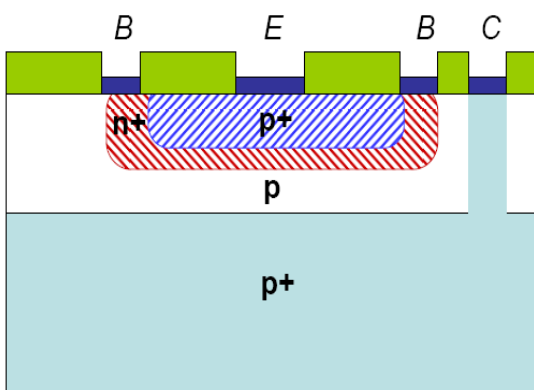


(E)

Contacts/Metal



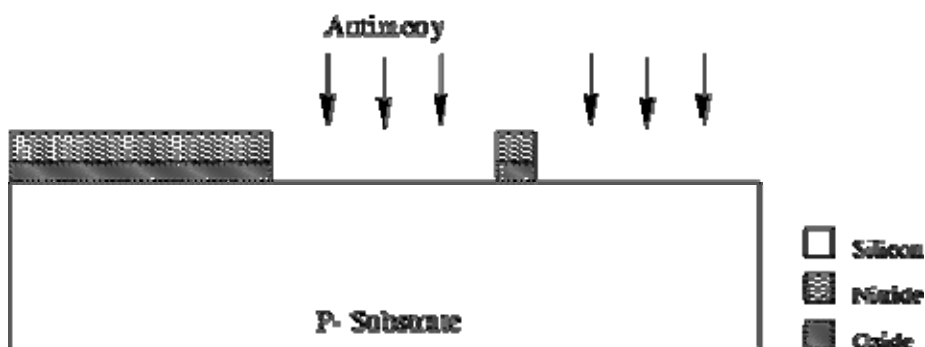
(ΣT)



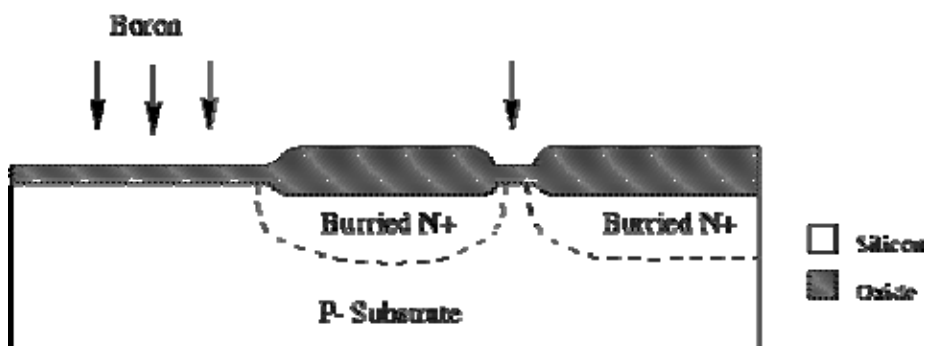
(Z)

Σχήμα 1.3. Η Διαδικασία κατασκευής Διπολικών Ολοκληρωμένων Κυκλωμάτων Μονωμένης Επαφής

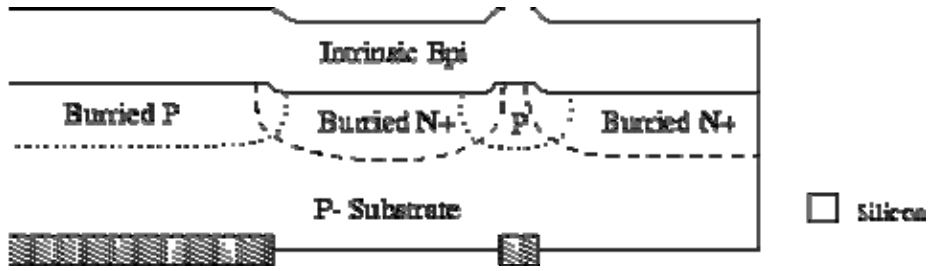
Το θεμελιώδες στοιχείο των ολοκληρωμένων κυκλωμάτων MOS είναι το τρανζίστορ MOS με κανάλι έγχυσης. Το ρόλο των αντιστάσεων παίζουν τα τρανζίστορ συνδεδεμένα σαν δίπολα και το ρόλο των πυκνωτών, δομές MOS, στις οποίες η διηλεκτρική περιοχή πραγματοποιείται ταυτόχρονα με τη περιοχή πύλης και εκροής. Ένα ολοκληρωμένο κύκλωμα MOS μπορεί να περιέχει τρανζίστορ με κανάλι τύπου p ή τύπου n ή και των δύο μαζί.(CMOS). Παρακάτω φαίνεται η διαδικασία κατασκευής ενός ολοκληρωμένου κυκλώματος CMOS.



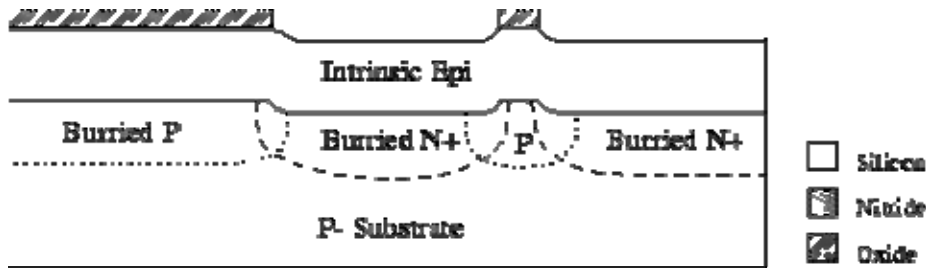
(A)



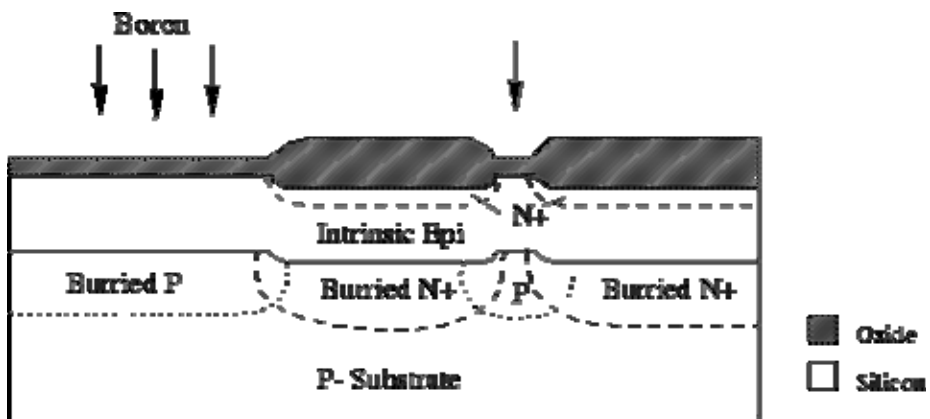
(B)



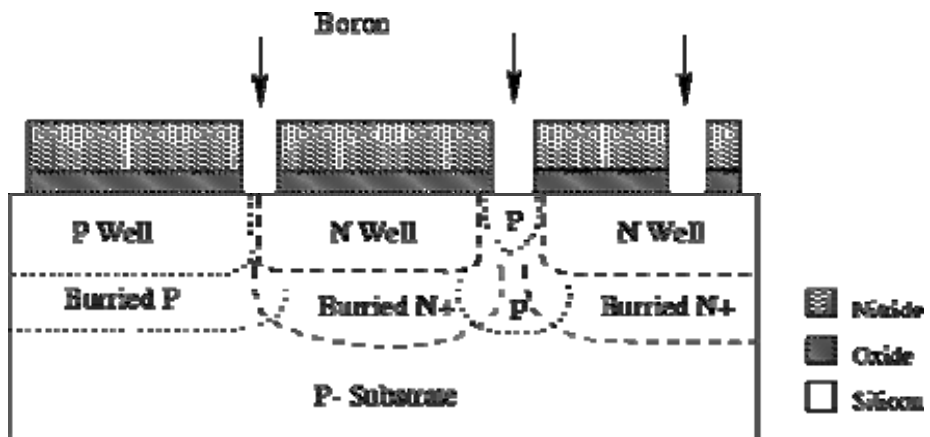
(Γ)



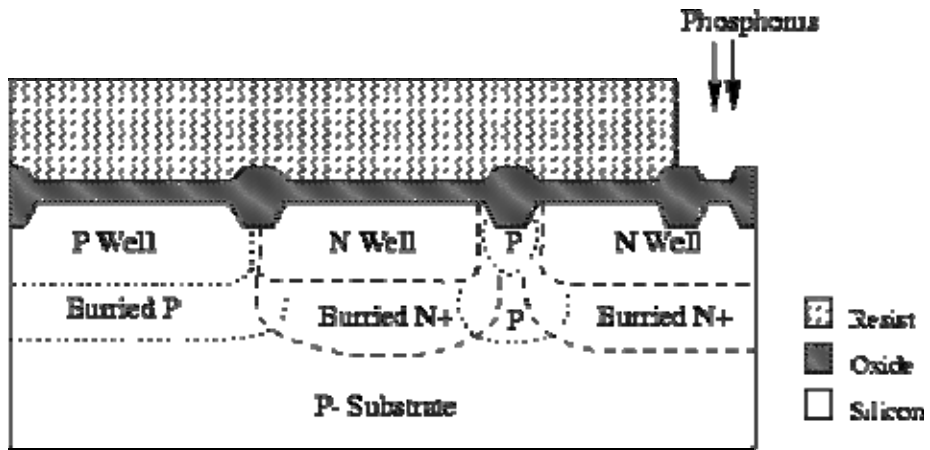
(Δ)



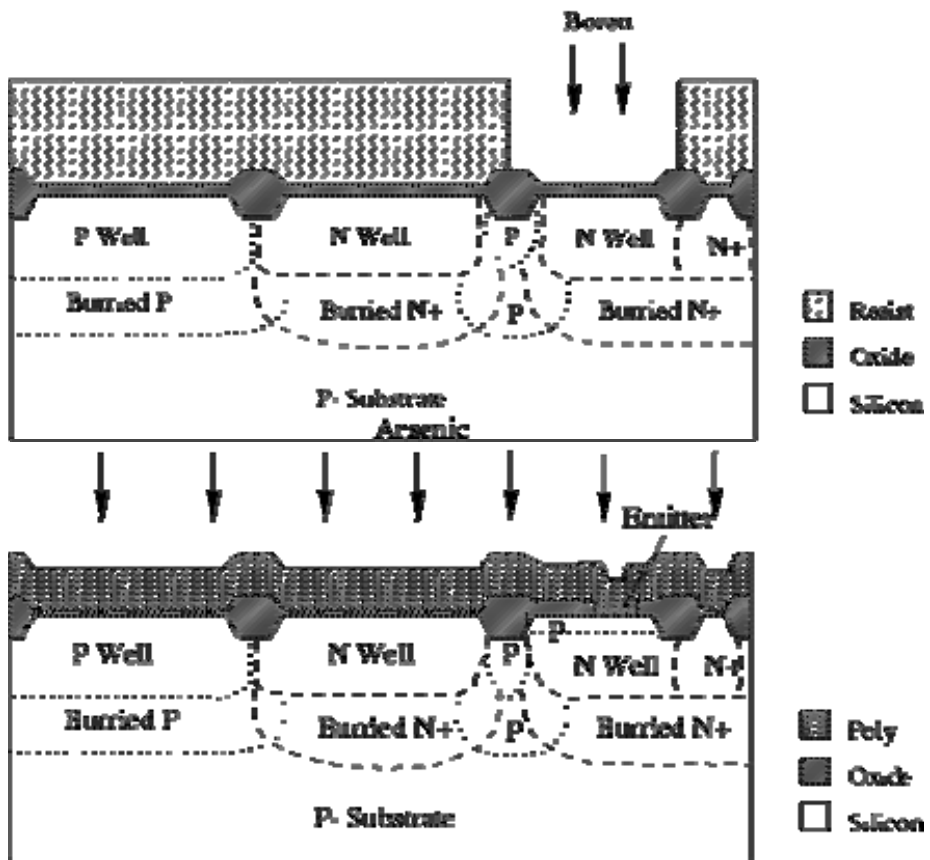
(E)



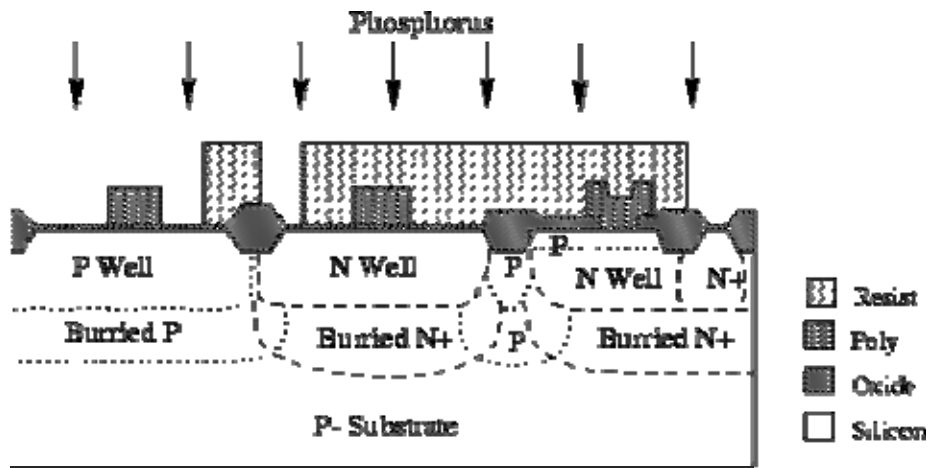
(ΣT)



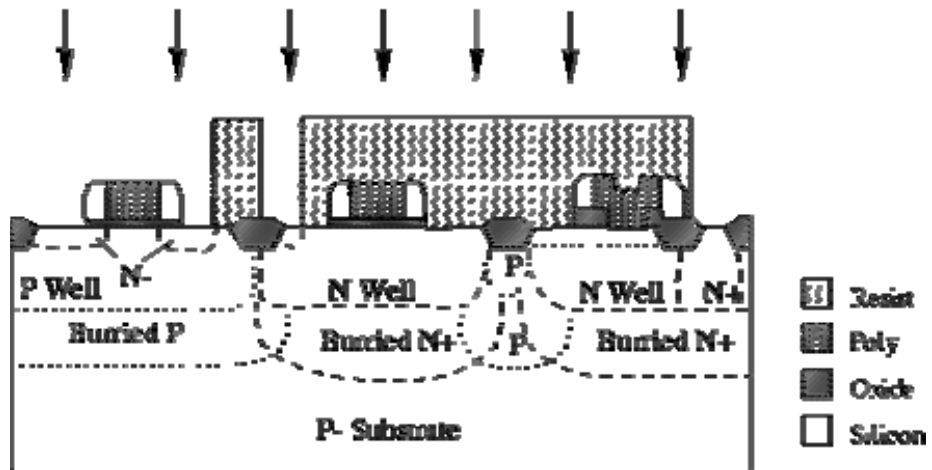
(Z)



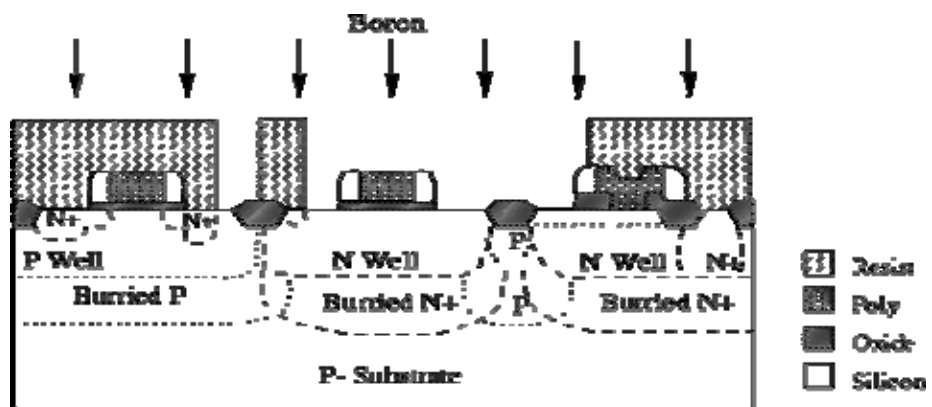
(H), (Θ)



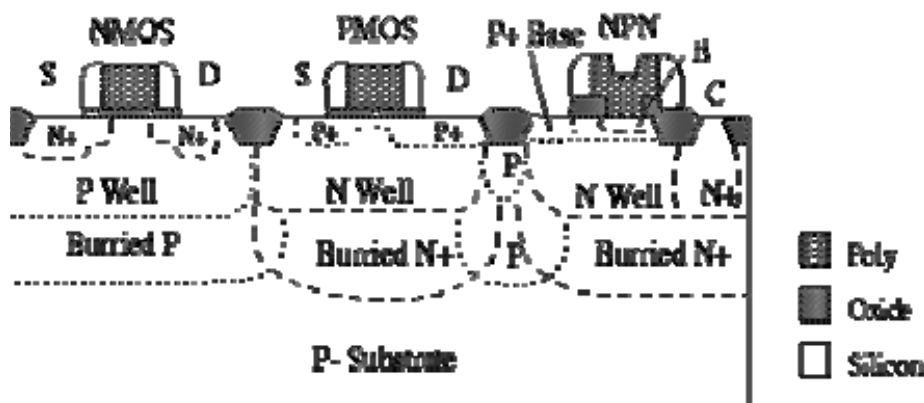
(I)



(IA)



(IB)



(II)

Σχήμα 1.4. Η Διαδικασία κατασκευής CMOS

Τα ολοκληρωμένα κυκλώματα MOS δεν απαιτούν ειδική απομόνωση μεταξύ των στοιχείων τους, διότι τα γειτονικά τρανζίστορ MOS δεν αλληλεπιδρούν μεταξύ τους και μπορούν επομένως να τοποθετηθούν σε πολύ μικρή απόσταση το ένα από το άλλο. Αυτό είναι ένα από τα κυριότερα πλεονεκτήματα που εφαρμόζουν τα ολοκληρωμένα κυκλώματα MOS σε σύγκριση με τα διπολικά ολοκληρωμένα κυκλώματα..

Ένα ιδιαίτερο χαρακτηριστικό των μονολιθικών ολοκληρωμένων κυκλωμάτων είναι ότι ανάμεσα στα στοιχεία τους δεν περιέχονται πηνία και πολύ περισσότερο μετασχηματιστές. Αυτό οφείλεται στο γεγονός ότι μέχρι τώρα δεν πετύχαμε να χρησιμοποιήσουμε μέσα στο στερεό σώμα, ένα οποιοδήποτε φυσικό φαινόμενο, που να ισοδυναμεί με την ηλεκτρομαγνητική επαγωγή. Για το λόγο αυτό, φτιάχνοντας μονολιθικά ολοκληρωμένα κυκλώματα, προσπαθούμε να πραγματοποιήσουμε την απαραίτητη λειτουργία χωρίς να χρησιμοποιήσουμε πηνία, πράγμα που είναι τις περισσότερες φορές δυνατό. Αν ένα πηνίο ή ένας μετασχηματιστής είναι απολύτως αναγκαίος, το χρησιμοποιούμε με την μορφή διακριτού στοιχείου.

Οι διαστάσεις των CHIP των σύγχρονων μονολιθικών ολοκληρωμένων κυκλωμάτων περιλαμβάνουν $1,5 \times 1,5 \text{ mm}^2$ και $6 \times 6 \text{ mm}^2$. Όσο μεγαλύτερο είναι το chip, τόσο πιο πολύπλοκο είναι το ολοκληρωμένο κύκλωμα που μπορούμε να ολοκληρώσουμε μέσα σε αυτό. Για μια δεδομένη επιφάνεια μπορούμε να αυξήσουμε τον αριθμό των στοιχείων ελαττώνοντας τις διαστάσεις τους και τις αποστάσεις που τα χωρίζουν

ΚΕΦΑΛΑΙΟ 2

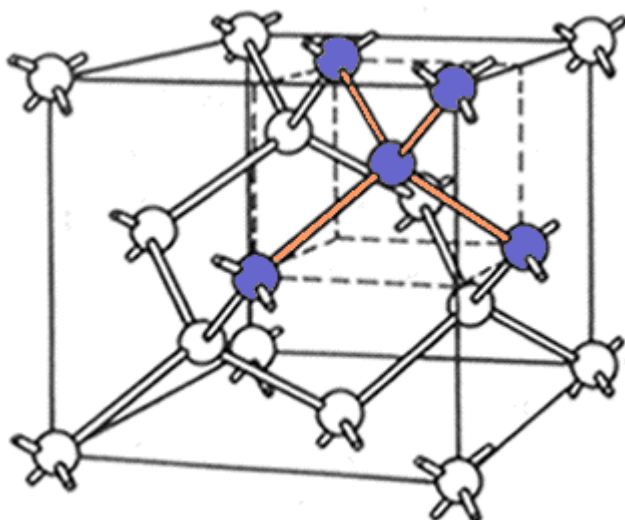
Ανάπτυξη Κρυστάλλων – Προετοιμασία Δίσκων – Επιταξία

Εισαγωγή

Το πυρίτιο (Si) είναι το υλικό που κυριαρχεί ακόμη σήμερα στην βιομηχανία κατασκευής ολοκληρωμένων κυκλωμάτων, παρόλο που έχουν γίνει προσπάθειες να χρησιμοποιηθούν και άλλα υλικά όπως το Ge το GaAs κ.α. Αυτό οφείλεται κυρίως στην μεγάλη φυσική και χημική σταθερότητα του και με την θερμοκρασία και στις εξαιρετικές ιδιότητες της διηλεκτρικής προστατευτικής επιφάνειας (SiO_2). Επειδή δε το Si χρησιμοποιείται με την κρυσταλλική του μορφή για την κατασκευή των ολοκληρωμένων κυκλωμάτων, κρίνεται απαραίτητη η γνώση ορισμένων κρυσταλλογραφικών χαρακτηριστικών του και της επίδρασης του προσανατολισμού του κρυστάλλου πάνω στη διαδικασία κατασκευής ολοκληρωμένων κυκλωμάτων.

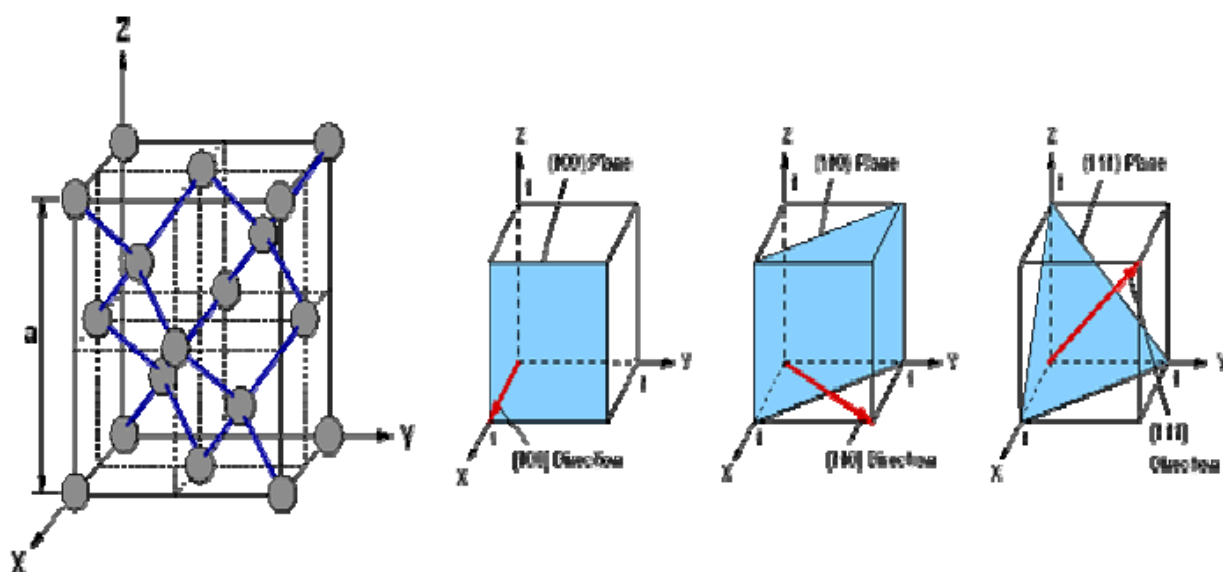
2.1. Η Κρυσταλλική Δομή Του Πυριτίου

Το πυρίτιο είναι ένα στοιχείο της ομάδας VI του περιοδικού πίνακα. Έχει τέσσερα ηλεκτρόνια σθένους και κρυσταλλώνεται με πλεγματοειδή δομή διαμαντιού (κυβικό – εδροκεντρωμένο σύστημα). Η ελάχιστη απόσταση μεταξύ 2 ατόμων Si είναι $2,35 \text{ \AA}$, ενώ η ακμή του κύβου στο πλέγμα διαμαντιού είναι $5,428 \text{ \AA}$.



Σχήμα 2.1 Κρυσταλλική Δομή Του Si

Τα κρυσταλλογραφικά επίπεδα παριστάνονται σε ένα σύστημα αξόνων από τους “δείκτες Miller”, οι οποίοι ορίζονται σαν τα αντίστροφα των τομών του επιπέδου με τους κύριους άξονες, κανονικοποιημένα ώστε οι δείκτες να είναι ακέραιοι αριθμοί. Στο σχήμα που ακολουθεί φαίνονται τρία από τα βασικά κρυσταλλικά επίπεδα και οι δείκτες Miller αυτών.



Σχήμα 2.2 Δείκτες Miller

Λόγω της συμμετρίας ενός κρυστάλλου (και δεδομένου ότι θεωρούμε ότι ο κρύσταλλος είναι φτιαγμένος από άπειρο αριθμό όμοιων κύβων) τα επίπεδα που παριστάνονται από (100), (010) και (001) είναι ισοδύναμα. Κατά σύμβαση αυτή η οικογένεια επιπέδων συμβολίζεται σαν $\{111\}$. Επίσης είναι χρήσιμο να ορίσουμε ένα σύνολο διευθύνσεων καθέτων προς τα κρυσταλλικά επίπεδα. Για ένα κυβικό

κρύσταλλο π.χ. η διεύθυνση [111] είναι κάθετη προς το επίπεδο (111) . Το σύνολο των διευθύνσεων για ένα ισοδύναμο σύνολο επιπέδων συμβολίζεται με $\langle 111 \rangle$.

Στην πράξη έχει βρεθεί ότι υπάρχουν σημαντικές διαφορές σε ορισμένες φυσικές παραμέτρους και επομένως στις επιδόσεις των διατάξεων , ανάλογα με το κρυσταλλικό επίπεδο που χρησιμοποιήθηκε για την κατασκευή τους. Για όλες σχεδόν τις διατάξεις χρησιμοποιήθηκε Si με κρυσταλλογραφικούς προσανατολισμούς (111) ή (100). Όλοι οι άλλοι προσανατολισμοί εν γένει απορρίπτονται.

Υπάρχουν πολλοί τρόποι προσδιορισμού του προσανατολισμού ενός κρυστάλλου πυριτίου. Αυτοί χωρίζονται σε δύο κατηγορίες : σε οπτικούς και με ακτίνες X . Στις οπτικές μεθόδους είτε απαιτούνται προηγμένες γνώσεις για τον τρόπο παραγωγής του κρυστάλλου είτε οδηγούν σε καταστροφή του. Για το λόγο αυτό προτιμάται η μέθοδος περίθλασης των ακτινών X , η οποία όμως απαιτεί πιο πολύπλοκο εξοπλισμό.

Γενικά ο κρυσταλλογραφικός προσανατολισμός επιδρά στην κατασκευή των διατάξεων κατά τρεις τρόπους : Στο διαχωρισμό των Chip της πλακέτας , στην ισότροπη απόθεση των επιταξιακών στρωμάτων και στην μείωση των επιφανειακών καταστάσεων φορτίων στις διατάξεις MOS.

2.2. Ατέλειες Στους Κρυστάλλους.

Στην πράξη είναι αδύνατον να αναπτυχθούν απόλυτα τέλειοι κρύσταλλοι. Επίσης κρυσταλλογραφικές ατέλειες μπορεί να δημιουργηθούν και κατά τις διαδικασίες επεξεργασίας του κρυστάλλου και των δισκίων Si . Οι ατέλειες αυτές μπορούν να διαιρεθούν σε *σημειακές ατέλειες* , *γραμμικές ατέλειες* και *εκτεταμένες ατέλειες*.

Η στοιχειώδης σημειακή ατέλεια είναι το *πλεγματοκό κενό* (vacancy) , κατά την οποία θερμικές διαταραχές προκαλούν την μετακίνηση ενός ατόμου από μια πλεγματοκή θέση προς την επιφάνεια. Αυτή ονομάζεται ατέλεια *Schottky* και η ενέργεια δημιουργίας της , E_s , στο πυρίτιο είναι 2,3 eV . Η πυκνότητα n_s , κατά τη θερμοδυναμική ισορροπία των ατελειών Schottky δίνεται από την σχέση :

$$n_s = N * e^{\left(\frac{-E_s}{kT}\right)}$$

Σχέση 2.1

όπου : N είναι η πυκνότητα των ατόμων του κρυστάλλου ($5.02 \cdot 10^{22} \text{ cm}^{-3}$ για το Si) , k η σταθερά του Boltzman και T η θερμοκρασία σε βαθμούς Kelvin

Ένα *ενδοπλεγματοκό άτομο* (interstitial atom) είναι ένα άτομο τοποθετημένο σε μια θέση του κρυσταλλικού πλέγματος που κανονικά θα γίνει κενή. Υπάρχουν πέντε τέτοιες κενές θέσεις στην κυβική παράσταση του κρυσταλλικού πλέγματος διαμαντιού. Η ενέργεια δημιουργίας ενός ενδοπλεγματοκού ατόμου είναι συγκρίσιμη με αυτή του πλεγματοκού κενού.

Το ζεύγος πλεγματοκό κενό – ενδοπλεγματοκό άτομο ονομάζεται ατέλεια *Frenkel*. Η ενέργεια δημιουργίας της ατέλειας αυτού του τύπου , E_F , είναι μεταξύ

0,5 και 1 eV , δηλαδή σημαντικά μικρότερα της ατέλειας *Schottky*. Η πυκνότητα στη θερμοδυναμική ισορροπία των ατελειών *Frenkel* , n_F , δίνεται από την σχέση :

$$n_F = \sqrt{N^* N'^*} e^{\left(\frac{-E_F}{kT}\right)}$$

Σχέση 2.2

όπου : N^* είναι η πυκνότητα των ενδοπλεγματικών θέσεων που υπάρχουν ($3,14 * 10^{22} * \alpha_n^{-2}$ για το Si) . Αυτή η εξίσωση ισχύει μόνο σε συνθήκες θερμοδυναμικής ισορροπίας. Η πυκνότητα ατελειών *Frenkel* σε πραγματικό κρύσταλλο είναι σημαντικά μεγαλύτερη από την τιμή θερμοδυναμικής ισορροπίας.

Ο σχηματισμός ενός πλεγματικού κενού έχει σαν αποτέλεσμα το σπάσιμο τεσσάρων ομοιοπολικών δεσμών. Ο σχηματισμός ενός πλεγματικού κενού γειτονικού σε ένα υπάρχον πλεγματικό κενό , ονομάζεται *divacancy* και απαιτεί το σπάσιμο ακόμη δύο ομοιοπολικών δεσμών. Επομένως απαιτεί μικρότερη ενέργεια. Η *divacancy* συνιστάται συχνά στο Si.

Ένα άτομα μπορούν να μπουν στο πλέγμα του Si είτε στα ενδοπλεγματικά κενά είτε σε αντικατάσταση ατόμων Si. Μερικοί τύποι προσμίξεων βρίσκονται συνήθως σε ενδοπλεγματικές θέσεις όπως π.χ. το νικελ , ο ψευδάργυρος , ο χαλκός , ο σίδηρος , το κοβάλτιο και το μαγνήσιο. Άλλες όπως ο χρυσός , βρίσκονται είτε σε ενδοπλεγματικές θέσεις (περίπου 10%) είτε σε θέσεις αντικατάστασης.

Υπάρχει όμως μια σημαντική τάξη προσμίξεων , οι οποίες σε μικρές συγκεντρώσεις βρίσκονται συνήθως σε θέσεις αντικατάστασης. Αυτά είναι τα στοιχεία των Ομάδων III και V του περιοδικού πίνακα και κυρίως το βόριο , αργίλιο , γάλλιο , ίνδιο , φώσφορος , αρσενικό και αντιμόνιο. Αυτά τα στοιχεία είναι υπεύθυνα για τη μεγάλη κλίμακα ηλεκτρικών αγωγιμοτήτων που μπορούμε να πετύχουμε στο Si καθώς και για τη δυνατότητα δημιουργίας περιοχών μέσα στις οποίες επικρατεί είτε αγωγιμότητα των οπών , είτε αγωγιμότητα των ηλεκτρονίων.

Η αντικατάσταση ατόμων Si από άτομα προσμίξεων έχει σαν αποτέλεσμα την εμφάνιση μηχανικών τάσεων (stress) μέσα στο κρυσταλλικό πλέγμα λόγω του διαφορετικού ενεργού τους μεγέθους. Ένα τέλειο κρυσταλλικό πλέγμα επιτυγχάνεται μόνο όταν η απόσταση των ατόμων δημιουργεί συνθήκες ελάχιστης ενέργειας. Από τις προσμίξεις αντικατάστασης το αρσενικό είναι το μόνο που ταιριάζει τέλεια στο πλέγμα του Si διότι έχει ίση ενεργό ακτίνα με αυτό.

Από μεταλλουργική άποψη , υπάρχει ένα όριο στη συγκέντρωση των προσμίξεων που μπορούν να μπουν στο κρυσταλλικό πλέγμα χωρίς να διαταράξουν σοβαρά τη δομή του. Το όριο αυτό ονομάζεται όριο *στερεάς διαλυτότητας* (solid solubility) της πρόσμιξης.

Εξαρθρώσεις (dislocations) ή *γραμμικές ατέλειες* σχηματίζονται από την επίδραση τάσεων πάνω στον κρύσταλλο καθώς ψύχεται το τήγμα.

Παραμορφώσεις χείλους ή ορίου (edge dislocations) εμφανίζονται όπου τελειώνει ένα πρόσθετο φύλλο (επίπεδο) ατόμων. Η ενέργεια που συνδέεται με την

δημιουργία μιας τέτοιας παραμόρφωσης είναι περίπου 30 eV / ατομικό μήκος. Ανάλογες είναι οι παραμορφώσεις βίδας με ενέργεια δημιουργίας μεταξύ 10 και 20 eV / ατομικό μήκος

Σφάλματα στρωμάτωσης (stacking faults) συμβαίνουν όταν υπάρχει απόκλιση από την κανονική σειρά απόθεσης των διαφόρων επιπέδων του κρυστάλλου και μόνο όταν τα διαδοχικά στρώματα είναι διαφορετικά. Αυτό μπορεί να συμβεί κατά την επιταξιακή ανάπτυξη ή όταν έχουν δημιουργηθεί κλειστές περιοχές ατελειών μέσα στον κρύσταλλο κατά τη διάρκεια διαδικασιών υψηλής θερμοκρασίας μετά την ανάπτυξη του κρυστάλλου (π.χ. οξείδωση).

Διδυμοποίηση (twinning) συμβαίνει όταν δυο τμήματα του κρυστάλλου με διαφορετικούς προσανατολισμούς μοιράζονται ένα κοινό επίπεδο ατόμων. Αυτό μπορεί να συμβεί αν το πυρίτιο υποστεί πίεση κατά την ανάπτυξη του από το τήγμα.

Κοκκώδη όρια (grain boundaries) εμφανίζονται μεταξύ μονοκρυσταλλικών περιοχών ενός πολυκρυσταλλικού υλικού. Έχουν σημαντική επίδραση στην επεξεργασία και στα ηλεκτρικά χαρακτηριστικά των υλικών ημιαγωγών. Στρώματα πολυκρυσταλλικού Si χρησιμοποιούνται στην κατασκευή ορισμένων διατάξεων MOS.

2.3. Καθαρισμός Του Πυριτίου

Το πυρίτιο είναι το δεύτερο σε αφθονία συστατικό του φλοιού της γης. Συνιστάται σε διάφορες ενώσεις κυρίως όμως σε συνδυασμό με το οξυγόνο στο SiO₂. Στο πυρίτιο που χρησιμοποιείται στην ανάπτυξη των κρυστάλλων για χρήση στους ημιαγωγούς , είναι απαραίτητο να περιορίσουμε όλες τις ηλεκτρικά ενεργές προσμίξεις σε συγκεντρώσεις μικρότερες από ένα μέρος στο δισεκατομμύριο (1ppb) σε ατομική βάση.

Το πρώτο βήμα στον καθαρισμό του Si είναι η αναγωγή του SiO₂ σε Si. Το αποτέλεσμα είναι Si μεταλλουργικής ποιότητας με καθαρότητα 98%. Για να καθαριστεί παραπέρα το Si αυτό , μετατρέπεται κατά προτίμηση σε HSiCl₃ , το οποίο κατόπιν καθαρίζεται με απόσταξη. Πολυκρυσταλλικό πυρίτιο ποιότητας ημιαγωγού παίρνουμε με την αντίδραση του HSiCl₃ με H₂ σε θερμοκρασίες μεταξύ 100 και 1000 °C . Το πολυκρυσταλλικό Si αποτίθεται πάνω σ ένα λεπτό κύλινδρο από πολυκρυσταλλικό πυρίτιο που χρησιμοποιείται σαν αντίσταση θέρμανσης. Για αποθέσεις μεγάλης διαμέτρου τυπικά 200mm , ο χρόνος απόθεσης είναι μερικές εκατοντάδες ώρες.

2.4. Ανάπτυξη Μονοκρυστάλλων Πυριτίου

Αφού παραχθεί το στοιχειώδες Si υψηλής καθαρότητας υφίσταται κατάλληλη επεξεργασία ώστε να πάρει τη μορφή μονοκρυστάλλου με αυστηρά προκαθορισμένη

περιεκτικότητα προσμίξεων , οι οποίες καθορίζουν το είδος της αγωγιμότητας (τύπου p ή n) και την ειδική αντίσταση του ημιαγωγού. Η μονοκρυσταλλική μορφή του Si είναι απαραίτητη για την κατασκευή διατάξεων ημιαγωγών διότι τα κοκκώδη όρια που εμφανίζονται στα πολυκρυσταλλικά υλικά μειώνουν την ευκινησία των φορέων και εμποδίζουν τον έλεγχο των χαρακτηριστικών των επαφών p-n . Δύο είναι οι βασικές απαιτήσεις της συνεχώς αναπτυσσόμενης βιομηχανίας ημιαγωγών. Πρώτον : απαιτήσεις ως προς την ποιότητα του κρυστάλλου και των πλακετών που προέρχονται από αυτόν , λόγω της αυξανόμενης πυκνότητας των στοιχείων που περιλαμβάνουν τα ολοκληρωμένα κυκλώματα και δεύτερον απαιτήσεις για αύξηση της διαμέτρου των πλακετών (η οποία τείνει να φτάσει τα 200mm) που αποσκοπεί στη αύξηση της παραγωγής. Σήμερα , δύο μέθοδοι χρησιμοποιούνται σχεδόν αποκλειστικά για την ανάπτυξη κρυστάλλων ποιότητας ημιαγωγού. Η μέθοδος Czochralski , με την οποία παράγεται το μεγαλύτερο μέρος του Si που χρησιμοποιείται στη βιομηχανία ολοκληρωμένων κυκλωμάτων. Η Δεύτερη μέθοδος είναι η μέθοδος κινητής ζώνης που χρησιμοποιείται για την παραγωγή κρυστάλλων κατάλληλων κυρίως για την κατασκευή διακριτών διατάξεων ισχύος.



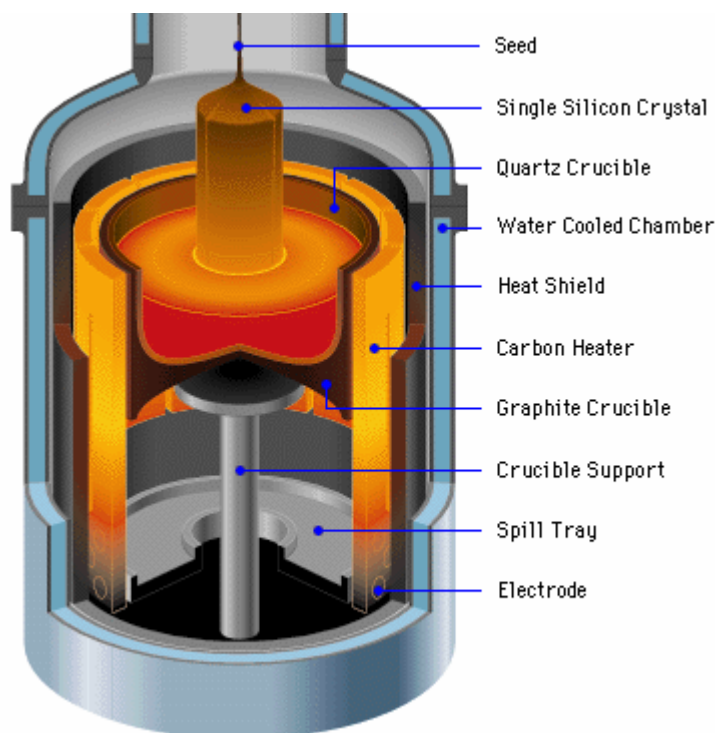
Σχήμα 2.3 Κρύσταλλοι Πυριτίου

Η Μέθοδος Czochralski

Η μέθοδος Czochralski ανακαλύφθηκε το 1917 και χρησιμοποιήθηκε για πρώτη φορά για πρώτη φορά για την παρασκευή υλικού ημιαγωγών από τους Teal και Little το 1950.

Η διαδικασία Czochralski συνιστάται στη βύθιση ενός μικρού “σπέρματος” (seed) μονοκρυσταλλικού σε λιωμένο Si και στο αργό τράβηγμα του σπέρματος αυτού με ταυτόχρονη περιστροφή του.

Η συσκευή που χρησιμοποιείται για την ανάπτυξη κρυστάλλων με τη μέθοδο Czochralski φαίνεται παρακάτω στο σχήμα.....



Σχήμα 2.4 Η συσκευή που χρησιμοποιείται για την ανάπτυξη κρυστάλλων με τη μέθοδο Czochralski

Η συσκευή αυτή αποτελείται από ένα δοχείο από τηγμένο χαλαζία, μέσα στο οποίο τοποθετείται πολυκρυσταλλικό πυρίτιο ποιότητας ημιαγωγού. Το δοχείο αυτό είναι τοποθετημένο μέσα σ' ένα υποδοχέα από γραφίτη. Όλο αυτό το σύστημα βρίσκεται μέσα σ' ένα κλειστό θάλαμο σε ατμόσφαιρα συνήθως Αργού υπό πίεση είτε ελαφρώς μεγαλύτερη από την ατμοσφαιρική είτε μειωμένη 1 ως 50 torr. Το πυρίτιο μέσα στο σύστημα δοχείου υποδοχέα θερμαίνεται είτε με RF είτε με θερμαντική αντίσταση, μέχρι να λιώσει. Η θέρμανση με αντίσταση προσφέρει ορισμένα πλεονεκτήματα σε σχέση με τη θέρμανση με RF, όπως: χαμηλότερο κόστος συντήρησης, χαμηλότερο αρχικό κεφάλαιο για εξοπλισμό, ευκολία επέκτασης σε μεγαλύτερους φόρτους και στο αποδοτική χρήση ισχύος, γι αυτό και προτιμάται σήμερα.

Κρύσταλλοι Czochralski αναπτύσσονται με προσανατολισμούς (100) ή (111). Το αρχικό "σπέρμα" μονοκρυστάλλου με τον επιθυμητό κρυσταλλογραφικό προσανατολισμό, αναρτάται σε ένα περιστρεφόμενο υποδοχέα (chick) και βυθίζεται μέσα στο λιωμένο Si (super cooling). Όταν το σύστημα αποκτήσει θερμική ισορροπία, το σπέρμα τραβιέται αργά από το τήγμα ενώ ταυτόχρονα το σπέρμα και το τήγμα περιστρέφονται.

Αυτή η περιστροφική κίνηση παρέχει ένα βαθμό ανάμειξης, που ελαχιστοποιεί την συγκέντρωση των αποβαλλόμενων ατόμων προσμίξεων στη διεπιφάνεια ψύξης και βοηθάει να πάρουμε ένα κρύσταλλο με σχετικά ομοιόμορφη συγκέντρωση προσμίξεων κατά το μεγαλύτερο μέρος του μήκους του. Αυτή η κίνηση βοηθάει επίσης στην ελάττωση των ακτινικών μεταβολών πάνω στην εγκάρσια διατομή του κρυστάλλου. Αντίθετες στροφές χρησιμοποιούνται για να εμποδίσουν το σπέρμα και το τήγμα να περιστρέφονται μαζί. Τυπικοί βιομηχανικοί κρύσταλλοι κατασκευάζονται σήμερα με διαμέτρους 75 ως 125 mm ούτως ώστε μετά το γυάλισμα να παράγονται ομοιόμορφοι κρύσταλλοι με διαμέτρους που να κυμαίνονται μέσα σε όρια $\pm 50 \mu\text{m}$ της ονομαστικής τους τιμής, ενώ το τυπικό μήκος των

κρυστάλλων αυτών φτάνει το 1 m . Για τον αυτόματο έλεγχο της διαμέτρου του αναπτυσσόμενου κρυστάλλου χρησιμοποιείται ένας ανιχνευτής υπέρυθρου εστιασμένος στο φωτεινό μνήσκο που σχηματίζεται από το τήγμα που γειτονεύει άμεσα (εφάπτεται προς) το στερεοποιημένο κρύσταλλο. Η ταχύτητα τραβήγματος αλλά και η ισχύς του φούρνου ρυθμίζονται αυτόματα ώστε η διάμετρος να διατηρείται σταθερή. Η κρυσταλλική τελειότητα των κρυστάλλων που αναπτύσσονται με τη σύγχρονη μέθοδο Czochralski είναι θαυμάσια.

Μια τεχνική που αναπτύχθηκε από τον Dash έχει χρησιμοποιηθεί για την παραγωγή κρυστάλλων ελεύθερων από εξαρθρώσεις (dislocations) . Το αρχικό κρύσταλλο “σπέρμα“ έχει διάμετρο 5 – 8 mm. Αφού βυθιστεί μέσα στο τήγμα , τραβιέται με ταχύτητα που μειώνει τη διάμετρο του κρυστάλλου για μικρό διάστημα. Στη συνέχεια ο κρύσταλλος αφήνεται να αυξηθεί γρήγορα κατά διάμετρο , μέχρι να φτάσει το τελικό μέγεθος. Αυτή η διαδικασία σχηματισμού λαιμού (necking) εμποδίζει τη δημιουργία παραμορφώσεων και ο κρύσταλλος αναπτύσσεται ελεύθερος από αυτές.

Προσμίξεις τόσο επιθυμητές όσο και ανεπιθύμητες εισχωρούν στο Si που αναπτύσσεται με την τεχνική Czochralski. Οι επιθυμητές προσμίξεις είναι στοιχεία (dopants) που προστίθεται για να καθарίσουν τις ηλεκτρικές ιδιότητες του κρυστάλλου. Από τις μη επιθυμητές προσμίξεις είναι κυρίως το οξυγόνο , το οποίο προέρχεται από το δοχείο χαλαζία. Το οξυγόνο περιέχεται σε συγκέντρωση 10 – 50 ppm , τιμή που πλησιάζει το όριο διαλυτότητας του οξυγόνου στο Si. Το οξυγόνο αυτό είναι ηλεκτρικά ενεργό υπό τη μορφή σταθμών δοτών , εκτός αν ο κρύσταλλος θερμανθεί μεταξύ 600 και 700 °C. Μετά τον κύκλο θέρμανσης είναι δυνατόν να συγκεντρωθεί το οξυγόνο γύρω από κρυσταλλικές ατέλειες , όπως είναι το πλεγματοειδές κενό και τα ενδοπλεγματοειδή άτομα. Οι κλειστή περιοχή ατελειών που σχηματίζονται έτσι μπορούν να αποβούν σημαντικές για τον καθορισμό (του κέρδους) της απόδοσης παραγωγής των ολοκληρωμένων κυκλωμάτων μεγάλης κλίμακας (VLSI).

Οι επιθυμητές προσμίξεις (dopants) συνήθως προστίθενται στο τήγμα με μορφή σκόνης ισχυρά ντοπαρισμένου Si. Η πρόσμιξη διατηρείται σε λογικά όρια , ομοιόμορφα κατανεμημένη μέσα στο τήγμα με την ανοδική (emerge) δράση της περιστροφής του σπέρματος και του δοχείου. Καθώς όμως ο κρύσταλλος στερεοποιείται , η συγκέντρωση των προσμίξεων που ενσωματώνονται σ’ αυτόν είναι διαφορετική από τη συγκέντρωση μέσα στο τήγμα. Ο λόγος της συγκέντρωσης των προσμίξεων μέσα στο στερεό N_s , προς αυτή στο τήγμα N_L , ονομάζεται *σταθερά διαχωρισμού* (segregation) ή κατανομής K. Η τιμή του K εξαρτάται από το στοιχείο της πρόσμιξης. Η τιμή της σταθεράς K για διάφορες προσμίξεις αντικατάστασης στο Si φαίνεται στον παρακάτω πίνακα.

Στοιχείο	K
B	0.80
Al	0.0020
Ga	0.0080
In	0.0004
P	0.35
As	0.30

Sb	0.023
-----------	-------

Πίνακας 2.1 Συντελεστές διαχωρισμού των προσμίξεων αντικατάσταση στο Si

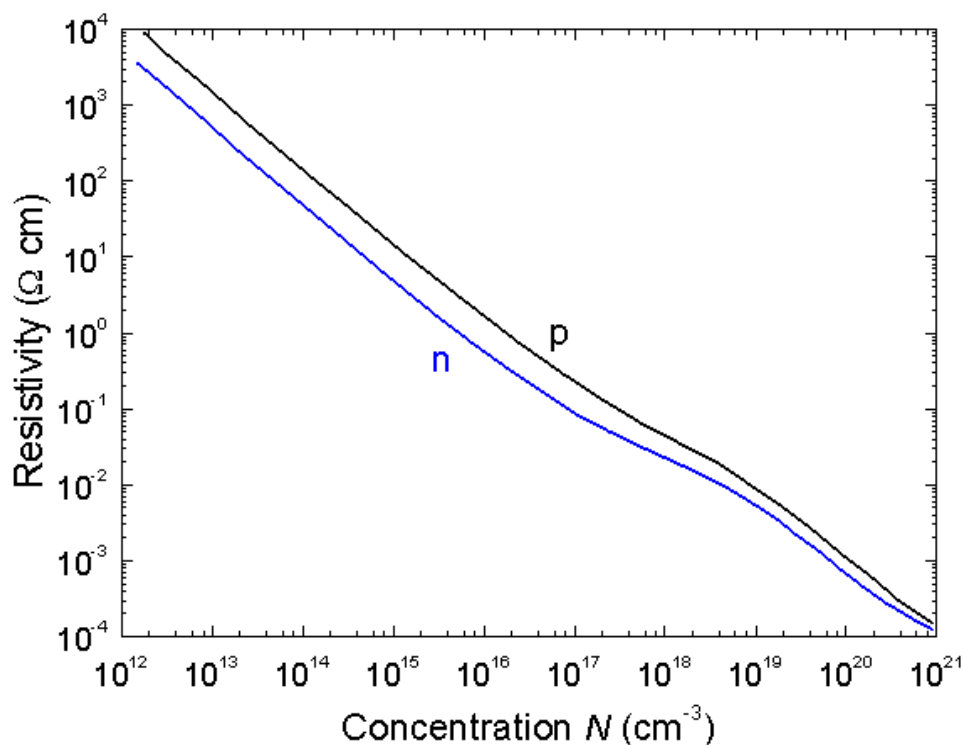
Η κατανομή των προσμίξεων σαν συνάρτηση της αξονικής θέσης x , κατά μήκος του κρυστάλλου δίνεται από την σχέση :

$$N_S \left(\frac{x}{l} \right) = K * N_{L0} \left(1 - \frac{x}{l} \right)^{K-1}$$

Σχέση 2.3

Όπου N_{L0} είναι η αρχική συγκέντρωση προσμίξεων στο τήγμα και l είναι το ολικό μήκος του κρυστάλλου. Επομένως το ντοπάρισμα του κρυστάλλου δεν είναι σταθερά κατά μήκος του άξονα του. Επειδή π.χ. το Βόρειο (Boron) έχει μεγαλύτερο συντελεστή διαχωρισμού, η αξονική διακύμανση που θα παρουσίαζε η συγκέντρωση που θα παρουσίαζε η συγκέντρωση οποιασδήποτε άλλης πρόσμιξης αντικατάστασης στον ίδιο κρύσταλλο.

Οι αξονικές διακυμάνσεις των προσμίξεων δεν είναι ιδιαίτερα κρίσιμες για τις εφαρμογές στα μικροκυκλώματα διότι ο κρύσταλλος κόβεται σε λεπτές φέτες κάθετα προς τον άξονα ώστε να σχηματίζονται πλακέτες που χωρίζονται σύμφωνα με την ειδική αντίσταση που εμφανίζουν. Η εξάρτηση της ειδικής αντίστασης του Si από τη συγκέντρωση των προσμίξεων φαίνεται στο διάγραμμα.



Σχήμα 2.5 Η ειδική αντίσταση σαν συνάρτηση της συγκέντρωσης των προσμίξεων στο πυρίτιο στους 300° K

Οι άξονες διακυμάνσεις της συγκέντρωσης της πρόσμιξης είναι σημαντικές μόνο από άποψη της απόδοσης παράγωγης (yield) χρήσιμων πλακετών από ένα κρύσταλλο. Μια τεχνική για τη μείωση αυτών των διακυμάνσεων είναι προγραμματισμός της πίεσης , κάτω από την οποία αναπτύσσεται ο κρύσταλλος. Καθώς η πίεση μειώνεται οι πτητικές προσμίξεις απομακρύνονται από το τήγμα , επιτρέποντας μια πιο ομοιόμορφη συγκέντρωση προσμίξεων στον κρύσταλλο.

Μεγαλύτερης σημασίας είναι η μεταβολή της συγκέντρωσης των προσμίξεων σε συνάρτηση με την ακτινική απόσταση από τον άξονα σε κρυστάλλους που αναπτύχθηκαν με την μέθοδο Czochralski παρατηρήθηκαν striations της πρόσμιξης. Αυτές οφείλονται στην ανομοιογένεια του θερμικού περιβάλλοντος κατά τη διάρκεια της ανάπτυξης του κρυστάλλου. Επειδή η μικροσκοπική ταχύτητα ανάπτυξης εξαρτάται από την τοπική θερμοκρασία το ποσοστό της πρόσμιξης που ενσωματώνεται ποικίλλει ελαφρά με τη θέση μέσα στον κρύσταλλο. Η ειδική αντίσταση κατά μήκος μιας πλακέτας κρυστάλλου που αναπτύχθηκε με την μέθοδο Czochralski κυμαίνεται μέχρι 20% της ονομαστικής της τιμής. Αυτές οι διακυμάνσεις μπορεί να έχουν ανταγωνιστικό αποτέλεσμα πάνω στην απόδοση παραγωγής ολοκληρωμένων κυκλωμάτων μεγάλης επιφάνειας.

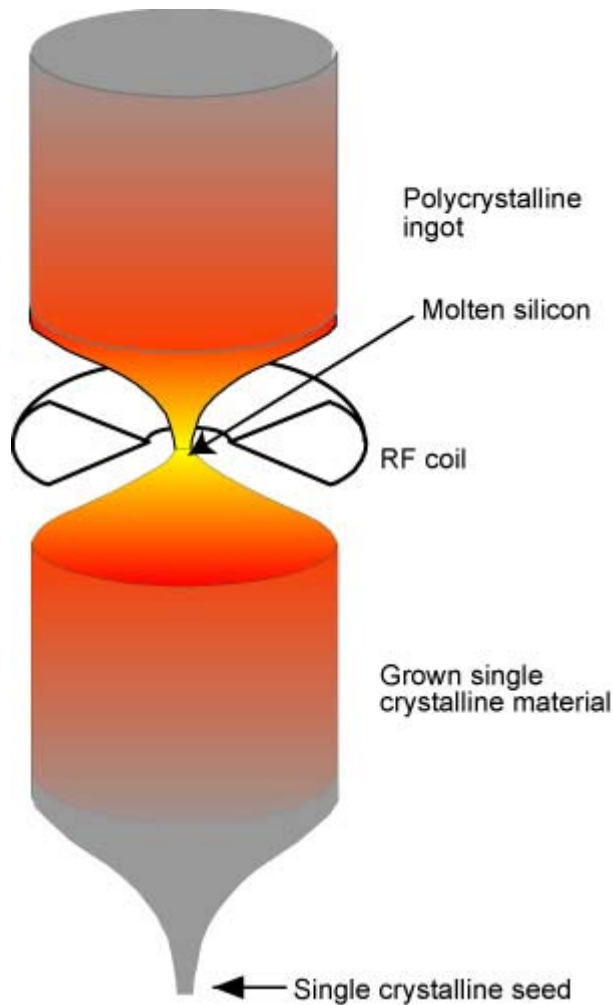
Η μέθοδος Czochralski προτιμάται σήμερα για την παραγωγή κρυστάλλων Si διότι εμφανίζει τα παρακάτω πλεονεκτήματα :

- Ευκολία παραγωγής κρυστάλλων μεγάλης διαμέτρου
- Οικονομία πρώτης ύλης εφ' όσον μπορούν να χρησιμοποιηθούν εξ' ίσου κομμάτια κρυστάλλου ή πολυκρυστάλλου Si.
- Σχετική ευκολία ελέγχου της διεπιφάνειας στερεού υγρού σε συνθήκες παραγωγής.
- Δυνατότητα ισχυρού ντοπαρίσματος του κρυστάλλου από επιλεγμένες προσμίξεις.

Η Μέθοδος Κινητής Ζώνης (float zone)

Η μέθοδος κινητής ζώνης για την ανάπτυξη κρυστάλλων εισήχθη από τον H.C. Theurer. Η διαδικασία αυτή εμφανίζει πλεονέκτημα ως προς την μέθοδο Czochralski για την ανάπτυξη ορισμένων μόνο τύπων κρυστάλλων. Στη συσκευή κινητής ζώνης το λιωμένο Si δεν περιέχεται μέσα στο δοχείο και επομένως δεν υφίσταται μόλυνση από το οξυγόνο όπως στη μέθοδο Czochralski. Έτσι , αν ο κρύσταλλος πρέπει να έχει ειδική αντίσταση μεγαλύτερη από 25Ω /cm είναι απαραίτητο να παραχθεί με τη μέθοδο αυτή. Ωστόσο με τη μέθοδο κινητής ζώνης είναι δύσκολο να πετύχουμε κρυστάλλους με διάμετρο μεγαλύτερη από 75mm. Οι κρύσταλλοι που αναπτύσσονται μπορεί να έχουν προσανατολισμό (100) ή (111) .

Η συσκευή για ανάπτυξη κρυστάλλων με τη μέθοδο κινητής ζώνης φαίνεται στο σχήμα 2.6. Ένας κύλινδρος πολυκρυσταλλικού Si μήκους μέχρι 100cm αναρτάται κατακόρυφα από μια υποδοχή (chuck) στο επάνω μέρος ενός θαλάμου - φούρνου , μέσα σε ατμόσφαιρα συνήθους Αργού υπό μειωμένη πίεση.



Σχήμα 2.6 Η συσκευή ανάπτυξης κρυστάλλων με τη μέθοδο κινητής ζώνης.

Ένα “ σπέρμα “ μονοκρυστάλλου εφαρμόζεται σε μια υποδοχή στο κάτω μέρος του θαλάμου. Ένα πηνίο RF τοποθετείται έτσι ώστε να δημιουργεί μια ζώνη τηγμένου Si στο κάτω μέρος του κυλίνδρου. Η τηγμένη αυτή ζώνη συγκρατείται στη θέση της από ένα συνδυασμό επιφανειακής τάσης και φαινόμενων ανύψωσης (*elevation*) που οφείλονται στο πεδίο RF. Το σπέρμα φέρεται σε επαφή με το τήγμα Si και κατόπιν τραβιέται με ταυτόχρονη περιστροφή σε τρόπο ώστε να σχηματισθεί μια περιοχή μειωμένης διαμέτρου (*necking*) ακολουθημένη από μια κωνική περιοχή μέχρι την τελική επιθυμητή διάμετρο. Αυτό αποσκοπεί όπως στη μέθοδο Czochralski στο να παραχθεί ένας κρύσταλλος ελεύθερων παραμορφώσεων (*dislocations*) . Η τηγμένη ζώνη , που έχει πλάτος γύρω στα 2cm μετακινείται προς τα πάνω κατά μήκος του πολυκρυσταλλικού κυλίνδρου μέχρι να αναπτυχθεί όλος ο κρύσταλλος. Πολλαπλά περάσματα της τηγμένης ζώνης (από τον κρύσταλλο) μέσα σε κενό , μπορούν να μειώσουν την περιεκτικότητα του κρυστάλλου σε προσμίξεις λόγω πτητικότητας των προσμίξεων μέσα στην τηγμένη ζώνη. Με τη μέθοδο αυτή έχουν κατασκευαστεί κρύσταλλοι με ειδική αντίσταση μέχρι $30000\Omega/\text{cm}$.

Οι *επιθυμητές προσμίξεις* (*dopants*) μπορούν να προστεθούν στους κρυστάλλους κινητής ζώνης με διάφορες μεθόδους. Οι προσμίξεις μπορεί να περιέχονται ομοιόμορφα στο αρχικό πολυκρυσταλλικό υλικό ή να εισάγονται με μηχανικό τρόπο κομμάτια ισχυρά ντοπαρισμένου Si περιοδικά κατά μήκος του

πολυκρυσταλλικού κυλίνδρου. Πιο ομοιόμορφο ντοπάρισμα μπορεί να επιτευχθεί αν συμπεριληφθεί μια προγραμματισμένη συγκέντρωση φωσφίνης (PH_3) ή διβορανίου (B_2H_6) στην ατμόσφαιρα που περιβάλλει τον αναπτυσσόμενο κρύσταλλο.

Εξ' αιτίας του μη σταθερού θερμικού περιβάλλοντος στην τηγμένη ζώνη , είναι συνηθισμένη η εμφάνιση ακτινικών διακυμάνσεων της ειδικής αντίστασης του Si της τάξης του 40%. Είναι δυνατόν να δημιουργηθεί ντοπάρισμα φωσφόρου υψηλής ομοιομορφίας αν υποβάλλουμε τον καθαρό κρύσταλλο σε ρεύμα θερμικών νετρονίων που μετατρέπει μερικά από τα άτομα Si σε φώσφορο.

Υπάρχουν δύο βασικά μειονεκτήματα στη διαδικασία κινητής ζώνης. Πρώτον , η ψυχόμενη διεπιφάνεια είναι πολύπλοκη διότι η συγκράτηση του τήγματος εξαρτάται από την επιφανειακή τάση. Αυτό αυξάνει τη δυσκολία με την οποία μπορούν να αναπτυχθούν βιομηχανικά κρύσταλλα με μηδενική παραμόρφωση (zero dislocation). Δεύτερον , η διαδικασία είναι πιο δαπανηρή από την μέθοδο Czochralski διότι το αρχικό υλικό πρέπει να είναι αποκλειστικά πολυκρυσταλλικός κύλινδρος , ενώ στη μέθοδο Czochralski μπορούν να χρησιμοποιηθούν κύλινδροι ή σπασμένα κομμάτια πολυπυριτίου ή ακόμα ανακυκλωμένοι μονοκρύσταλλοι όπως τα αποκομμένα άκρα του τελικού κρυστάλλου.

2.5. Προετοιμασία των Δισκίων Πλακετών (υποστρώματος ή Substrate)

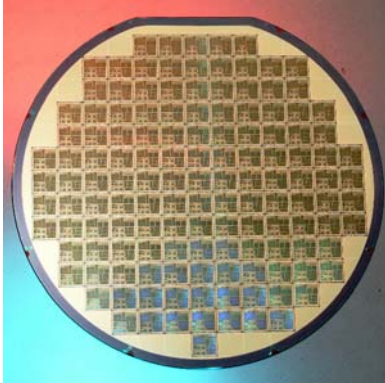
Η μετάβαση από τον μεγάλο μονοκρύσταλλο στο δισκίο το οποίο θα είναι κατάλληλο να υποστεί τη διαδικασία κατασκευής ενός ολοκληρωμένου κυκλώματος , περιλαμβάνει διάφορα στάδια. Αυτά είναι :

- A) Καθορισμός της διαμέτρου
- B) Προσανατολισμός
- Γ) Κοπή των δισκίων
- Δ) Εγχάραξη (Etching)
- E) Λείανση
- ΣΤ) Καθαρισμός

A) Καθορισμός της διαμέτρου

Η βιομηχανία έχει υιοθετήσει ορισμένες διαμέτρους σαν τυπικές ούτως ώστε και ο εξοπλισμός για την αυτοματοποίηση των διαδικασιών παραγωγής ολοκληρωμένων κυκλωμάτων να μπορεί να τροποποιηθεί. Τυπικές διάμετροι δισκίων είναι 50 , 75 και 100 mm. Εξ' αιτίας των διακυμάνσεων της διαδικασίας ανάπτυξης του κρυστάλλου οι τελειωμένοι κρύσταλλοι θα παρουσιάζουν διακυμάνσεις στη διάμετρο τους , γι'

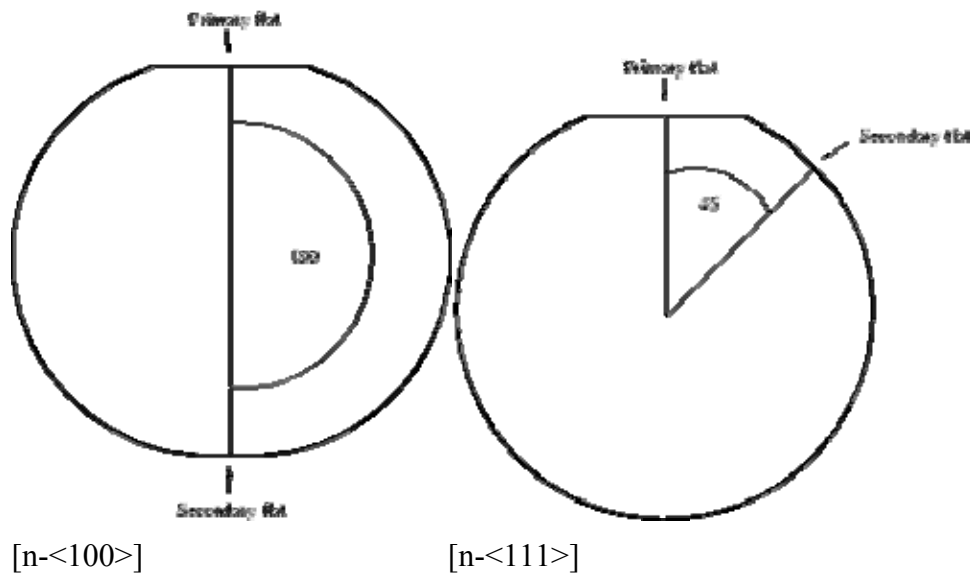
αυτό είναι συνηθισμένο να αναπτύσσεται ο κρύσταλλος κατά μερικά χιλιοστά περισσότερο από την επιθυμητή του τιμή. Κατόπιν ο κρύσταλλος ακονίζεται μέχρι μια διάμετρο περίπου 0.4 mm μεγαλύτερη από την επιθυμητή τιμή. Το ακόνισμα αφήνει μια κατεστραμμένη επιφάνεια που πρέπει να απομακρυνθεί με μια διαδικασία που ακολουθεί.

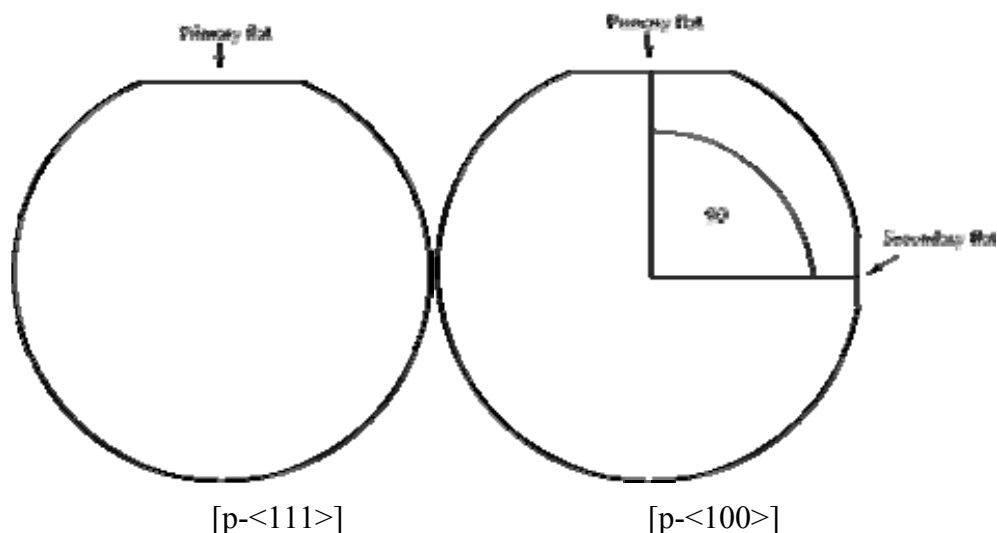


Σχήμα 2.7 Τοπικός Δίσκος Πορτίου

Β) Προσανατολισμός

Για να έχουμε μια διεύθυνση αναφοράς για την ευθυγράμμιση των κυκλωμάτων και για να μπορούμε να προσδιορίσουμε τον τύπο του κρυστάλλου, κάθε κρύσταλλο έχει ένα ή δύο τροχισμένα επίπεδα τοποθετημένα με ακρίβεια σε καθορισμένα κρυσταλλικά επίπεδα (σχήμα 2.5).





Σχήμα 2.8 Εγκοπές Προσανατολισμού Των Δισκίων Si

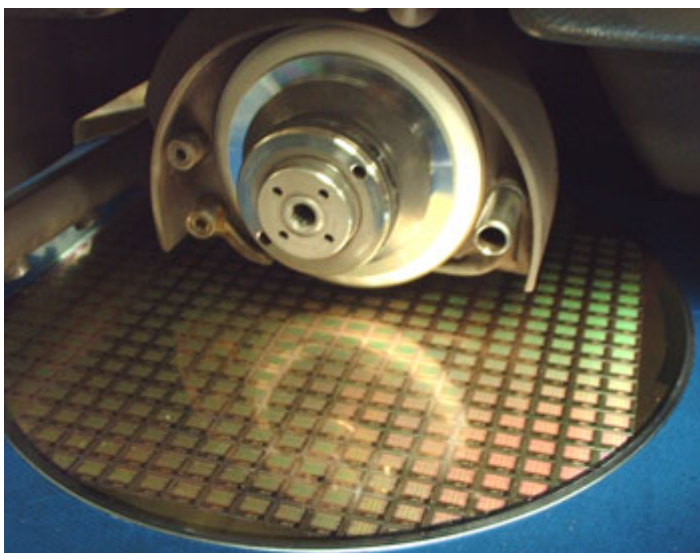
Ο προσανατολισμός του κρυστάλλου προσδιορίζεται με μια τεχνική σκέδασης ακτίνων X. Τα συστήματα παραγωγής διατηρούν τον προσανατολισμό των εγκοπών μέσα σε όριο $\pm 0.5^\circ$. Η πρώτη μάσκα που αποτυπώνεται στην πλακέτα προσανατολίζεται σε σχέση με την εγκοπή αναφοράς, Αυτό εξασφαλίζει ότι το δισκίο θα κόβεται κατά μήκος των φυσικών επίπεδων απόσχισης κατά τον χωρισμό των chip.

Σ' αυτό το σημείο η καταστροφή από το τρόχισμα απομακρύνεται με ένα ιστροπικό γυαλιστικό etching (HF , HNO₃ και CH₃COOH). Το αποτέλεσμα είναι ένας γυαλισμένος κρύσταλλος Si με διάμετρο μέσα σε όρια $\pm 1\text{mm}$ από το επιθυμητό μέγεθος.

Γ) Κοπή των δισκίων

Η πιο συνηθισμένη μέθοδος για την κοπή του κρυστάλλου σε δισκία χρησιμοποιεί ένα πριόνι με λεπίδα εσωτερικής διαμέτρου που συναρτείται περιφερειακά κατά το εξωτερικό χείλος. Η λεπίδα συνίσταται από ένα πυρήνα από ανοξείδωτο ατσάλι πάχους 100 ή 150 μm με επίστρωση πλέγματος διαμαντιού / νικελίου κατά την εσωτερική περιφέρεια. Κατά την κοπή του κάθε δισκίου χάνεται ένα πάχος Si τουλάχιστον 250 μm που ισοδυναμεί με απώλεια ποσοστού Si 30% σε ένα κρύσταλλο.

Σε μερικές περιπτώσεις το χείλος του δισκίου στρογγυλεύεται στο σημείο αυτό , τυπικά με ακτίνα 50 έως 100 μm . Αυτό εμποδίζει πιθανά ξεφτίσματα (shipping) του απότομου χείλους και μειώνει το σχηματισμό στην περιφέρεια “ μαξιλαριού “ κατά την επίστρωση των φωτοευπαθών υλικών (λιθογραφία) .



Σχήμα 2.9 Κοπή Δισκίων

Δ) Εγχάραξη (Etching)

Η διαδικασία κοπής των δισκίων έχει σαν αποτέλεσμα τη δημιουργία μιας άγριας επιφάνειας που χαρακτηρίζεται από γδαρσίματα γεμάτα από κρυσταλλικά σωματίδια. Αυτή η καταστροφή απομακρύνεται με ισοτροπική εγχάραξη του Si (HF , HNO₃ και CH₃COOH). Αυτή η διαδικασία απομακρύνει 50 ως 80 μm πυριτίου. Επίσης κατά τη διαδικασία αυτή επιτυγχάνεται κατά ένα ποσοστό στρογγύλεμα του χείλους του δισκίου. Επειδή το γυάλισμα που ακολουθεί γίνεται συνήθως μόνο στην μπροστινή επιφάνεια του δισκίου , αυτή η διαδικασία εγχάραξη καθορίζει την ποιότητα του τελειώματος της πίσω επιφάνειας της πλακέτας.

Σ' αυτό το σημείο της διαδικασίας γίνεται η διαλογή των πλακετών με το πάχος τους σύμφωνα με την ειδική τους αγωγιμότητα.

Ε) Λείανση (Γυάλισμα)

Το “ τελείωμα “ της μπροστινής επιφάνειας του δισκίου γίνεται με μια διαδικασία που λέγεται “ χημικό – μηχανικό “ γυάλισμα.

Το γυαλιστικό συστατικό είναι ένα κολλοειδές αιώρημα λεπτών σωματιδίων SiO₂ σε αλκαλικό υδατικό διάλυμα με pH 10 ως 12. Η διαδικασία γυαλίσματος αποτελείται από δύο στάδια , από τα οποία κατά το πρώτο απομακρύνονται 50 μm και κατά το δεύτερο αμελητέο πάχος Si.

Καθώς η φωτολιθογραφία προοδεύει , πολλοί ισχυρίζονται ότι η τελειότητα του γυαλίσματος της επιφάνειας δεν είναι κρίσιμη. Ωστόσο σε πολλές περιπτώσεις εξακολουθούμε να ενδιαφερόμαστε για αυστηρά επίπεδη επιφάνεια. Στην περίπτωση με προβολή π.χ. η ολική απόκλιση από το επίπεδο δεν επιτρέπεται να είναι μεγαλύτερη από ± 6μm.

ΣΤ) Τελικό Γυάλισμα και Καθαρισμός

Στην τελική φάση το γυαλιστικό συστατικό και τα ίχνη από τα μέσα στήριξης των πλακετών πρέπει να απομακρυνθούν. Η διαδικασία καθαρισμού συνήθως περιλαμβάνει διαλυτικά , απορρυπαντικά , ξέβγαλμα με απιονισμένο νερό και στέγνωμα με άζωτο. Τα δισκία κατόπιν παρατηρούνται κάτω από εστιασμένο φωτισμό για να αναδειχτούν μικροσκοπικές γρατζουνιές , εξογκώματα , ή θόλωση.

2.6. Επιταξία

Η επιταξιακή ανάπτυξη , όπως χρησιμοποιείται στην κατασκευή ολοκληρωμένων κυκλωμάτων , είναι μια χημική διαδικασία υψηλής θερμοκρασίας με την οποία ένα μονοκρυσταλλικό στρώμα αναπτύσσεται πάνω σε ένα υπόστρωμα παρόμοιας κρυσταλλικής δομής.

Στα διπολικά τρανζίστορ μονωμένης επαφής χρησιμοποιείται ομοεπιταξία για τη ανάπτυξη ενός στρώματος Si τύπου n πάχους 3 – 10 μm πάνω σε υπόστρωμα τύπου p ειδικής αντίστασης 10Ω/cm και πάχους 150 ως 500 μm. Το στρώμα αυτό τύπου n είναι το ενεργό μέρος του τρανζίστορ και αποτελεί υπόστρωμα εξαιρετικής κρυσταλλικής ποιότητας και με σχεδόν ομοιόμορφη κατανομή προσμίξεων.

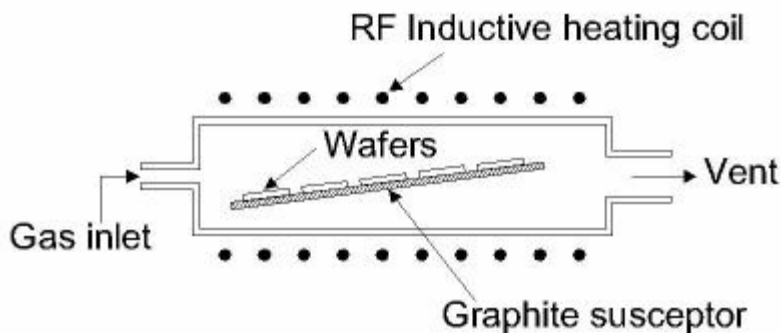
Στα κυκλώματα ολοκληρωμένων λογικής με έγχυση I²L (Integrated Injection Logic) , ένα στρώμα τύπου n αναπτύσσεται με επιταξία πάνω σε ισχυρά ντοπαρισμένο υπόστρωμα τύπου n⁺ .

Στα κυκλώματα CMOS πάνω (σε σάπφειρο sapphire) , χρησιμοποιείται ετεροεπιταξία για την ανάπτυξη ενός στρώματος 1μm από ελαφρά ντοπαρισμένο πυρίτιο τύπου p (ο κρυσταλλικός προσανατολισμός του πυριτίου πάνω σε σάπφειρο είναι (100)).

Η βασική διαδικασία που ακολουθείται (σαν παράδειγμα αναφέρουμε τη διαδικασία για το Si) για την ομοεπιταξία και ετεροεπιταξία είναι παρόμοια. Συνιστάται στο πέραςμα μιας χημικής ένωσης του Si σε αέρια μορφή πάνω από τα θερμαινόμενα υποστρώματα. Η υψηλή θερμοκρασία αναγκάζει την χημική ένωση του πυριτίου να αποσυντεθεί , είτε με χημική αντίδραση , είτε με πυρόλυση και τα άτομα του Si αφήνονται να τακτοποιηθούν πάνω στο κρυσταλλικό πλέγμα του υποστρώματος αν υπάρχουν οι κατάλληλες συνθήκες . Για παράδειγμα , οι αποστάσεις των ατόμων του υποστρώματος και του αποτιθέμενου υλικού να είναι σχεδόν ίσες. Το αποτιθέμενο υλικό θα πρέπει να μπορεί να προβλέπει τον κρυσταλλογραφικό προσανατολισμό του υποστρώματος. Θα πρέπει να μπορούμε να αυξήσουμε την θερμοκρασία του υποστρώματος όσο χρειάζεται για να αποσυντεθεί ή να αναχθεί το υλικό της πηγής χωρίς να αποσυντεθεί το υπόστρωμα. Το υπόστρωμα πρέπει να είναι αρκετά μεγάλο ώστε να εξασφαλίζει απόθεση χρησιμοποιήσιμων διαστάσεων.

Οι ενώσεις του Si που χρησιμοποιούνται συνήθως είναι : SiCl_4 , HSiCl_3 , H_2SiCl_2 και SiH_4 . για τις ενώσεις του χλωρίου η αποσύνθεση γίνεται με χημική αναγωγή με υδρογόνο και συμβαίνει πάνω στο υπόστρωμα. Για το σιλάνιο (SiH_4) η αποσύνθεση είναι πυρολυτική και συμβαίνει μέσα στο ρεύμα του αερίου πάνω στο υπόστρωμα.

Στο παρακάτω σχήμα βλέπουμε την αρχή λειτουργίας μιας συσκευής που χρησιμοποιείται για την επιταξιακή ανάπτυξη.



Σχήμα 2.10 Αρχή Λειτουργίας Συσκευής Που Χρησιμοποιείται Για την Επιταξιακή Ανάπτυξη

Τα υποστρώματα (δισκία ή wafers) τοποθετούνται πάνω σε πλάκες γραφίτη με επίστρωση από καρβίδιο του πυριτίου , που ονομάζονται υποδοχείς (susceptors) . Για τη θέρμανση χρησιμοποιείται μερικές φορές θερμαντική αντίσταση στα συστήματα τηγανίτας αλλά η θέρμανση με RF είναι βασική πηγή ισχύος στην επιταξία.

Ας θεωρήσουμε σαν παράδειγμα τυπικού συστήματος έναν οριζόντιο αντιδραστήρα που χρησιμοποιεί σιλάνιο σαν πηγή του πυριτίου. Ο θάλαμος αντίδρασης (reactor chamber) , από τηγμένο χαλαζία , ψύχεται με νερό για να εμποδιστεί η απόθεση του Si στα τοιχώματα του. Ο υποδοχέας που θερμαίνεται με RF είναι τοποθετημένος με ελαφριά κλίση ως προς τη ροή του αερίου , ώστε να εξασφαλίζεται πιο ομοιόμορφη απόθεση καθ' όλο το μήκος του υποδοχέα. Το αέριο φορέας είναι υδρογόνο , εξαιρετικά υψηλής καθαρότητας και καταναλίσκεται σε μεγάλες ποσότητες τυπικά 100 l/min για να δημιουργεί κανονική ταχύτητα ροής. Καθώς το αέριο περνάει πάνω από τον θερμό υποδοχέα (τυπικά 1050 °C) δημιουργείται ένα στάσιμο στρώμα του οποίου το πάχος εξαρτάται από την ταχύτητα του αερίου. Αν θεωρηθεί ότι όλη η μεταβολή της θερμοκρασίας συμβαίνει μέσα σ' αυτό το στάσιμο στρώμα , ο μηχανισμός απόθεσης συνιστάται σε διάχυση των μορίων του σιλανίου μέσα στο στάσιμο στρώμα. Καθώς αυτά τα μόρια φτάνουν σε θερμοκρασία αποσύνθεσης (περίπου 500 °C) , οι δεσμοί υδρογόνου – Si σπάνε. Τα άτομα του πυριτίου κατεβαίνουν προς το υπόστρωμα και τα μόρια του υδρογόνου γυρίζουν στο ρεύμα του αερίου. Αν η συγκέντρωση των μορίων που αποσυντίθενται γίνει πολύ μεγάλη , τα άτομα πυριτίου συνενώνονται ενώ βρίσκονται ακόμα μέσα στο στάσιμο στρώμα. Μερικά από αυτά ανασηκώνονται λόγω κύρτωσης (convelation) και σαρώνονται μέσα στο κινούμενο ρεύμα πάνω από το στάσιμο στρώμα ενώ τα υπολείμματα πέφτουν πάνω στα υποστρώματα και δημιουργούν σοβαρές ατέλειες στα αναπτυσσόμενα στρώματα. Αυτή η αύξηση της συγκέντρωσης στην αέρια φάση περιορίζει τη ταχύτητα ανάπτυξης σε ένα σύστημα με σιλάνιο. Η απόδοση της διαδικασίας απόθεσης με σιλάνιο πλησιάζει το 35% για μικρές συγκεντρώσεις.

Επειδή η συγκέντρωση του σιλανίου μειώνεται καθώς το αέριο διατρέχει κατά μήκος του υποδοχέα, είναι απαραίτητο να μειώνεται το πάχος του στάσιμου στρώματος σε συνάρτηση με την απόσταση, ώστε να πετύχουμε ομοιόμορφη ταχύτητα απόθεσης σε όλα τα δισκία. Αυτό μπορούμε να το πετύχουμε δίνοντας στον υποδοχέα μια μικρή γωνία κλίσης ως προς τη ροή του αερίου. Αυτό έχει σαν αποτέλεσμα τη μείωση του εμβαδού της ενεργού διατομής κάθετα προς τη ροή του αερίου και επομένως την αύξηση της ταχύτητας του αερίου και τη μείωση του πάχους του στάσιμου στρώματος. Για μια δεδομένη γωνία κλίσης του υποδοχέα υπάρχει άριστη ταχύτητα ροής αερίου για ομοιόμορφη ανάπτυξη. Για να ελαχιστοποιηθούν οι διακυμάνσεις ανάπτυξης κατά μήκος του υποδοχέα, χρησιμοποιείται ορθογώνιος θάλαμος αντιδραστήρα.

Η ταχύτητα ανάπτυξης σε ένα σύστημα σιλανίου μπορεί να ρυθμιστεί γραμμικά μέσα σε μια περιοχή από 0,1 ως 1 $\mu\text{m}/\text{min}$ με ρύθμιση του λόγου σιλάνιο προς υδρογόνο. Αποθέσεις με σιλάνιο γίνονται σε θερμοκρασίες συνήθως μεταξύ 1050 °C και 1100 °C.

Επιταξία που χρησιμοποιεί SiCl_4 , HSiCl_3 ή H_2SiCl_2 σε υδρογόνο έχει σαν αποτέλεσμα τη δημιουργία αερίου HCl το οποίο είναι ένα αποξυστικό (etchant) για το πυρίτιο στη θερμοκρασία των 1100 °C ως 1150 °C. Αυτό δεν προκαλεί υποβάθμιση της ποιότητας του στρώματος αν υπάρχει αρκετό υδρογόνο.

Οι μεγαλύτεροι ρυθμοί αποσύνθεσης κατά την παραγωγή υψηλής ποιότητας επιταξιακών στρωμάτων επιτυγχάνονται με συστήματα που χρησιμοποιούν H_2SiCl_2 . Αυτός ο τύπος συστήματος είναι επίσης ο λιγότερο ευαίσθητος στη θερμοκρασία αποσύνθεσης.

Το ντοπάρισμα των επιταξιακών στρωμάτων επιτυγχάνεται αν συμπεριλάβουμε ελεγχόμενες ποσότητες υβριδίων των στοιχείων πρόσμιξης μέσα στο ρεύμα του αερίου. Τα αέρια που χρησιμοποιούνται συνήθως για ντοπάρισμα είναι φωσφίνη (PH_3), η αρσίνη (AsH_3) και το διβοράνιο (B_2H_6).

Το ντοπάρισμα είναι γραμμική συνάρτηση του λόγου των μορίων της αερίου πρόσμιξης προς τα μόρια της πηγής πυριτίου μέσα στο ρεύμα του αερίου και σε μεγάλη κλίμακα. Υπάρχει επίσης και πιθανότητα διάχυσης προς τα έξω των προσμίξεων από το υπόστρωμα κατά τη διάρκεια της επιταξιακής ανάπτυξης.

Μια τυπική διαδικασία επιταξιακής ανάπτυξης περιλαμβάνει στάδια για τη επιτόπια προετοιμασία των υποστρωμάτων. Αν τα υποστρώματα είναι από πυρίτιο θα έχουν ένα λεπτό στρώμα φυσικού οξειδίου. Αυτό μπορεί να απομακρυνθεί με αναγωγή με υδρογόνο στους 1250 °C για 10 ως 20 λεπτά. Ακολουθεί απόξυση με αέριο μικρής περιεκτικότητας HCl ή SF_6 για 5 λεπτά στους 1250 °C, για να απομακρυνθούν τα ανώτερα στρώματα του πυριτίου πριν να κατέβουν τα υποστρώματα στη θερμοκρασία απόθεσης.

Αν πρέπει να αποτεθούν επιταξιακά στρώματα σε πυρίτιο με προσανατολισμό (111), είναι συνηθισμένο να χρησιμοποιείται ελαφρά αποπροσανατολισμένα υποστρώματα. Ο αποπροσανατολισμός είναι τυπικά 3 ως 40 προς την πλησιέστερη

< 100 > διεύθυνση από ένα επίπεδο (111). Αυτό βοηθάει να αναπαραχθούν στο επιταξιακό στρώμα σκαλοπάτια που τυχόν υπάρχουν στο υπόστρωμα.

Τα επιταξιακά στρώματα γενικά περιέχουν τις ίδιες ατέλειες με το υπόστρωμα. Η παρουσία ξένων σωματιδίων πάνω στο υπόστρωμα συνήθως οδηγεί σε σφάλματα (στρωμάτωσης απόθεσης ή stacking faults).

ΚΕΦΑΛΑΙΟ 3

ΟΞΕΙΔΩΣΗ (ΤΟΥ ΠΥΡΙΤΙΟΥ)

Εισαγωγή

Οξείδωση του πυριτίου είναι η διαδικασία κατά τη οποία ένα στρώμα οξειδίου παράγεται στην επιφάνεια του πυριτίου με σκοπό να προστατέψει το πυρίτιο από χημικές επιδράσεις ή να δράσει σαν ηλεκτρικός μονωτής.

Η μετατροπή του πυριτίου σε διοξείδιο του πυριτίου (SiO_2) με θερμική οξείδωση , είναι μια σημαντική διαδικασία στην τεχνολογία τόσο των διπολικών όσο και των MOS μονολιθικών ολοκληρωμένων κυκλωμάτων. Τα θερμικά οξείδια παρέχουν ένα ομοιόμορφο και σταθερό προστατευτικό στρώμα πάνω στο πυρίτιο.

Στην τεχνολογία διπολικών κυκλώματα το οξείδιο χρησιμοποιείται για να εξασφαλίσει επαναληπτικά χαρακτηριστικά επαφής με την παρουσία του στα σημεία όπου η επαφή τέμνει την επιφάνεια του πυριτίου. Μια άλλη σημαντική εφαρμογή των οξειδίων βασίζεται στην ιδιότητα του οξειδίου να δρα σαν φράγμα στη διάχυση των περισσοτέρων ηλεκτρικά ενεργών προσμίξεων αντικατάστασης που χρησιμοποιούνται για το ντοπάρισμα περιοχών ενός δισκίου πυριτίου , οι οποίες καθορίζονται με απομάκρυνση του οξειδίου από επιλεγμένες περιοχές με φωτολιθογραφία , ενώ προστατεύονται τα υπόλοιπα μέρη του υποστρώματος από οξείδιο.

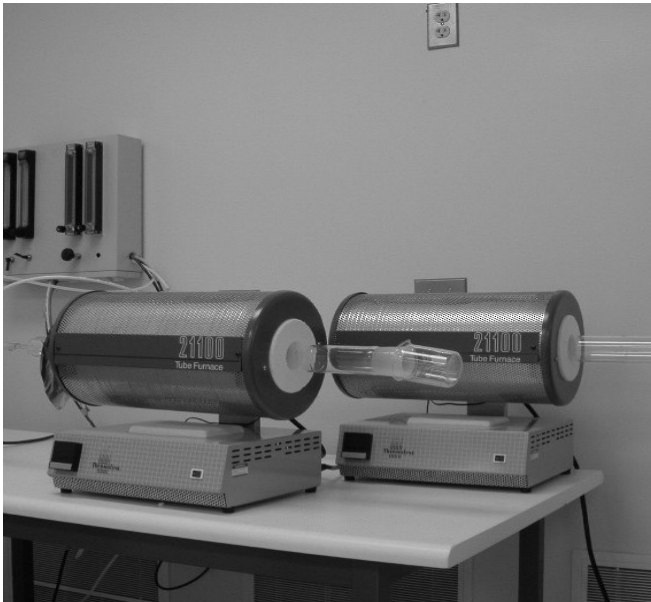
Στα κυκλώματα MOS το οξείδιο δρα σαν διηλεκτρικό υλικό μεταξύ του ηλεκτροδίου της πύλης και του πυριτίου

3.1 Η διαδικασία της οξείδωση

Η θερμική οξείδωση του πυριτίου συνήθως πραγματοποιείται σε φούρνο ανοιχτού σωλήνα , ενώ το οξειδωτικό περνάει πάνω από τις πλακέτες πυριτίου. Τα αέρια που χρησιμοποιούνται είναι εξαιρετικά υψηλής καθαρότητας , συχνά προέρχονται από υγρές πηγές και περνάνε από μοριακά φίλτρα. Η καθαρότητα του συστήματος είναι ιδιαίτερα σημαντική για τις διαδικασίες MOS. Ο φούρνος οξείδωσης είναι σύστημα θερμαινόμενος με αντίσταση. Περιλαμβάνει τρεις θερμοκρασιακές ζώνες , με ακριβή έλεγχο της θερμοκρασίας της κεντρικής ζώνης και τις ακραίες εξαρτώμενες από αυτήν. Διατίθενται συστήματα που διατηρούν μια κατανομή επίπεδης (σταθερής) θερμοκρασίας σε μια κεντρική ζώνη μήκους 50cm και με ακρίβεια $\pm 1 / 10^\circ\text{C}$. Το στοιχείο φούρνου πρέπει να είναι μικρής μάζας και να συνδυάζει με γρήγορα συστήματα ελέγχου την ελαχιστοποίηση του χρόνου

αποκατάστασης του συστήματος κατά την εισαγωγή ενός φορέα με περισσότερες από 100 πολλές φορές πλακέτες πυριτίου.

Ο σωλήνας του οξειδωτικού συστήματος φτιάχνεται συνήθως από τηγμένο χαλαζία (γυαλί SiO_2), αλλά μερικά συστήματα χρησιμοποιούν πολυκρυσταλλικό πυρίτιο ή καρβίδιο του πυριτίου. Το σύστημα ρύθμισης των αερίων μπορεί να είναι επίσης από τηγμένο χαλαζία ή από προσεκτικά καθαρισμένο ανοξειδωτο ατσάλι. Ο σωλήνας οξείδωσης τοποθετείται μέσα στο στοιχείο φούρνου ενώ τα ανοίγματα μεταξύ του σωλήνα και του μονωτικού καλύμματος στις άκρες του φούρνου σφραγίζεται από μονωτικό υλικό , που αποτελείται από λεπτές ίνες αλουμίνας ώστε να αποφευχθεί η διαρροή θερμότητας , Το γυαλί από τηγμένο χαλαζία (devitrify) μαλακώνει όταν θερμανθεί πάνω από τους 1000°C με αποτέλεσμα την εμφάνιση κύρτωσης στο σωλήνα του φούρνου. Για να περιοριστεί το φαινόμενο αυτό τοποθετείται , σε μερικές περιπτώσεις ένα άκαμπτο υποστήριγμα από κεραμικό υλικό , που περιέχει χαλαζία και αλουμίνα , ανάμεσα στο θερμαντικό και στο σωλήνα οξείδωσης. Η χρήση σωλήνων από πολυκρυσταλλικό πυρίτιο ή καρβίδιο του πυριτίου εκμηδενίζει αυτό το πρόβλημα.



Σχήμα 3.1 Φούρνοι θερμικής οξείδωσης

Οι πλακέτες του πυριτίου τοποθετούνται σ' ένα “φορέα” από τηγμένο χαλαζία με κατάλληλες εγκοπές , ο οποίος συνήθως τοποθετείται σε μια βάση με ρόδες επίσης από τηγμένο χαλαζία. Για την εισαγωγή του φορέα στο σωλήνα οξείδωσης χρησιμοποιείται αυτόματο σύστημα ελέγχου της ταχύτητας εισαγωγής και της θέσης μέσα στο σωλήνα. Όταν συμπληρωθεί η διαδικασία της οξείδωσης , το αυτόματο σύστημα τραβάει τον φορέα έξω από το φούρνο με προγραμματισμένο ρυθμό. Το ανοικτό άκρο του σωλήνα οξείδωσης βρίσκεται είτε μέσα με καθαρό δωμάτιο με στρωτή ροή αέρα , είτε σε καθαρή θέση (station) εργασίας.

Τα οξειδωτικά μπαίνουν στο σωλήνα σε αέρια μορφή. Το οξυγόνο διατίθεται είτε σαν αέριο πολύ υψηλής καθαρότητας είτε αναβράζουν από την υγρή κατάσταση. Στα καθαριστικά αέρια περιλαμβάνονται το άζωτο , το ήλιο και το αργό. Υδρατμό μπορούμε να πάρουμε με πολλούς τρόπους : Ένας απλός και εύχρηστος τρόπος είναι

το βράσιμο του αποϊονισμένου νερού μέσα στη φιάλη από τηγμένο χαλαζία. Μια άλλη αποτελεσματική πηγή υδρατμού παίρνουμε με το στάξιμο αποϊονισμένου νερού πάνω σε θερμαινόμενη επιφάνεια από τηγμένο χαλαζία. Για οξειδώσεις υψηλής καθαρότητας ο υδρατμός παράγεται μέσα στον σωλήνα οξείδωσης με κάψιμο του υδρογόνου μέσα σε οξυγόνο (πυρογενική μέθοδος).

Οι ηλεκτρικές ιδιότητες του οξειδίου μπορούν να βελτιωθούν αν στο ρεύμα του οξειδωτικού αερίου περιληφθεί μικρή ποσότητα (2 ως 6 %) άνυδρο HCl . Η παρουσία του HCl έχει σαν αποτέλεσμα τον καθαρισμό του αναπτυσσόμενου οξειδίου και του σωλήνα οξείδωσης από τη μόλυνση με ιόντα νατρίου. Τα ιόντα νατρίου είναι ευκίνητα μέσα στα θερμικά οξείδια και ολισθαίνουν παρουσία πόλωσης σε μικρή απόσταση από τη διεπιφάνεια οξειδίου – πυριτίου όπου παραμένουν με αποτέλεσμα να αυξάνουν την πυκνότητα του φορτίου της διεπιφάνειας. Αυτό προκαλεί δυσχέρειες στις διατάξεις MOS. Επομένως είναι επιθυμητό να διατηρείται η μόλυνση από ιόντα νατρίου σε όσο το δυνατόν χαμηλότερη στάθμη.

Μια τυπική διαδικασία οξείδωσης περιλαμβάνει ένα κύκλο ξηράς / υγρής / ξηράς οξείδωσης , οπότε το μεγαλύτερο μέρος του οξειδίου αναπτύσσεται κατά τη διάρκεια της υγρού οξείδωσης. Με την ξηρά οξείδωση επιτυγχάνεται πυκνότερο οξείδιο. Αν προστεθεί HCl στην υγρή και την τελική ξηρά φάση , το πρόβλημα του νατρίου μειώνεται σημαντικά. Εξ' άλλου έχει δειχθεί ότι ο υψηλότερης ποιότητας οξείδια παράγονται σε σωλήνες που έχουν καθαριστεί με HCl ακόμη και όταν δεν περιλαμβάνεται αυτό στον κύκλο της οξείδωσης.

Παρόμοια αποτελέσματα επιτυγχάνουμε με την προσθήκη στο οξειδωτικό αερίου χλωρίου ή αζώτου που περνάει μέσα από υγρό τριχλωροαιθυλαίνιο (C_2HCl_3). Ένα μέρος της μόλυνσης του οξειδίου από νάτριο συμβαίνει κατά τη διάρκεια της απόθεσης μετάλλου για την δημιουργία των αγωγών και της πόλης. Σ' αυτής τη φάση της διαδικασίας δεν μπορεί να χρησιμοποιηθεί HCl . Έχει δειχθεί όμως ότι το οξείδιο που αναπτύχθηκε με ξερό οξυγόνο και ω ενσωματώνει μέσα του χλώριο που το καθιστά ηλεκτρικά πιο σταθερό.

Ένα πρόβλημα που συναντάται συχνά στην οξείδωση πλακέτα πυριτίου χωρίς εξάρθρωσης (dislocations) είναι η δημιουργία σφαλμάτων στρωμάτωσης κατά την οξείδωση. Αυτό οφείλεται στην επιτάχυνση των ενδοπλεγματικών οξυγόνων που υπάρχουν στα υποστρώματα από τη διαδικασία ανάπτυξης του κρυστάλλου. Τα σφάλματα στρωμάτωσης μπορούν να αποφευχθούν με οξείδωση σε θερμοκρασία πάνω από $1230^{\circ}C$ ή με ξηρά οξείδωση παρουσία ενώσεων του χλωρίου. Το μέγεθος των σφαλμάτων στρωμάτωσης είναι τυπικό μήκους 10 ως 20 μm για ξηρά οξείδωση μεταξύ 1100 και $1200^{\circ}C$. Τα σφάλματα στρωμάτωσης λόγω οξείδωσης θεωρητικά εκμηδενίζονται με τη χρήση πρόσθετου χλωρίου κατά τη διάρκεια της διαδικασίας.

3.2 Ανακατανομή Των Προσμίξεων Κατά την Οξείδωση.

Κατά την ανάπτυξη ενός θερμικού οξειδίου πάνω σε ένα υπόστρωμα ντοπαρισμένου πυριτίου , η συγκέντρωση των προσμίξεων μέσα στο πυρίτιο και κοντά στη διεπιφάνεια πυριτίου – οξειδίου , μεταβάλλεται. Αυτή η μεταβολή εξαρτάται από την ικανότητα των προσμίξεων να ενσωματώνονται μέσα στο οξείδιο καθώς αυτό αναπτύσσεται.

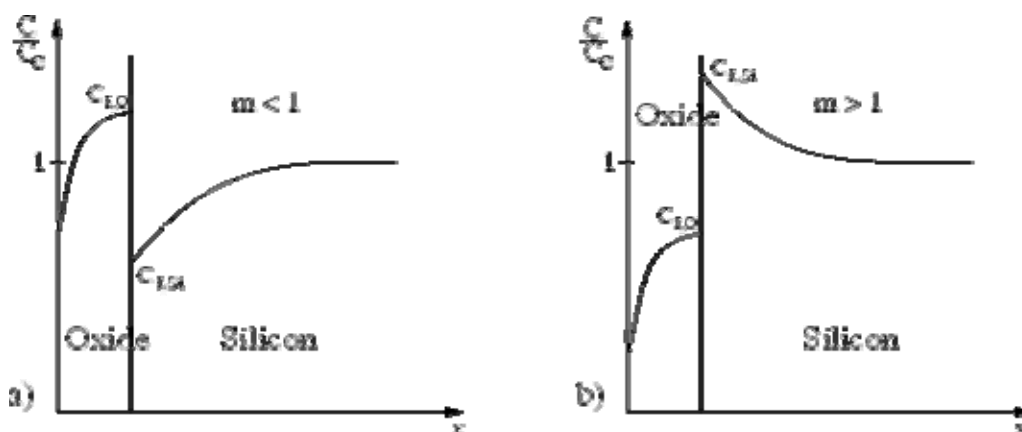
Ορίζουμε ένα συντελεστή κατανομής ή διαχωρισμού (segregation) m ως εξής :

$$m = \frac{\text{συγκέντρωση των προσμιξεων στο πυρίτιο στην καταστ. ισορροπίας}}{\text{συγκέντρωση των προσμιξεων στο SiO}_2 \text{ στην καταστ. ισορροπίας}}$$

Σχέση 3.1

Η τιμή του m για το βόριο είναι 0,3 ενώ το m είναι 10 για τον φώσφορο , το αντιμόνιο και το αρσενικό. Όλα αυτά τα στοιχεία έχουν χαμηλούς συντελεστές διάχυσης στο SiO_2 . Το γάλλιο έχει συντελεστή κατανομής 20 , αλλά έχει σχετικά υψηλό συντελεστή διάχυσης SiO_2 , έχει σαν αποτέλεσμα την απόρριψη της πρόσμιξης από το αναπτυσσόμενο στάδιο και απότομη αύξηση (buildup) της συγκέντρωσης της μέσα στο πυρίτιο , κοντά στη διεπιφάνεια. Αυτή είναι η περίπτωση για το φώσφορο , το αρσενικό και το αντιμόνιο.

Μια τιμή του m μικρότερη από τη μονάδα , με χαμηλό συντελεστή διάχυσης στο SiO_2 οδηγεί στη διόγκωση της συγκέντρωσης της πρόσμιξης μέσα στο οξείδιο και απογύμνωση από προσμίξεις του πυριτίου κοντά στη διεπιφάνεια. Αυτή είναι η περίπτωση του βορίου. Στο παρακάτω σχήμα βλέπουμε τις δύο δυνατές περιπτώσεις.



Σχήμα 3.2 Η επίδραση της οξείδωσης στην κατανομή των προσμιξεων

3.3 Μετρήσεις του πάχους του οξειδίου

Για τη μέτρηση του πάχους του οξειδίου χρησιμοποιούνται κυρίως οπτικές μέθοδοι , χρησιμοποιούνται όμως και μηχανικές μέθοδοι.

1. Η απλούστερη μέθοδος για την εκτίμηση του πάχους του οξειδίου είναι η παρατήρηση του κάτω από λευκό φωτισμό. Ομοιόμορφο χρώμα φανερώνει ομοιόμορφο πάχος οξειδίου. Η αίσθηση ενός μόνο χρώματος οφείλεται στην απουσία ορισμένων μόνο συχνοτήτων από λευκό φως. Η απουσία των συχνοτήτων αυτών οφείλεται στην καταστροφική συμβολή καθώς

το φως ανακλάται από τη διεπιφάνεια οξειδίου αέρα. Τέτοια συμβολή συμβαίνει όταν ικανοποιείται η συνθήκη :

$$2d = \frac{(2k-1)\lambda}{2n}$$

Σχέση 3.2

όπου d είναι το πάχος του υμενίου (για κάθετο φωτισμό) , k είναι ένας παράγοντας που παίρνει τιμές 1,2,3 , λ είναι το μήκος κύματος του φωτός που υφίσταται καταστροφική συμβολή και n είναι ο δείκτης διάθλασης του υμενίου. Το ίδιο χρώμα μπορεί να εμφανιστεί για διαφορετικά πάχη οξειδίου λόγω του παράγοντα k στην έκφραση αυτή. Πλάγιος φωτισμός αλλάζει το μήκος διαδρομής και επομένως αλλάζει το χρώμα. Τα χρώματα για διάφορα πάχη οξειδίου φαίνονται στον πίνακα 3.1. Ο προσδιορισμός , όμως , του χρώματος είναι πολύ υποκειμενικός και σε συνδυασμό με το φαινόμενο της εμφάνισης του ίδιου χρώματος για διάφορα πάχη , κάνει τη μέθοδο αυτή μια ανακριβή τεχνική. Είναι χρήσιμο να φτιάξουμε μια σειρά από οξειδωμένα υποστρώματα , των οποίων το πάχος να έχει προσδιοριστεί με ακρίβεια και να συγκρίνει τις πλακέτες του με αυτή τη σειρά ώστε να έχει ένα γρήγορο έλεγχο της επαναληπτικότητας της διαδικασίας.

Thickness Å				
Color	1	2	3	4
Grey	100			
Tan	300			
Brown	500			
Blue	800			
Violet	1000	2800	4600	6500
Blue	1500	3000	4900	6800
Green	1800	3300	5200	7200
Yellow	2100	3700	5600	7500
Orange	2200	4000	6000	
Red	2500	4400	6200	

Πίνακας 3.1. Παρατηρούμενα Χρώματα Για Διάφορα Πάχη Οξειδίων

2. Οι τεχνικές συμβολής βασίζονται στους κροσσούς που δημιουργούνται όταν φωτίσουμε με μονοχρωματικό φως μια μικρή σφήνα μεταξύ ενός ημιδιαφανούς κατόπτρου και ενός οξειδωμένου υποστρώματος.

Αυτοί οι κροσσοί συμβολής ονομάζονται κροσσοί FIZEAU . Στην πράξη το οξείδιο ξύνεται σε ένα τμήμα του υποστρώματος ώστε να σχηματιστεί ένα σκαλοπάτι ή μια σφήνα (η σφήνα κάνει πιο ευδιάκριτη την ολίσθηση του κροσσού) και το υπόστρωμα καλύπτεται με αλουμίνιο ώστε να εμφανίζει την ίδια ανακλαστική επιφάνεια και στις δύο στάθμες. Σαν πηγή μονοχρωματικού φωτός χρησιμοποιείται μια λάμπα ατμών νατρίου. Το τυπικό οπτικό σύστημα φαίνεται στο σχήμα 3.3 Το πάχος του οξειδίου , προσδιορίζεται από τη σχέση :

$$X_{ox} = N * \frac{\lambda}{2}$$

Σχέση 3.3

όπου N είναι ο αριθμός των κροσσών που ολισθαίνουν μεταξύ της πάνω και της κάτω επιφάνειας και λ είναι το μήκος κύματος του μονοχρωματικού φωτός (5890 Å για τους ατμούς Na) . Το πλάτος της σφήνας είναι σημαντικό για τη μέτρηση παχύτερων υμενίων οξειδίου.

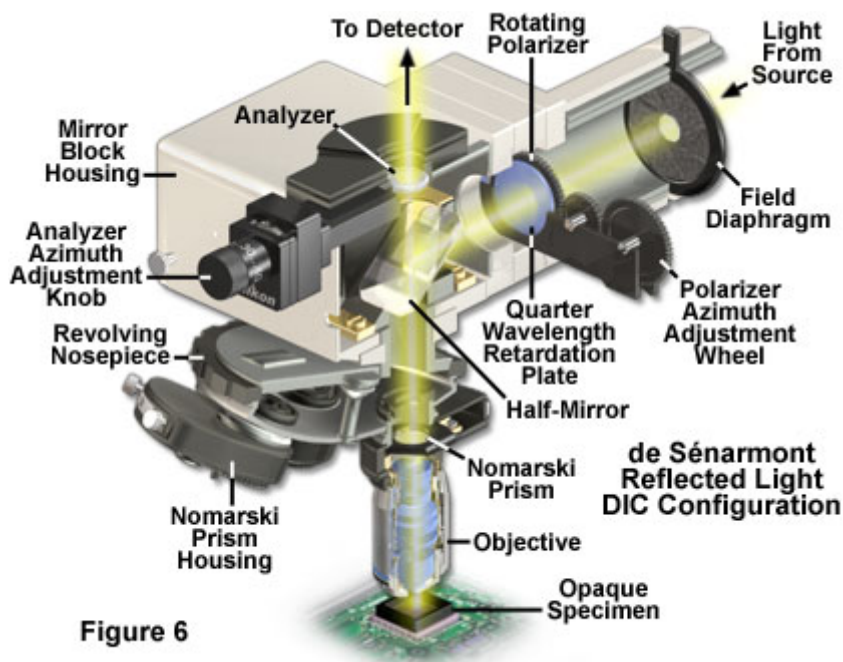
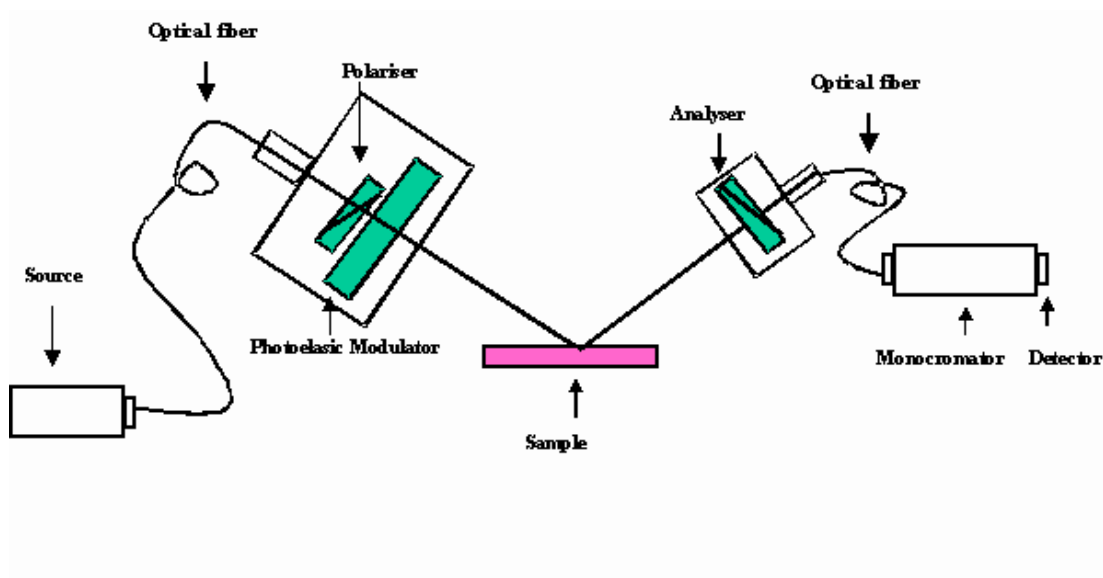


Figure 6

Σχήμα 3.3 Χρήση μικροσκοπίου συμβολής για τη μέτρηση του πάχους του οξειδίου

3. Η ελλειψομετρία είναι η πιο εκλεπτυσμένη και η πιο ακριβής μέθοδος για τη μέτρηση του πάχους του οξειδίου. Βασίζεται στην ολίσθηση φάσης που συμβαίνει όταν μονοχρωματικό φως , όχι κάθετα πολωμένο , ανακλάται και από την επιφάνεια του οξειδίου και από την υποκείμενη της επιφάνεια του πυριτίου. Το ποσοστό του προσπίπτοντος κύματος που είναι κάθετο στο επίπεδο πρόσπτωσης ανακλάται διαφορετικά από το ποσοστό που περιέχεται πρόσπτωσης, όπως εκφράζεται από τους τύπους του FRESNEL. Στην ελλειψομετρία ένα γραμμικά πολωμένο κύμα , πολωμένο σε 45° ως προς το

επίπεδο πρόσπτωσης, ανακλάται από τις επιφάνειες. Το ανακλώμενο κύμα είναι ελλειπτικά πολωμένο. Η ελλειπτικότητα του ανακλώμενου κύματος μετράται και συσχετίζεται με τις ιδιότητες του υμενίου. Χρησιμοποιούνται γραφήματα των λύσεων των εξισώσεων ελλειψομετρίας για τον προσδιορισμό του πάχους του υμενίου με βάση το δείκτη διάθλασης. Επειδή η κλίμακα πάχους είναι περιοδική, το πάχος είναι γνωστό μέσα σε μια κλίμακα προσέγγισης 2400 Å. Επομένως αν το πάχος είναι γνωστό κατά προσέγγιση, η ελλειψομετρία μπορεί να χρησιμοποιηθεί για να καθοριστεί το πάχος με ακρίβεια. Στην ελλειψομετρία χρησιμοποιούνται συμβατικές οπτικές διατάξεις όπως πρίσματα NICHOL, πλακίδια $\lambda/4$, πολωτές και αναλυτές. Παρακάτω φαίνεται ένα τυπικό σύστημα για τη μέτρηση του πάχους του οξειδίου με τη μέθοδο της ελλειψομετρίας.



Σχήμα 3.4 Τυπικό σύστημα για τη μέτρηση του πάχους του οξειδίου με τη μέθοδο της ελλειψομετρίας

4. Για τη μέτρηση του πάχους του οξειδίου είναι δυνατόν να χρησιμοποιηθεί και μια μηχανική τεχνική. Το αντίστοιχο όργανο που χρησιμοποιείται για αυτό τον σκοπό είναι μια γραφίδα από διαμάντι, η οποία διατρέχει μηχανικά την επιφάνεια του δείγματος με μικρή δύναμη ανίχνευσης (15 mgr). Το οξείδιο πρέπει να ξυθεί επιλεκτικά, ώστε να δημιουργηθεί ένα σκαλοπάτι για τη μέτρηση. Τα όργανα αυτά είναι ικανά να ανιχνεύσουν ύψη σκαλοπατιού από 25 Å ως 100 μm με πιο αξιόπιστες αναγνώσεις για τα μεγαλύτερα ύψη σκαλοπατιού.

ΚΕΦΑΛΑΙΟ 4

Διάχυση Και Εμφύτευση Ιόντων

Εισαγωγή

Η εισαγωγή προσμίξεων σε ένα ημιαγωγό αλλάζει πολλές από τις ηλεκτρικές ιδιότητες, όπως: τον τύπο των φορέων πλειονότητας, τη συγκέντρωση των φορέων, την ευκινησία των φορέων, το χρόνο ζωής του πλεονάσματος φορέων και τα εσωτερικά ηλεκτρικά πεδία του ημιαγωγού.

Οι προσμίξεις που έχουν ενεργειακές στάθμες κοντά στις ζώνες αγωγιμότητας και σθένους είναι αυτές που ανήκουν στις ομάδες III και IV του περιοδικού συστήματος, είναι δηλαδή οι προσμίξεις αντικατάστασης που χρησιμοποιούνται για τη ρύθμιση της συγκέντρωσης των φορέων και του τύπου των φορέων πλειονότητας μέσα στο υλικό.

Period	I ^A	II ^A	III ^A	IV ^A	V ^A	VI ^A	VII ^A	Noble Gases										
1	1 H 1.008							2 He 4.003										
2	3 Li 6.941	4 Be 9.012						10 Ne 20.18										
3	11 Na 22.99	12 Mg 24.31						18 Ar 39.95										
4	19 K 39.10	20 Ca 40.08	21 Sc 44.96	22 Ti 47.88	23 V 50.94	24 Cr 51.99	25 Mn 54.94	26 Fe 55.85	27 Co 58.93	28 Ni 58.69	29 Cu 63.55	30 Zn 65.39	31 Ga 69.72	32 Ge 72.59	33 As 74.92	34 Se 78.96	35 Br 79.90	36 Kr 83.80
5	37 Rb 85.47	38 Sr 87.62	39 Y 88.91	40 Zr 91.22	41 Nb 92.91	42 Mo 95.94	43 Tc 98	44 Ru 101.1	45 Rh 102.9	46 Pd 106.4	47 Ag 107.9	48 Cd 112.4	49 In 114.8	50 Sn 118.7	51 Sb 121.8	52 Te 127.6	53 I 126.9	54 Xe 131.3
6	55 Cs 132.9	56 Ba 137.3	57 La 138.9	58 Hf 178.5	59 Ta 180.8	60 W 183.9	61 Re 186.2	62 Os 190.2	63 Ir 192.2	64 Pt 195.1	65 Au 197.0	66 Hg 200.6	67 Tl 204.4	68 Pb 207.2	69 Bi 209.0	70 Po 209	71 At 210	72 Rn 222
7	87 Fr 223	88 Ra 226	89 Ac 227.0	104 Unq 261	105 Unp 262	106 Unh 263	107 Uns 262											

Σχήμα 4.1 Περιοδικός Πίνακας

Αν και όλες οι προσμίξεις έχουν τη τάση να μειώνουν το χρόνο ζωής του πλεονάσματος φορέων, οι προσμίξεις, που εμφανίζουν ενεργειακές στάθμες κοντά

στο μέσο του ενεργειακού χάσματος , όπως π.χ ο χρυσός , είναι ενεργά κέντρα επανασύνδεσης και εισάγονται στο πυρίτιο όταν θέλουμε να μειωθεί ο χρόνος ζωής του πλεονάσματος φορέων.

Η εισαγωγή προσμίξεων , είτε ενδοπλεγματικών , είτε αντικατάστασης , προκαλεί αποκλίσεις από το τέλειο κρυσταλλικό πλέγμα του ημιαγωγού. Παρόμοια και οι θερμικές διαταραχές των πλεγματικών ατόμων αντιπροσωπεύουν αποκλίσεις από τη δομή τέλειου πλέγματος. Οι αποκλίσεις αυτές προκαλούν πρόσθετες σκεδάσεις των φορτίων και μεταβάλλουν την ενεργό ευκινησία των φορέων. Όπως είναι φυσικό ο ιονισμένες προσμίξεις είναι ιδιαίτερα δραστικές στη σκέδαση των φορτίων.

Εξ' άλλου η συγκέντρωση ελευθέρων φορέων σ' ένα ημιαγωγό εξαρτάται από την "καθαρή" συγκέντρωση προσμίξεων , δηλαδή από τη διαφορά μεταξύ της συγκέντρωσης των δοτών και της συγκέντρωσης των αποδεκτών. Αυτό επιτρέπει να μετατρέψουμε ένα υλικό τύπου p σε υλικό τύπου n και αντίστροφα προσθέτοντας αρκετά άτομα δότου ώστε να υπέρ-αντισταθμιστούν τα άτομα του αποδέκτη. Επειδή στη θερμοκρασία περιβάλλοντος πρακτικά όλες οι προσμίξεις αντικατάστασης είναι ιονισμένες , σ' ένα μη αντισταθμισμένο υλικό τύπου n , οι αποδέκτες δέχονται ηλεκτρόνια από τους δότες και όχι από τη ζώνη σθένους όπως σ' ένα μη αντισταθμισμένο υλικό τύπου p και αντίστροφα σ' ένα αντισταθμισμένο ημιαγωγού τύπου p

Θα πρέπει να επισημάνουμε ότι η καθαρή συγκέντρωση προσμίξεων καθορίζει τη συγκέντρωση των ελευθέρων φορέων αλλά η ολική συγκέντρωση των προσμίξεων καθορίζει την ευκινησία των φορέων και το χρόνο ζωής του πλεονάσματος φορέων. Δυστυχώς πολλά από τα δεδομένα που διαθέτουμε για το πυρίτιο , όπως η ειδική αντίσταση σε συνάρτηση με την συχνότητα προσμίξεων (σχήμα 2.5) και ο χρόνος ζωής του πλεονάσματος φορέων συναρτήσει της ειδικής αντίστασης

έχουν προσδιοριστεί για μη αντισταθμισμένα δείγματα και πρέπει να προσέξουμε κατά τη χρησιμοποίησή τους για τη σχεδίαση διατάξεων.

Οι προσμίξεις μπορούν να εισαχθούν στο υλικό του ημιαγωγού κατά πολλούς τρόπους. Ήδη αναφέραμε για τη προσθήκη προσμίξεων κατά την ανάπτυξη των κρυστάλλων και την επιταξία. Μια άλλη μορφή ντοπαρίσματος , είναι η μέθοδος των κραμάτων κατά την οποία σχηματίζεται μια τηγμένη περιοχή , που στη συνέχεια αφήνουμε να ξανακρυσταλλωθεί. Στο κεφάλαιο αυτό θα μελετήσουμε την εισαγωγή ατόμων προσμίξεων στη στερεά κατάσταση με διάχυση και εμφύτευση ιόντων.

4.1 Διάχυση

Η διάχυση είναι μια δημοφιλής τεχνική για τη δημιουργία τοπικών (localization) επαφών στους ημιαγωγούς. Σαν μάσκα για τη διάχυση των περισσότερων προσμίξεων αντικατάστασης στο πυρίτιο , χρησιμοποιείται το διοξείδιο του πυριτίου. Ανοίγοντας με μια διαδικασία φωτοχάραξης , οπές στη επιφάνεια του οξειδίου του πυριτίου , που καλύπτει το θερμικό οξειδωμένο πυρίτιο , είναι δυνατόν να εισάγουμε προσμίξεις σε επιλεγμένες περιοχές του υποστρώματος

και να δημιουργήσουμε επαφές p - n , που θα αποτελέσουν τμήμα των διατάξεων ημιαγωγού.

Η διάχυση χρησιμοποιείται επίσης για την ανακατανομή των προσμίξεων που έχουν εισαχθεί στον ημιαγωγό με οποιαδήποτε μέθοδο.

4.1.1 Η Πρακτική Διαδικασία Της Διάχυσης

Ο φυσικός εξοπλισμός που χρησιμοποιείται για τη διάχυση είναι ουσιαστικά ο ίδιος με αυτόν που χρησιμοποιείται για την οξείδωση. Όλα ουσιαστικά τα συστήματα παραγωγής χρησιμοποιούν για τη διάχυση διατάξεις ανοιχτού σωλήνα αν και είναι δυνατόν να πραγματοποιηθεί η διάχυση και υπό μειωμένη πίεση , σε κλειστό σωλήνα από τηγμένο χαλαζία.

Οι πηγές διάχυσης υπάρχουν σε στερεά , υγρά και αέρια μορφή για τα περισσότερα υλικά προσμίξεων.

Στην πράξη η διάχυση πραγματοποιείται συνήθως σε δύο στάδια (two step diffusion) για μεγαλύτερη επιτυχία της επιθυμητής κατανομής των προσμίξεων. Το πρώτο στάδιο είναι μια πολύ ρηχή διάχυση σταθερής πηγής που ονομάζεται προαπόθεση (predeposition) . Το δεύτερο στάδιο χρησιμοποιεί το αποτέλεσμα της προαπόθεσης σαν πηγή για μια διάχυση περιορισμένης πηγής (limited source) συνήθως σε μια οξειδωτική ατμόσφαιρα και ονομάζεται ανακατανομή (redistribution) .

A) Κατά την προαπόθεση η ποσότητα προσμίξεων , Q , που μεταφέρεται μέσα από την επιφάνεια κατά χρονικό διάστημα t_1 , δίνεται από τον παρακάτω :

$$Q = 2N_0 \left(\frac{D_1 t_1}{\pi} \right)^{\frac{1}{2}}$$

Σχέση 4.1

Όπου N_0 είναι η επιφανειακή συγκέντρωση κατά τη διάρκεια της διάχυσης σταθερής πηγής και D_1 είναι ο συντελεστής διάχυσης για το διαχεόμενο υλικό στη θερμοκρασία προ-απόθεσης .

B) Η συγκέντρωση των προσμίξεων κατά τη διάρκεια της ανακατανομής βρίσκεται από την παρακάτω εξίσωση :

$$N(x, t_1, t_2) = \left(\frac{2N_0}{\pi} \right) \left(\frac{D_1 t_1}{D_2 t_2} \right)^{\frac{1}{2}} e^{-\frac{x^2}{4D_2 t_2}}$$

Σχέση 4.2

Όπου ο δείκτης “ 2 “ αναφέρεται στην ανακατανομή. Αυτή η εξίσωση ισχύει μόνο όταν

$$D_1 t_1 \ll D_2 t_2$$

Σχέση 4.3

Πράγμα που συμβαίνει συνήθως , διότι το στάδιο της προ-απόθεσης πραγματοποιείται συνήθως σε πολύ χαμηλότερη θερμοκρασία από το στάδιο της ανακατανομής και επομένως με πολύ μικρότερο συντελεστή διάχυσης.

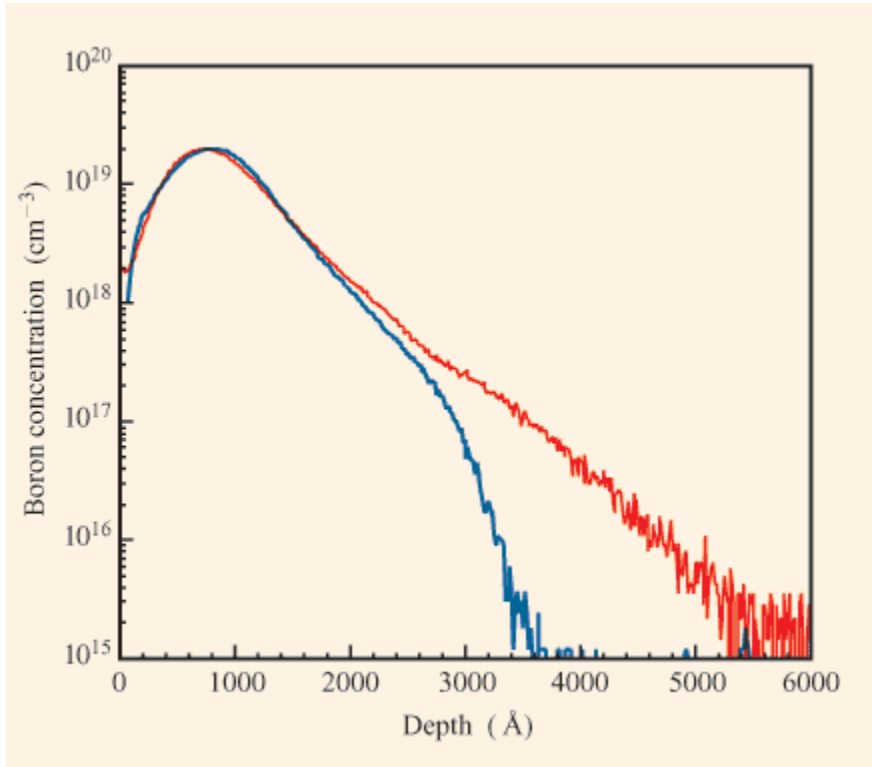
Οξείδωση Κατά Τη Διάχυση

Στην πράξη το στάδιο ανακατανομής της διάχυσης συνοδεύεται συνήθως από οξείδωση , με σκοπό την ανάπτυξη μια στιβάδας οξειδίου του πυριτίου που θα χρησιμοποιηθεί σαν στρώμα απομόνωσης για τις επόμενες διαδικασίες.

Η οξείδωση αυτή περιπλέκει πολύ τον νόμο της ανακατανομής διότι προκαλεί αφ' ενός μεν κατανάλωση πυριτίου και επομένως μετατόπιση της επιφάνειας του πυριτίου και αφ' ετέρου δε καταμερισμό των προσμίξεων μεταξύ οξειδίου (όπου γίνονται αδρανείς) και του πυριτίου (όπως παραμένουν ενεργές). Πράγματι , το βόριο ενσωματώνεται εύκολα , μέσα στο αναπτυσσόμενο οξείδιο με αποτέλεσμα τη μείωση της επιφανειακής συγκέντρωσης , ενώ ο φώσφορος αποβάλλεται από το αναπτυσσόμενο οξείδιο , αυξάνοντας την επιφανειακή συγκέντρωση του , στο πυρίτιο.

Αν χρησιμοποιείται υγρά οξείδωση κατά το στάδιο ανακατανομής βορίου , η ταχεία ανάπτυξη του οξειδίου μπορεί να απομακρύνει το 80% του βορίου της προ-απόθεσης. Για το λόγο αυτό , κατά την έναρξη της ανακατανομής του βορίου χρησιμοποιείται αδρανής ατμόσφαιρα ή ξηρό οξυγόνο και στη συνέχεια ένας κύκλος με υδρατμούς μέχρι να πετύχουμε το επιθυμητό πάχος οξειδίου.

Στο σχήμα 4.2 φαίνεται μια τυπική κατανομή προσμίξεων βορίου πριν και μετά από έναν κύκλο οξειδωτικής ανακατανομής.



Σχήμα 4.2 Τυπική Κατανομή Προσμίξεων Βορίου Πριν(μπλε) Και Μετά(κόκκινο) Από Έναν Κύκλο Οξειδωτικής Ανακατανομής.

Η αποβολή του φωσφόρου από το οξείδιο κατά τη διάρκεια της οξειδωσης, έχει σαν αποτέλεσμα την αύξηση της επιφανειακής συγκέντρωσης του στην επιφάνεια του πυριτίου. Το αποτέλεσμα ονομάζεται φαινόμενο “snow – plow”, συνιστάται σε μια φαινόμενη μείωση της ενέργειας ενεργοποίησης της διάχυσης από 3.6 σε 2.5 eV η οποία αντιπροσωπεύει σημαντική αύξηση του συντελεστή διάχυσης.

Πολλαπλές ή Διαδοχικές Διαχύσεις

Έχει παρατηρηθεί ότι οι διαχύσεις που περιλαμβάνουν δύο ή περισσότερα είδη προσμίξεων δεν είναι ανεξάρτητες μεταξύ τους, ειδικά στις διαδοχικές διαχύσεις για το σχηματισμό των περιοχών βάσης και εκπομπού ενός διπολικού τρανζίστορ παρατηρείται ότι η επαφή βάσης – συλλέκτη κάτω από την περιοχή εκπομπού δεν βρίσκεται στο ίδιο βάθος με την επαφή βάσης – συλλέκτη έξω από την περιοχή του εκπομπού. Όταν ο εκπομπός είναι από φώσφορο και η βάση από βόριο, η επαφή βάσης – συλλέκτη είναι πιο βαθιά κάτω από τον εκπομπό. Αυτή ονομάζεται *εμπλουτισμένη διάχυση* κάτω από τον εκπομπό (emitter push). Όταν ο εκπομπός είναι από αρσενικό και η βάση από βόριο, η επαφή βάσης – συλλέκτη είναι πιο ρηχή κάτω από τον εκπομπό. Αυτό ονομάζεται *επιβράδυνση* του εκπομπού (emitter pull).

Ο “εμπλουτισμός” της διάχυσης κάτω από τον εκπομπό οφείλεται σε απόξευση του συμπλέγματος φωσφόρος – διπλά φορτισμένο πλεγματοειδές κενό, η οποία

ελευθερώνει πλεγματικά κενά για τη διάχυση και του βορίου. Έτσι το ποσοστό της διάχυσης του βορίου που πραγματοποιείται κατά τη διάχυση του φωσφόρου εμφανίζει πολύ μεγαλύτερο συντελεστή διάχυσης. Επειδή ο παράγοντας αυτός εμπλουτισμού μπορεί να είναι της τάξης του 100, το φαινόμενο αυτό είναι αρκετό έντονο.

Η επιβράδυνση του εκπομπού συμβαίνει εξ' αιτίας της δημιουργίας συμπλεγμάτων αρσενικού – πλεγματικού κενού, που μειώνουν τον αριθμό των πλεγματικών κενών που διατίθεται για το βόριο.

Το φαινόμενο αυτό είναι πολύ ασθενέστερο από τον εμπλουτισμού που οφείλεται στον φώσφορο. Τα συμπλέγματα αρσενικού – πλεγματικού κενού δεν εμφανίζονται αν χρησιμοποιεί για την προαπόθεση εμφύτευση ιόντων και επομένως τότε δεν εμφανίζεται επιβράδυνση του εκπομπού.

4.1.2 Μάσκες Διάχυσης

Τα ολοκληρωμένα κυκλώματα βασίζονται στην κατασκευή επιπεδικών διατάξεων με επιλεκτικό ντοπάρισμα περιοχών του υποστρώματος. Για την πραγματοποίηση αυτού του επιλεκτικού ντοπάρισματος είναι απαραίτητη η χρήση υλικών που δρουν σαν μάσκες για τη διάχυση προσμίξεων. Το πιο δημοφιλές υλικό για μάσκες διάχυσης είναι το θερμικό αναπτυσσόμενο διοξείδιο του πυριτίου. Οι οπές για τη διάχυση δημιουργούνται στο οξείδιο. Η αποτελεσματικότητα της μάσκας εξαρτάται από το υλικό διάχυσης, τη θερμοκρασία διάχυσης και τη διάρκεια της διαδικασίας υψηλής θερμοκρασίας.

Οι συντελεστές διάχυσης του βορίου, του αρσενικού και του φωσφόρου μέσα στο διοξείδιο του πυριτίου είναι δύο ως τρεις τάξεις μεγέθους μικρότεροι από τους αντίστοιχους συντελεστές στο Si. Αντίθετα άλλες ουσίες, όπως το γάλλιο, το ίνδιο και το αλουμίνιο έχουν συντελεστές διάχυσης στο διοξείδιο του πυριτίου της ίδιας τάξης μεγέθους όπως και στο πυρίτιο. Επομένως το διοξείδιο του πυριτίου δεν είναι αποτελεσματική μάσκα για αυτές τις προσμίξεις και πρέπει να αποφεύγεται η μόλυνση της διαδικασίας από αυτά τα σχετικά γρήγορα διαχεόμενα υλικά.

Ο μηχανισμός διάχυσης του βορίου και του αρσενικού μέσα στο άμορφο θερμικό οξείδιο είναι πολύ διαφορετικός από τον μηχανισμό διάχυσης στον μονοκρυστάλλο πυριτίου. Αν υπάρχει αρκετή συγκέντρωση ατόμων προσμίξεων, περίπου 10^{19} cm^{-3} , το οξείδιο μετατρέπεται βαθμιαία σε ντοπαρισμένο γυαλί. Όταν όλο το οξείδιο μετατραπεί σε ντοπαρισμένο γυαλί, τότε αυτό γίνεται πηγή για τη διάχυση προσμίξεων μέσα στο υπόστρωμα του πυριτίου και δεν είναι πια μάσκα.

Επειδή ο συντελεστής διάχυσης του αρσενικού στο διοξείδιο του πυριτίου είναι περίπου μια τάξη μεγέθους μικρότεροι από αυτόν του βορίου, το ίδιο πάχος οξειδίου μπορεί να χρησιμεύσει σαν μάσκα για το βόριο και για το αρσενικό. Ο συντελεστής διάχυσης του αντιμονίου στο διοξείδιο του πυριτίου εμφανίζει ισχυρότερη εξάρτηση από τη θερμοκρασία. Έτσι σε θερμοκρασίες μέχρι $1050 \text{ }^\circ\text{C}$ το πάχος οξειδίου που χρειάζεται για τη διάχυση του φωσφόρου είναι αρκετό και για το αντιμόνιο ενώ σε θερμοκρασίες πάνω από $1150 \text{ }^\circ\text{C}$ απαιτούνται μεγαλύτερα πάχη οξειδίου.

Σαν μάσκες διάχυσης μπορούν επίσης να χρησιμοποιηθούν στρώματα απόθεσης διοξειδίου του πυριτίου ή νιτριδίου του πυριτίου. Τα οξείδια απόθεσης

είναι συνήθως λιγότερο συχνά από τα θερμικά οξειδία για αυτό οι μάσκες που κατασκευάζονται από αυτά θα πρέπει να έχουν μεγαλύτερο πάχος. Το νιτρίδιο του πυριτίου είναι θαυμάσια μάσκα διάχυσης, αλλά τα πρόσθετα στάδια διαδικασίας που απαιτούνται για την απόθεση και τη χάραξη του έχουν σαν αποτέλεσμα την περιορισμένη χρήση του.

Οι πραγματικές διαστάσεις της περιοχής διάχυσης είναι λίγο μεγαλύτερες από τα παράθυρα της μάσκας, λόγω της πλευρικής διάχυσης. Επειδή οι οριακές συνθήκες για πλάγια διάχυση είναι διαφορετικές από αυτές για κάθετη διάχυση, τα βάθη των πλευρικών επαφών είναι ελαφριά μικρότερα από αυτά που μετριοούνται κάθετα στην επιφάνεια.

Η πλευρική διάχυση επιδρά με διάφορους τρόπους στις ηλεκτρικές ιδιότητες των επαφών. Η πιο βασική συνέπεια της πλευρικής διάχυσης είναι ότι η τομή της επαφής με την επιφάνεια του πυριτίου βρίσκεται κάτω από το προστατευτικό στρώμα του διοξειδίου του πυριτίου. Με τον τρόπο αυτό οι επαφές μπορούν να έχουν αναπαραγωγίμα χαρακτηριστικά ανάστροφης τάσης κατάρρευσης, ενώ στις μη προστατευμένες επαφές, κυριαρχούν οι τυχαίες επιφανειακές συνθήκες.

Ένα άλλο αποτέλεσμα της πλευρικής διάχυσης είναι ότι η επιφανειακή απόσταση μεταξύ δύο περιοχών διάχυσης, μπορεί να γίνει μικρότερη από τις διαστάσεις που επιτρέπει η διαδικασία της φωτολιθογραφίας. Αυτό μπορεί να χρησιμοποιηθεί για να βελτιωθούν τα χαρακτηριστικά των πλευρικών τρανζίστορ pnp.

Μια ανεπιθύμητη πλευρά της πλευρικής διάχυσης, είναι η αύξηση της χωρητικότητας επαφής, λόγω της αύξησης της επιφάνειας.

4.1.3 Συστήματα Διάχυσης

Πηγές διάχυσης υπάρχουν σε στερεά, υγρά και αέρια κατάσταση για τα περισσότερα υλικά προσμίξεων. Στην συνέχεια θα αναφερθούμε στις κυριότερες πηγές διάχυσης φωσφόρου και αρσενικού.

A) Πηγές Διάχυσης Φωσφόρου

Τα πιο διαδεδομένα συστήματα διάχυσης φωσφόρου, χρησιμοποιούν σαν πηγή προσμίξεων οξυχλωρίδιο του φωσφόρου (POCl_3) που είναι υγρό, ή φωσφίνη (PH_3), που είναι αέριο, τοξικό. Και στις δύο περιπτώσεις το συστατικό της πηγής αντιδρά με οξυγόνο για να σχηματιστεί πεντοξείδιο του φωσφόρου (P_2O_5) μέσα στο σωλήνα του φούρνου διάχυσης. Στερεό P_2O_5 έχει χρησιμοποιηθεί σαν πηγή φωσφόρου με άζωτο σαν αέριο φορέα. Πρέπει όμως να διατηρείται σε θερμοκρασία $200^\circ - 300^\circ \text{K}$ και επομένως πρέπει να υπάρχει μια αύξουσα θερμοβαθμίδα από την πηγή προς τα υποστρώματα ώστε να αποφευχθεί η απόθεση του στα τοιχώματα του φούρνου.

Τέλος έχουν αναπτυχθεί επίπεδες (flatways) στερεές πηγές φωσφόρου που αποτελούνται από κεραμικό υπόστρωμα που περιέχει P_2O_5 και οξείδιο του ασβεστίου (CaO). Τα υποστρώματα αυτά τοποθετούνται μαζί με τις πλακέτες πυριτίου σε ένα φορέα από χαλαζία και σε κάθε τρίτη εγκοπή (notch) του φορέα, σε

τρόπο ώστε κάθε πλακέτα πυριτίου να βρίσκεται απέναντι από ένα κεραμικό υπόστρωμα.

Ανεξάρτητα από το είδος της πηγής, στην πράξη η διάχυση φωσφόρου γίνεται από ένα στρώμα γυαλιού φωσφορούχου πυριτίου που αναπτύσσεται πάνω στο υπόστρωμα. Το γυαλί του φωσφορούχου πυριτίου απομακρύνεται μετά το τέλος της διαδικασίας σε (buffered) υδροφθωρικό οξύ.

Β) Πηγές Διάχυσης Βορίου

Οι πηγές διάχυσης βορίου διατίθενται σε διάφορες μορφές όπως και οι πηγές φωσφόρου.

Το τριοξείδιο του βορίου (B_2O_3) είναι μια δημοφιλής στερεά πηγή που μπορεί να χρησιμοποιηθεί σε θερμοκρασίες από 600° ως 1200° K. Το τριβρωμιούχο βόριο (BBr_3) είναι μια πηγή υγρή, που χρησιμοποιείται, όπως το οξυχλωρίδιο του φωσφόρου σε αναβραστήρα ελεγχόμενης θερμοκρασίας μέσα από τον οποίο περνάει άζωτο. Το οξυγόνο αντιδρά με το BBr_3 μέσα στο σωλήνα του φούρνου και σχηματίζει B_2O_3 . Η πιο διαδεδομένη αέρια πηγή βορίου είναι το διβωράνιο (B_2H_6) ένα ισχυρά τοξικό υλικό.

Οι στερεές επίπεδες πηγές, είναι πιο διαδεδομένες για το βόριο παρά για το φώσφορο. Ένας τύπος αποτελείται από οξειδωμένα υποστρώματα από πεπιεσμένο νιτρίδιο του βορίου (BN) που σχηματίζει B_2O_3 . Άλλος τύπος συνιστάται από υποστρώματα γυαλιού κεραμικού που περιέχουν B_2O_3 , SiO_2 , Al_2O_3 , MgO και BaO .

Όπως στην περίπτωση του φωσφόρου η πραγματική πηγή της διάχυσης είναι ένα στρώμα γυαλιού βοριούχου πυριτίου σε επαφή με την επιφάνεια του πυριτίου. Το γυαλί βοριούχου πυριτίου απομακρύνεται πιο δύσκολα (από το φωσφορούχο πυρίτιο) σε διάλυμα HNO_3 και HF . Συνήθως πραγματοποιείται μια σύντομη υγρή οξείδωση στο τέλος της προαπόθεσης του βορίου, ώστε να διευκολυνθεί η απομάκρυνση του γυαλιού βορίου.

Γ) Πηγές Διάχυσης Αρσενικού

Πολλές ενώσεις που περιέχουν αρσενικό, είναι πολύ τοξικές και γι' αυτό το λόγο σε διαχύσεις με αρσενικό αποφεύγονται για πολλά χρόνια στην βιομηχανία. Αντί γι' αυτό χρησιμοποιούσαν αντιμόνιο για τα θαμμένα στρώματα παρ' όλο που δίνει μεγαλύτερη αντίσταση φύλλου από το αρσενικό. Οι βελτιώσεις στις τεχνικές χειρισμού των τοξικών αερίων έκαναν την αρσίνη (AsH_3) μια βιώσιμη πηγή διάχυσης ανοιχτού σωλήνα για το αρσενικό. Επίσης σαν πηγές αρσενικού χρησιμοποιούνται και ντοπαρισμένα οξείδια του.

4.2.Εμφύτευση Ιόντων

Η εμφύτευση ιόντων είναι μια τεχνική εισαγωγής προσμίξεων στους ημιαγωγούς σε χαμηλή θερμοκρασία. Παρέχει μια ευελιξία που δεν είναι δυνατή με διάχυση. Π.χ. στα διπολικά τρανζίστορ η βάση μπορεί να εμφυτευτεί μέσα από τον εκπομπό. Στα MOS μπορεί να χρησιμοποιηθεί η εμφύτευση ιόντων για να ρυθμιστεί με ακρίβεια η

τάση κατωφλίου. Ακόμα μπορούν να κατασκευαστούν με εμφύτευση ιόντων αντιστάσεις μεγάλης τιμής με πολύ χαμηλούς θερμικούς συντελεστές.

Με την εμφύτευση ιόντων ο σχεδιαστής δεν έχει πλήρη έλεγχο της κατανομής των προσμίξεων , διότι η δόση των ιόντων καθορίζει μεν την ολική συγκέντρωση προσμίξεων που αποτίθενται στο πυρίτιο αλλά όχι τη μορφή και τη θέση της κατανομής τους , η οποία εξαρτάται από την ενέργεια εμφύτευσης και τη θερμική επεξεργασία που ακολουθεί την εμφύτευση. Η καταστροφή του υλικού περιορίζει την ενέργεια εμφύτευσης σε τρόπο ώστε το μέγιστο βάθος εμφύτευσης είναι μικρότερο από 1 μm από την επιφάνεια. Η εμφύτευση ιόντων μπορεί να χρησιμοποιηθεί σαν πηγή για τον κύκλο ανακατανομής της διάχυσης ώστε να επιτευχθούν βαθύτερες κατανομές πρόσμιξης.

4.2.1 Κατανομές Εμφύτευσης Ιόντων

Όταν ενεργά ιόντα μπαίνουν σένα υλικό , χάνουν ενέργεια λόγω αλληλεπίδρασης με αυτό. Για τον υπολογισμό της κατανομής των προσμίξεων λαμβάνουμε υπ' όψη δύο είδη αλληλεπιδράσεων.

A) Τις κρούσεις μεταξύ ιόντων και των πυρήνων του στόχου (cockshy) (που κυριαρχούν) για βαριά ιόντα και μικρές ενέργειες

B) Τις αλληλεπιδράσεις μεταξύ ιόντων και ηλεκτρονικών νεφών των ατόμων του στόχου που κυριαρχούν για ελαφρά ιόντα και υψηλές ενέργειες.

Εξ' άλλου , για τον θεωρητικό υπολογισμό της κατανομής των ιόντων μέσα στο υλικό , δεχόμαστε ότι το υπόστρωμα είναι άμορφο. Αν το υπόστρωμα είναι κρυσταλλικό , όπως συμβαίνει στους ημιαγωγούς και η δέσμη των ιόντων σχηματίζει γωνία μερικών μόνο μοιρών με κάποια από τις κύριες κρυσταλλικές διευθύνσεις , εμφανίζεται το φαινόμενο του “ καναλισμού ” (channeling) των ιόντων. Η μέση απόσταση που διανύουν βαριά ιόντα , όπως το αρσενικό , σε συνθήκες καναλισμού , μπορεί να είναι και 50 φορές μεγαλύτερη απ' ότι στο άμορφο υλικό. Για το λόγο αυτό συνηθίζεται να πραγματοποιούνται οι εμφυτεύσεις ιόντων μέσα σε μια γωνία 7° από την κάθετο προς το υπόστρωμα , οπότε το υπόστρωμα εμφανίζεται σαν άμορφο.

Τέλος δεν λαμβάνονται υπ' όψη οι πραγματικές αποστάσεις που διανύθηκαν από τα ιόντα νέα στο υλικό διότι αυτά μπορεί να ακολουθούν τεθλασμένες διαδρομές μέχρι τον τελικό προορισμό τους. Το μέγεθος που ενδιαφέρει είναι η μέση απόσταση που διανύθηκε παράλληλα προς τη διεύθυνση της δέσμης. Αυτή ονομάζεται

“ προβαλλόμενη περιοχή “ και συμβολίζεται με R_p . Οι άλλες ποσότητες που ενδιαφέρουν είναι η “ απόκλιση “ ΔR_p , μέσα στην προβαλλόμενη περιοχή και η μέγιστη συγκέντρωση των ιόντων , N_p , μέσα στο υλικό.

Έτσι η κατανομή ιόντων μέσα στο υλικό , $N(x)$, παίρνει τη μορφή μια Γκαουσιανής (Gauss) που δίνεται από τη σχέση :

$$N(x) = N_p e^{-\frac{(x-R_p)^2}{2\Delta R_p^2}}$$

Σχέση 4.4

Όπου x είναι η απόσταση μέσα στο αποτύπωμα μετρούμενη από την επιφάνεια του. Η ολική δόση ιόντων N_s , σε αριθμό ιόντων ανά τετραγωνικό εκατοστό, βρίσκεται από τη σχέση :

$$N_s = \int_{-\infty}^{+\infty} N(x) dx$$

Σχέση 4.5

Η οποία δίνει :

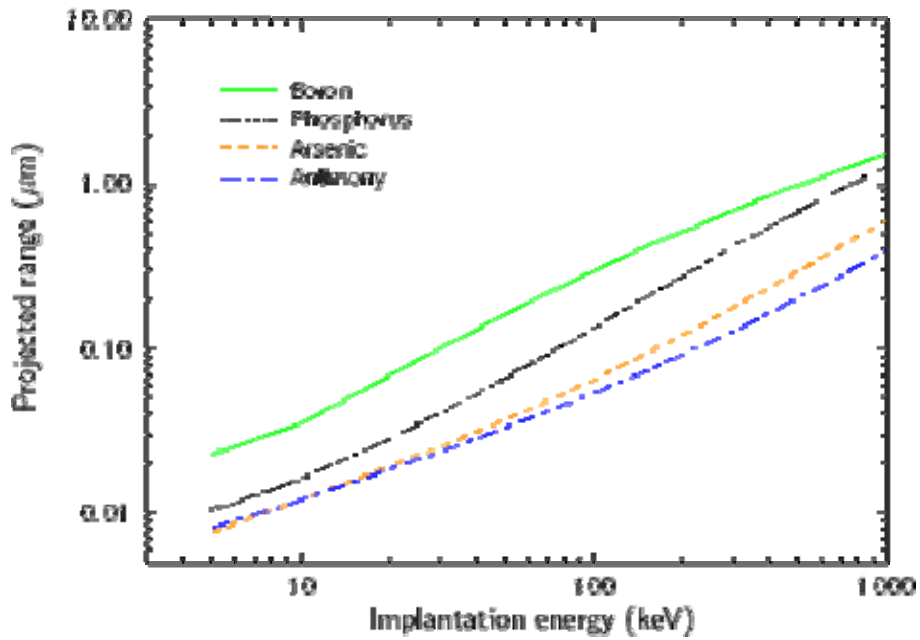
$$N_s = \Delta R_p * N_p * \sqrt{2\pi} \Rightarrow N_p = \frac{N_s}{\sqrt{2\pi} \Delta R_p} = \frac{0.4 N_s}{\Delta R_p}$$

Σχέση 4.6

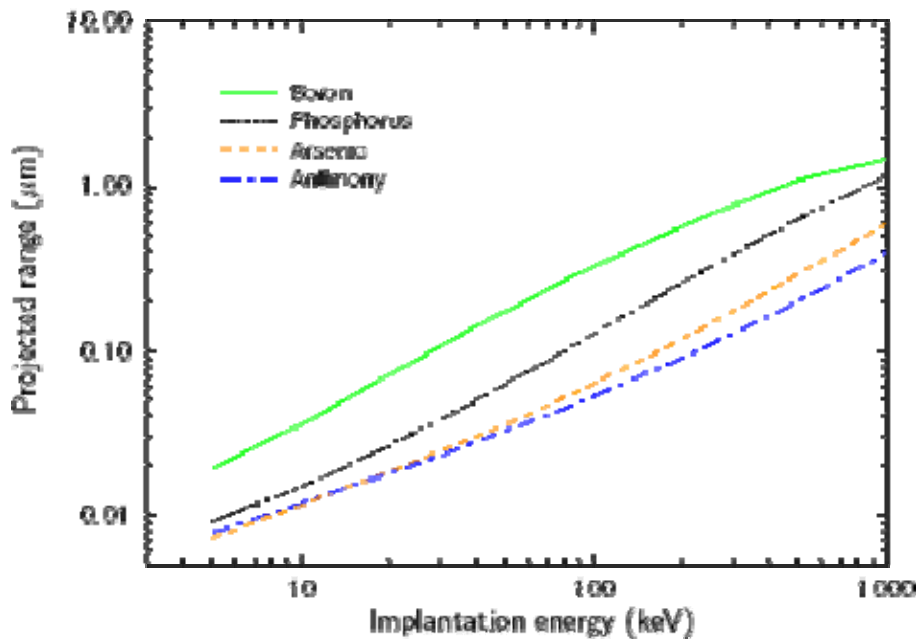
Από τη παραπάνω σχέση φαίνεται ότι η μέγιστη συγκέντρωση ιόντων, εξαρτάται από την ολική δόση, N_s , και την απόκλιση ΔR_p . Η απόκλιση είναι συνάρτηση του είδους του ιόντος και της ενέργειας εμφύτευσης. Στον πίνακα 4.1 δίνονται διάφορες χαρακτηριστικές τιμές της Γκαουσιανής. Στο σχήμα 4.2 και 4.3 δίνονται η προβαλλόμενη περιοχή και η απόκλιση για διάφορες προσμίξεις των ομάδων III και V στο πυρίτιο.

$N(x)/N_p$	1	0.5	0.1	0.01	0.001	0.0001
$x=R_p \pm$	0	$1.2\Delta R_p$	$2\Delta R_p$	$3\Delta R_p$	$3.7\Delta R_p$	$4.3\Delta R_p$

Πίνακας 4.1



Σχήμα 4.2 Προβαλλόμενη περιοχή μέσα στο πυρίτιο σαν συναρτήσεις της ενέργειας εμφύτευσης για διάφορες προσμίξεις



Σχήμα 4.3 Προβαλλόμενη περιοχή μέσα στο διοξείδιο του πυρίτιο σαν συναρτήσεις της ενέργειας εμφύτευσης για διάφορες προσμίξεις

Η αντίσταση φύλλου που συνδέεται με μια συγκεκριμένη εμφύτευση μπορεί να εκτιμηθεί με τον ακόλουθο τρόπο. Η συγκέντρωση φορέων n_0 (ή p_0) δίνεται κατά προσέγγιση από τη σχέση :

$$n_s = \frac{N_s}{2.5\Delta R_p}$$

Σχέση 4.7

Αυτή η τιμή μπορεί να χρησιμοποιηθεί για τον προσδιορισμό της ευκινησίας των φορέων. Οποτε η αντίσταση φύλλου υπολογίζεται από την :

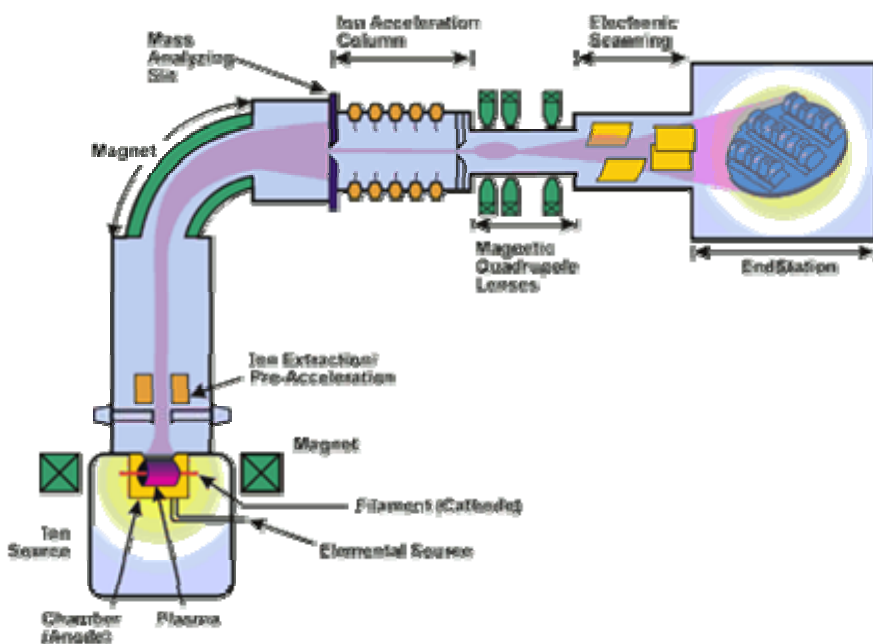
$$R_s = (q * N_s * \mu)^{-2}$$

Σχέση 4.8

Η πραγματική αντίσταση φύλλου εξαρτάται από τον κύκλο ανάπτυξης. Αν η θερμοκρασία ανάπτυξης είναι επαρκής για να ενεργοποιήσει όλα τα εμφυτευμένα ιόντα , η αντίσταση φύλλου θα πλησιάζει την τιμή που υπολογίζεται από την παραπάνω σχέση.

4.2.2. Οι Συσκευές Εμφύτευσης Ιόντων

Ο εξοπλισμός που απαιτείται για την εμφύτευση ιόντων είναι ογκώδης και δαπανηρός. Ένα τυπικό σύστημα εμφύτευσης ιόντων , φαίνεται στο παρακάτω σχήμα.



Σχήμα 4.4 Τυπικό σύστημα εμφύτευσης ιόντων

Παρακάτω θα περιγράψουμε την αρχή λειτουργίας του συστήματος. Τα ιόντα δημιουργούνται με ηλεκτρική εκκένωση (εκφόρτιση) η οποία συντηρείται από τους ατμούς του υλικού που θέλουμε να ιονιστεί. Τυπικά υλικά που χρησιμοποιούνται είναι το BF_3 για εμφύτευση βορίου , η φωσφίνη (PH_3) για την φωσφόρο και η αρσίνη (AsH_3) για το αρσενικό.

Ένα ηλεκτρόδιο εξόδου οδηγεί τα ιόντα έξω από την πηγή ιόντων. Επειδή μαζί με τα επιθυμητά ιόντα υπάρχουν και πολλές άλλες ουσίες (π.χ μαζί με το βόριο B^+ υπάρχουν O^+ , OH^+ , N^+ , N_2^+ κ.α.) , χρησιμοποιείται ένας μαγνήτης διαχωρισμός μάζας για την επιλογή του επιθυμητού ιόντος. Στην συνέχεια τα ιόντα επιτυγχάνονται μέχρι την επιθυμητή ενεργεία. Κατόπιν η δέσμη ιόντων εστιάζεται σε διάμετρο τυπικά $\frac{1}{4}$ της ίντσας. Για να επιτευχθεί ομοιόμορφο ντοπάρισμα των πλακετών που έχουν διάμετρο αρκετών ιντσών , σαρώνουμε την επιφάνεια των υποστρωμάτων αλλά με ηλεκτροστατική σάρωση. Χρησιμοποιείται επίσης μηχανική σάρωση με κίνηση των υποστρωμάτων αλλά με λιγότερο ομοιόμορφα αποτελέσματα. Λίγο πριν από το στόχο η δέσμη ιόντων αποκλίνει ηλεκτροστατικά κατά 6° ώστε να απομακρυνθούν τα τυχόν ουδέτερα άτομα που μπορεί να υπάρχουν στη δέσμη.

Η εμφύτευση ιόντων μπορεί να γίνει σε θερμοκρασία περιβάλλοντος ή με θερμαινόμενα υποστρώματα. Κάποια θέρμανση των υποστρωμάτων συμβαίνει κατά την εμφύτευση σε θερμοκρασία δωματίου που εξαρτάται από την ενέργεια που αποτίθεται κατά τη διάρκεια της διαδικασίας.

4.2.3 Μάσκες για Την Εμφύτευση Ιόντων

Μια μεγάλη ποικιλία από υλικά μπορεί να χρησιμοποιηθεί στην κατασκευή μασκών για την επιλεκτική εμφύτευση ιόντων διότι τα ιόντα απορροφούνται κατά ένα ποσοστό από όλα τα στερεά. Για να είναι αποτελεσματική μια μάσκα πρέπει το πάχος του υλικού της να είναι αρκετό ώστε να απορροφά όλη τη δόση ιόντων που προσπίπτουν στην επιφάνεια της. Έτσι το ελάχιστο πάχος t_m μιας μάσκας είναι (από τον πίνακα 4.1) :

$$t_m = R_p + 4.3\Delta R_p$$

Σχέση 4.9

Όπου τα R_p και ΔR_p αναφέρονται στο υλικό της μάσκας. Υπάρχουν εκτεταμένοι πίνακες που δίνουν την “ ικανότητα σταματήματος (hold)” (το κράτημα) του κάθε υλικού , για κάθε ιόν , με δεδομένη ενέργεια.

Για εμφυτεύσεις ιόντων χαμηλής ενέργειας (<100 keV) συνηθισμένα υλικά μασκών είναι SiO_2 , το νιτρίδιο του πυριτίου και τα φωτοαντιστατικά (photoresists). Αν πάρουμε το Si σαν υλικό αναφοράς , οι σχετικές ικανότητες σταματήματος των υλικών αυτών για ιόντα βορίου ή φωσφόρου στα 40 keV είναι 1,26 , 1,62 και 0,75 αντίστοιχα. Προφανώς το νιτρίδιο του πυριτίου είναι καλύτερο υλικό για μάσκα ,

αλλά το διοξείδιο του πυριτίου και τα φωτοαντιστατικά είναι υλικά που χρησιμοποιούνται σε πολλές από τις άλλες διαδικασίες κατασκευής των διατάξεων και γι' αυτό είναι πολύ διαδεδομένα σαν μάσκες εμφύτευσης.

Για εμφυτεύσεις υψηλής ενέργειας (ή εμφυτεύσεις μεγάλου βάθους) χρησιμοποιούνται μάσκες από βαρέα μέταλλα , όπως ο χρυσός , λευκόχρυσος , το ταντάλιο ή το βολφράμιο. Η σχετική ισχύς σταματήματος αυτών των υλικών είναι μεταξύ 2 και 4 για εμφυτεύσεις βορίου και φωσφόρου στο 1 MeV.

Όταν επιθυμούμε να επιτύχουμε το μέγιστο εμφύτευσης κοντά στην επιφάνεια του Si , πραγματοποιούμε την εμφύτευση μέσα από ένα στρώμα SiO₂ που στη συνέχεια θα απομακρυνθεί.

4.2.4 Ανόπτηση Μετά Την Εμφύτευση

Μετά την εμφύτευση ιόντων , η κρυσταλλική δομή του πυριτίου εμφανίζεται σε μεγάλο βαθμό κατεστραμμένη ενώ τα εμφυτευμένα ιόντα δεν βρίσκονται απαραίτητα σε θέσεις αντικατάστασης. Γι' αυτό είναι απαραίτητο να γίνει ανόπτηση του υλικού σε θερμοκρασία πάνω από 950 °C. Ένας κύκλος ανόπτησης είναι αρκετός ακόμη και αν έχουν γίνει πολλαπλές εμφυτεύσεις ιόντων και σαν τέτοιος μπορεί να χρησιμοποιηθεί μια διαδικασία θερμική οξειδωσης ή διάχυσης που ακολουθεί την εμφύτευση. Κατά την ανόπτηση γίνεται και κάποια ανακατανομή των ιόντων λόγω της διάχυσης.

Αντί για θερμική ανόπτηση του πυριτίου μπορεί να αποκατασταθεί η κατάσταση του υποστρώματος με σάρωση με δέσμη Laser ή δέσμη ηλεκτρονίων. Αυτό περιορίζει τα φαινόμενα διάχυσης που συνδέονται με τη διαδικασία ανόπτησης και παρέχει πρόσθετη ευελιξία της διαδικασίας.

4.3 Χαρακτηρισμός Της Κατανομής Προσμίξεων

Μετά την εισαγωγή προσμίξεων μέσα στον ημιαγωγό είναι επιθυμητό να προσδιοριστούν η αντίσταση φύλλου , το βάθος επαφής και η κατανομή των προσμίξεων. Μερικές από τις πληροφορίες αυτές μπορούμε να συμπεριλάβουμε στο υπό κατασκευή κύκλωμα. Συχνά όμως μαζί με τις πλακέτες παραγωγής τοποθετούμε και ορισμένες πλακέτες που θα χρησιμοποιηθούν αποκλειστικά για τον έλεγχο και το χαρακτηρισμό της τεχνολογίας.

4.3.1. Μετρήσεις της αντίστασης φύλλου

Για τη μέτρηση της αντίστασης φύλλου ενός ημιαγωγού συνήθως χρησιμοποιείται η μέθοδος τεσσάρων ακίδων. Στην μέθοδο αυτή χρησιμοποιείται ένα probe από τέσσερις ακίδες αναρτημένες με ελατήρια σε μια βάση από σάπφειρο ώστε

να κρατιούνται σε μικρές και ίσες αποστάσεις, μεταξύ τους. Από τις δύο εξωτερικές ακίδες εισάγεται ρεύμα στον ημιαγωγό ενώ οι δύο εσωτερικές χρησιμοποιούνται για τη μέτρηση της τάσης στα αντίστοιχα σημεία.

Αποδεικνύεται ότι η αντίσταση φύλλου σ' ένα κυκλικό υπόστρωμα δίνεται από τη σχέση:

$$R_s = \frac{\rho}{xj} = \frac{V}{I} \left(\frac{\pi}{\ln 2} \right) = 4.5324 \left(\frac{V}{I} \right)$$

Σχέση 4.10

Υπό την προϋπόθεση ότι $d \ll D$ και $xj \ll d$ (άπειρο φύλλο). Στην πράξη η αριθμητική σταθερά της παραπάνω σχέσης xj αντικαθίσταται από ένα διορθωτικό παράγοντα που εξαρτάται από τη γεωμετρία του υποστρώματος.

4.3.2. Μετρήσεις Του Βάθους Επαφής

Σαν βάθος επαφής ορίζουμε την απόσταση xj από την επιφάνεια του ημιαγωγού στην οποία η συγκέντρωση των εισαγόμενων προσμίξεων είναι ίση με τη συγκέντρωση προσμίξεων του υποστρώματος.

Ο ακριβής προσδιορισμός του βάθους επαφής ειδικά για ρηχές επαφές είναι δύσκολος.

Η πιο συνηθισμένη τεχνική βασίζεται στην αποκάλυψη και μεγέθυνση της επαφής με μηχανικό τρόπο , στον χρωματισμό της και τέλος στη μέτρηση του βάθους επαφής ειδικά για ρηχές επαφές είναι δύσκολος.

Η πιο συνηθισμένη τεχνική βασίζεται στην αποκάλυψη και μεγέθυνση της επαφής με μηχανικό τρόπο , στον χρωματισμό της και τέλος στη μέτρηση του βάθους επαφής με μια οπτική μέθοδο.

Η απόδειξη της επαφής μπορεί να γίνει με την κοπή της πλακέτας σε μια σφήνα πολύ μικρής γωνίας. Έτσι αντί της μέτρησης του xj έχουμε να μετρήσουμε το d για το οποίο ισχύει η σχέση :

$$d = \frac{xj}{\sin \theta}$$

Σχέση 4.11

Μια παρόμοια μέθοδος ανάδειξης της επαφής είναι η δημιουργία ενός κυλινδρικού ή σφαιρικού βαθουλώματος πάνω στην πλακέτα με βάθος που να ξεπερνάει λίγο το βάθος επαφής. Στη συνέχεια η επαφή μπορεί να χρωματίσει είτε τον ημιαγωγό τύπου p είτε τον τύπου n (π.χ. HF+ 0.1 – 0.5 % HNO₃+φως). Μετά την εμφάνιση της επαφής το βάθος της μετρείται με οπτικό τρόπο π.χ. με μικροσκόπιο συμβολής.

Μια διαφορετική αντιμετώπιση της μέτρησης του βάθους επαφής είναι η χρήση ηλεκτρονικού μικροσκοπίου σάρωσης. Για την εφαρμογή της μεθόδου αυτής πρέπει να υπάρχει ηλεκτρονική επαφή και από τα δύο μέρη του ημιαγωγού (p και n).

Η επαφή p - n εκτίθεται και πάλι π.χ. με τη δημιουργία σφήνας. Η δέσμη ηλεκτρονίων χρησιμοποιείται για την παραγωγή ζεύγων οπών – ηλεκτρονίων μέσα στον ημιαγωγό. Αυτοί οι φορείς δεν παράγουν ρεύμα στο εξωτερικό κύκλωμα εκτός αν δημιουργούνται παρουσία ηλεκτρικού πεδίου. Επειδή στην περιοχή της επαφής υπάρχει , όπως είναι ήδη γνωστό , το ισχυρό δυναμικό επαφής , καθώς η δέσμη διασχίζει την επαφή το εξωτερικό ρεύμα εμφανίζεται μέγιστο. Έτσι , με την χρήση μιας βάσης χρόνου σάρωσης μπορεί να προσδιοριστεί το βάθος της επαφής.

Στην πράξη προσδιορίζουμε την επιφανειακή συγκέντρωση των προσμίξεων από τη μέτρηση της αντίστασης φύλλου R_s και του βάθους επαφής x_j με τη βοήθεια των διαγραμμάτων Irvin.

4.3.3. Μετρήσεις Της Κατανομής Των Προσμίξεων

Οι κατανομές των προσμίξεων μπορούν να προσδιοριστούν με διάφορες τεχνικές. Οι περισσότερες από αυτές είναι διαφορικές μέθοδοι. Αυτό σημαίνει ό,τι μετά από κάθε μέτρηση απομακρύνεται ένα λεπτό στρώμα πυριτίου , ακολουθεί δεύτερη μέτρηση και απομάκρυνση άλλου στρώματος κ.ο.κ. Το μέγεθος που ενδιαφέρει προσδιορίζεται έτσι από τον ρυθμό μεταβολής των δεδομένων.

Η πιο ακριβής μέθοδος προσδιορισμού της κατανομής προσμίξεων είναι μια διαφορετική μέθοδος με χρήση ραδιενεργών ισότοπων.

Κατάλληλα ισότοπα υπάρχουν για το φώσφορο και το αρσενικό αλλά δυστυχώς όχι για το βόριο. Ο έλεγχος της συγκέντρωσης γίνεται με ηλεκτρική μέθοδο π.χ. φαινόμενο Hall , ή μέτρηση αγωγιμότητας. Η απομάκρυνση των διαδοχικών στρωμάτων πυριτίου γίνεται είτε με χημικό τρόπο με κάποιο διάλυμα για βραδεία ισοτροπική εγχάραξη ή με υγρή εγχάραξη του πυριτίου σε SiO_2 και εν συνεχεία σε απομάκρυνση του SiO_2 . Το πραγματικό ποσό του πυριτίου που απομακρύνθηκε μπορεί να προσδιοριστεί με ένα μικροσκόπιο συμβολής ή με προσδιορισμό της απώλειας βάρους κατά τη διαδικασία.

Το αποτέλεσμα αυτού του τύπου μετρήσεων είναι η ολική συγκέντρωση των προσμίξεων σε συνάρτηση με το βάρος. Οι διαφορετικές όμως μέθοδοι είναι προφανώς κοπιαστικές και καταστροφικές για το υπόστρωμα.

Αν η επαφή δεν είναι υπερβολικά βαθιά μπορεί να χρησιμοποιηθεί μια ηλεκτρική τεχνική για την εκτίμηση της κατανομής των προσμίξεων. Η τεχνική αυτή βασίζεται στη μεταβολή της χωρητικότητας μικρού σήματος μιας ανάστροφα πολωμένης διόδου Schottkey σε συνάρτηση με την τάση πόλωσης,

Η συγκέντρωση φορέων για μια τέτοια δομή δίνεται κατά προσέγγιση από τη σχέση :

$$N(x) = \frac{-c^3}{q * E_s * A^2} * \left(\frac{dc}{dV}\right)^{-2}$$

Σχέση 4.12

όπου c είναι η χωρητικότητα μικρού σήματος της δομής, q το στοιχειώδες φορτίο, E_s η ολική διηλεκτρική σταθερά του ημιαγωγού και A το εμβαδόν επιφάνειας της διόδου.

Η απόσταση x από την επιφάνεια δίνεται από την σχέση :

$$x = \frac{E_s * A}{c}$$

Σχέση 4.13

Η τεχνική αυτή περιορίζεται σε τιμές του x μεγαλύτερες από την τιμή που αντιστοιχεί σε μηδενική τάση πόλωσης και είναι άχρηστη για περιπτώσεις όπου η κατανομή προσμίξεων αλλάζει τόσο γρήγορα, ώστε η προσέγγιση :

$$\Delta V = x * \Delta E$$

Σχέση 4.14

δεν ισχύει πια (όπου E η ένταση του ηλεκτρικού πεδίου).

ΚΕΦΑΛΑΙΟ 5

Λιθογραφία

Εισαγωγή

Η λιθογραφία , όπως χρησιμοποιείται στην κατασκευή ολοκληρωμένων κυκλωμάτων , είναι η διαδικασία μεταφοράς γεωμετρικών σχημάτων από μία μάσκα , στην επιφάνεια του υποστρώματος πυριτίου. Τα σχήματα αυτά αποτελούν τα διάφορα τμήματα του κυκλώματος όπως ηλεκτρόδια πύλης , οπές επαφών , μεταλλικές διασυνδέσεις κ.α.

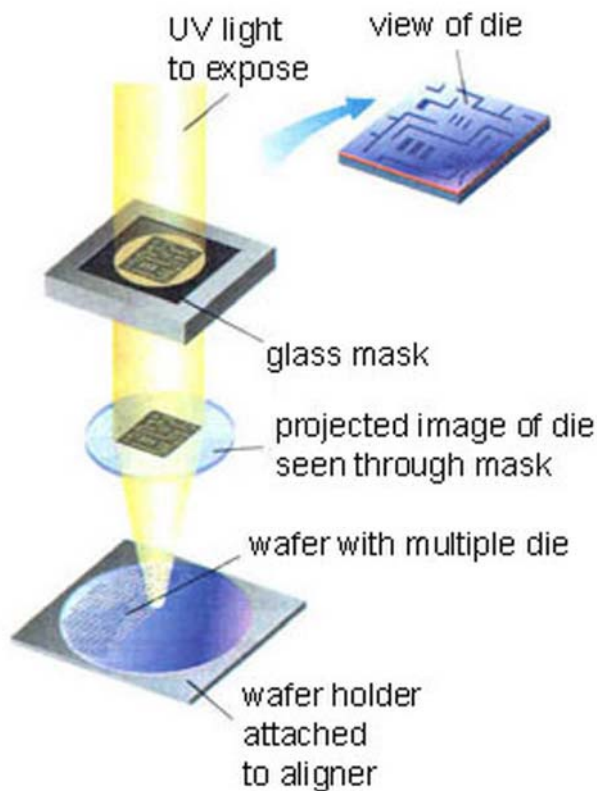
Όταν ολοκληρωθεί το δοκιμαστικό κύκλωμα ή η εξομοίωση του με υπολογιστή , το πρώτο βήμα στην κατασκευή ενός ολοκληρωμένου κυκλώματος είναι να φτιαχτεί το γεωμετρικό σχέδιο των διαφόρων στοιχείων του κυκλώματος (layout). Στη συνέχεια το σύνθετο σχέδιο του κυκλώματος , χωρίζεται σε στάθμες που αντιστοιχούν στις διαδοχικές διαδικασίες κατασκευής του ολοκληρωμένου κυκλώματος , π.χ. μια στάθμη για τα ηλεκτρόδια πύλης , μια άλλη στάθμη για τα οπές των επαφών κ.ο.κ. Οι στάθμες αυτές ονομάζονται στάθμες μασκών. Κατόπιν το γεωμετρικό σχέδιο κάθε στάθμης μεταγράφεται σε ψηφιακά δεδομένα με την βοήθεια π.χ. μιας οθόνης με αλληλεπίδραση και ενός ψηφιοποιητή. Τα δεδομένα αυτά χρησιμοποιούνται για να οδηγήσουν μια γεννήτρια μορφών μοντέλων (pattern generator) ελεγχόμενη από υπολογιστή. Η γεννήτρια μορφών είναι συχνά μια συσκευή παραγωγής δέσμης ηλεκτρονίων που μπορεί να μεταφέρει τις μορφές του σχεδίου απ' ευθείας στην επιφάνεια του υποστρώματος του πυριτίου , αλλά πιο συχνά τις μεταφέρει πάνω σε φωτοευαίσθητοποιημένες πλάκες από γυαλί που ονομάζονται μάσκες ή φωτομάσκες. Οι μητρικές αυτές μάσκες , χρησιμοποιούνται είτε για τη μεταφορά των μορφών απ' ευθείας πάνω στο υπόστρωμα του πυριτίου , είτε για την παραγωγή άλλων μασκών , τις οποίες ονομάζουμε μάσκες εργασίας.

Η μεταφορά των μορφών από τη μάσκα στο υπόστρωμα πυριτίου συνήθως χρησιμοποιεί μια φωτογραφική διαδικασία , σύμφωνα με την οποία το υπόστρωμα καλύπτεται από ένα φωτοευαίσθητο υλικό , ανθεκτικό στα οξέα (που ονομάζεται φωτοαντιστατικό) και εκτίθεται σε κατάλληλο φως μέσα από τη μάσκα. Ακολουθεί εμφάνιση του φωτοαντιστατικού και δημιουργία οπών μέσα από τα οποία θα γίνει χάραξη του λεπτού στρώματος που βρίσκεται κάτω από το φωτοαντιστατικό. Το λεπτό αυτό στρώμα , μπορεί να είναι διοξείδιο του πυριτίου ή νιτρίδιο του πυριτίου που θα χρησιμοποιεί σαν μάσκα π.χ. για τη διάχυση προσμίξεων στο πυρίτιο , ή μπορεί να είναι πολυκρυσταλλικό πυρίτιο ή στρώμα μετάλλου για το σχηματισμό των διασυνδέσεων του κυκλώματος.

Η όλη διαδικασία της φωτολιθογραφίας είναι ουσιώδης για τη μικροηλεκτρονική. Η ακριβής μεταφορά γραμμών πάχους μέχρι 4 μm είναι υπόθεση

ρουτίνας στην παραγωγή μονολιθικών ολοκληρωμένων κυκλωμάτων , με χρήση πολυμερών φωτοαντιστατικών ευαίσθητων στις υπεριώδης ακτινοβολίες και με τη χρήση масκών που έχουν κατασκευαστεί με φωτολιθογραφικές μεθόδους. Εξ' άλλου σήμερα μπορούν να πραγματοποιηθούν υπομικρονικά σχήματα με τη χρήση υλικών ευαίσθητων στις δέσμες ηλεκτρονίων ή στις μαλακές ακτίνες Χ.

Όπως ήδη αναφέρουμε , για την κατασκευή ενός πλήρους κυκλώματος , απαιτούνται πολλές στάθμες масκών. Ωστόσο η κάθε μάσκα μπορεί να περιέχει 100 και πλέον ταυτόσημα σχήματα κυκλωμάτων , πράγμα που επιτρέπει την ταυτόχρονη κατασκευή μεγάλου αριθμού Chip πάνω στο ίδιο υπόστρωμα.



Σχήμα 5.1 Παράδειγμα μιας Φωτομάσκας

5.1 Κατασκευή Των Μασκών

Ο μετασχηματισμός ενός ηλεκτρονικού κυκλώματος από το συμβολικό διάγραμμα σε μικροκύκλωμα είναι μια πολύπλοκη διαδικασία. Τυπικά το πρώτο στάδιο καταλήγει στην κατασκευή επί προτύπου (reticle) σε μέγεθος δεκαπλάσιο (10X) του τελικού ολοκληρωμένου κυκλώματος. Από το πρότυπο αυτό θα κατασκευαστεί με επαναληπτικά βήματα , η μητρική μάσκα στις τελικές διαστάσεις και από αυτήν θα κατασκευαστούν οι μάσκες εργασίας.

5.1.1. Η Κατασκευή Του Προτύπου 10X (reticle)

Υπάρχουν δύο μέθοδοι εργασίας που καταλήγουν στην κατασκευή του προτύπου (reticle) της κάθε μάσκας. Η πρώτη μέθοδος είναι η μέθοδος κατασκευής ενός μεγεθυμένου αναπτύγματος (layout) και είναι η παλαιότερη. Η δεύτερη μέθοδος είναι η σύγχρονη μέθοδος εργασίας και βασίζεται στη σχεδίαση με τη βοήθεια ηλεκτρονικού υπολογιστή (CAD).

1) Το Ανάπτυγμα (layout)

Σε αυτή τη μέθοδο εργασίας το πρώτο βήμα είναι η σχεδίαση ενός σύνθετου αναπτύγματος μεγάλης κλίμακας του συνόλου των μασκών. Το μέγεθος του αναπτύγματος αυτού είναι τυπικά 100X ως 2000X του τελικού κυκλώματος και αυξάνει καθώς η πολυπλοκότητα του κυκλώματος μεγαλώνει και τα πλάτη των γραμμών μειώνονται.

Το σύνθετο αυτό ανάπτυγμα πρέπει στη συνέχεια να μεταφερθεί κατά επίπεδο σε κάποιο ειδικό υλικό για να σχηματιστούν τα μεγεθυμένα πρότυπα των μασκών. Μια απλή, ανέξοδη και ευέλικτη τεχνική, είναι να χαραχθεί το σχέδιο πάνω σ' ένα ειδικό κόκκινο πλαστικό φύλλο (Uland Rubylith) με τη βοήθεια μιας χειροκίνητης τράπεζας σχεδιασμού. Στη συνέχεια το πλαστικό απομακρύνεται με το χέρι από τα σημεία όπου τα σχήματα πρέπει να αφήνουν το φως να περνάει και παραμένει εκεί όπου το σχήμα πρέπει να είναι αδιαφανές.

Η χάραξη του πλαστικού μπορεί να αυτοματοποιηθεί από ένα ψηφιοποιητή, ο οποίος μετατρέπει την πληροφορία του σχήματος, σε ψηφιακό σήμα, με το οποίο ελέγχει μια μηχανή αυτόματης κοπής. Και με αυτή τη μέθοδο, όμως, η απομάκρυνση του κομμένου πλαστικού πρέπει να γίνει με το χέρι, πράγμα που μπορεί να οδηγήσει σε σφάλματα όταν το σχήμα είναι πολύπλοκο.

Μια εναλλακτική μέθοδος είναι να χρησιμοποιηθεί η έξοδος του ψηφιοποιητή για τον έλεγχο ενός φωτοσχεδιαστή μεταβλητού ανοίγματος, ο οποίος προβάλλει το σχήμα πάνω σ' ένα φωτοευαίσθητο φιλμ ή πλάκα. Αυτή η τεχνική είναι πιο ακριβής και πραγματοποιείται συνήθως σε κλίμακα 100% του τελικού μεγέθους.

Το επόμενο βήμα μετά την κατασκευή του μεγεθυμένου αναπτύγματος των μασκών, είναι μια φωτογραφική σμίκρυνση σε ένα πρότυπο με διαστάσεις 10X του τελικού μεγέθους.

Η κάμερα για μια τέτοια σμίκρυνση πρέπει να ικανοποιεί αρκετά αυστηρές απαιτήσεις: ο φακός πρέπει να διορθωθεί από παραμορφώσεις, πρέπει να έχει μεγάλη διακριτική ικανότητα (σε αριθμό γραμμών ανά mm) και μεγάλο χρήσιμο οπτικό πεδίο. Όλες αυτές οι απαιτήσεις, έχουν σαν αποτέλεσμα τη δημιουργία μιας κάμερας τεραστίων διαστάσεων. Εξ' άλλου η κάμερα αυτή πρέπει να είναι ισχυρά αναρτημένη σε μια βάση ελεύθερη δονήσεων. Το περιβάλλον της κάμερας πρέπει να ελέγχεται προσεκτικά και το ανάπτυγμα του σχήματος από πλαστικό, συνήθως

παράγεται και διατηρείται στο ίδιο μέρος , ώστε να αποφευχθούν παραμορφώσεις λόγω θερμότητας και υγρασίας. Το σχήμα σε αυτές τις κάμερες , φωτίζεται από πίσω από μια πηγή διάχυτου φωτός , που συνήθως φιλτράρεται ώστε να είναι μονοχρωματικό , πράσινο.

Για τα ολοκληρωμένα κυκλώματα μεγάλης κλίμακας μπορεί να χρειαστεί να γίνουν δύο σμικρύνσεις κατά τμήματα και να φωτοσυντεθεί το ολικό σχήμα

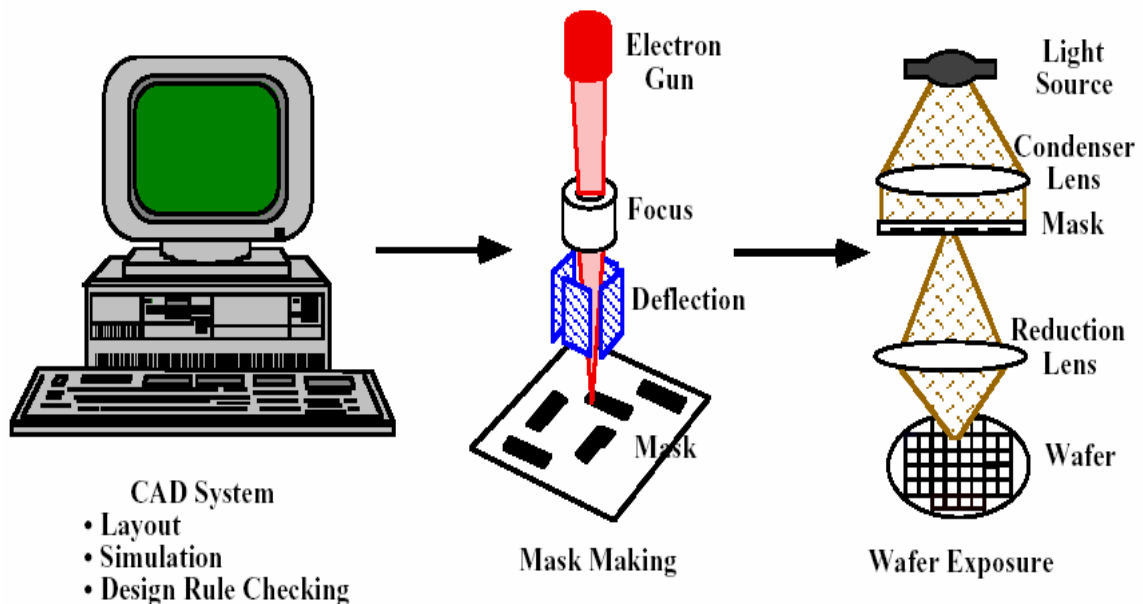
Η τεχνική που χρησιμοποιεί μεγεθυμένα αρχικά αναπτύγματα είναι προς το παρόν μια βιώσιμη τεχνική κυρίως λόγω της απλότητας της διαδικασίας και του σημαντικού κεφαλαίου που έχει επενδυθεί για εξοπλισμό. Υπάρχουν όμως δυσκολίες ειδικά για τα πυκνά ολοκληρωμένα κυκλώματα μεγάλης κλίμακας (LSI και VLSI).

Οι δυσκολίες αυτές οδήγησαν στην ανάπτυξη νέων μεθόδων για την κατασκευή των πρότυπων σχημάτων των μασκών της μικροηλεκτρονικής.

B) Σχεδίαση με τη βοήθεια Η/Υ (CAD)

Η διάδοση της χρήσης των υπολογιστών οδήγησε στη δημιουργία μιας νέας τεχνικής για την κατασκευή του αρχικού αναπτύγματος των μικροηλεκτρονικών κυκλωμάτων.

Ένα τυπικό σύστημα σχεδίασης ολοκληρωμένων κυκλωμάτων με υπολογιστή φαίνεται παρακάτω στο σχήμα



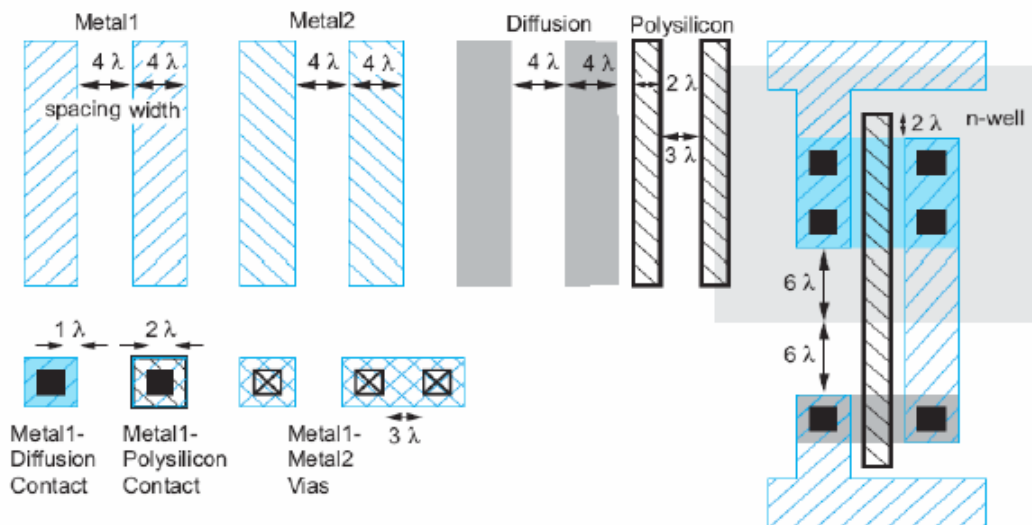
Σχήμα 5.2 Τοπικό σύστημα CAD

Ο χειριστής της μονάδας σχεδίασης , φτιάχνει την εικόνα του αρχικού τρανζίστορ με βάση τις διαστάσεις που έχει υπολογίσει ο σχεδιαστής του ολοκληρωμένου κυκλώματος , χρησιμοποιώντας μια τεχνική δημιουργίας μοντέλων με υπολογιστή. Αφού σχηματιστεί η εικόνα του ενός τρανζίστορ , ψηφιοποιείται με την εισαγωγή των XY συντεταγμένων των τομών των διαφόρων γραμμών κ.τ.λ. μέσα στον υπολογιστή με τη βοήθεια του ψηφιακού κιβωτίου (digitizing board). Όταν το πρώτο αυτό κύτταρο-τρανζίστορ μπει στον υπολογιστή , μπορεί να επαναληφθεί και να συνδεσμοποιηθεί σύμφωνα με το σχέδιο του ολοκληρωμένου κυκλώματος σε μια

τερματική οθόνη. Αν και η σχεδίαση στην πραγματικότητα είναι εξαιρετικά πολύπλοκη, ακόμη και με τον υπολογιστή, στο τέλος το πλήρες σχέδιο του κυκλώματος θα υπάρχει μέσα στον υπολογιστή. Όταν ο σχεδιαστής βεβαιωθεί ότι δεν υπάρχουν λάθη, αφού γίνουν εκτεταμένοι έλεγχοι και εξομοιώσεις του κυκλώματος, η ψηφιακή εικόνα κάθε στάθμης που θα αποτελέσει το πρότυπο της αντίστοιχης μάσκας, βγαίνει σε μια μαγνητική ταινία.

Η ταινία αυτή μπορεί να χρησιμοποιηθεί για τον έλεγχο είτε ενός φωτο-εγγραφέα για τη δημιουργία σχημάτων 100X του τελικού μεγέθους, είτε μιας γεννήτριας μορφών σε μέγεθος 10X του τελικού, είτε ενός συστήματος λιθογραφίας με δέσμη ηλεκτρονίων για τη δημιουργία σχημάτων με μέγεθος 1X του τελικού.

Η γεννήτρια μορφών (pattern generator) που χρησιμοποιείται για την κατασκευή των προτύπων της μάσκας σε μέγεθος 10X του τελικού είναι μια προηγμένη μορφή του φωτο-εγγραφέα που αναφέρθηκε πιο πάνω. Οι μορφές σχηματίζονται συνήθως πάνω σε φωτογραφική πλάκα με τη χρήση ενός μεταβλητού ορθογώνιου ανοίγματος και μιας λάμπας. Οι καμπύλες μπορούν να σχηματιστούν με διαδοχικές εκθέσεις στρεφομένων ορθογώνιων. Η διακριτική ικανότητα θέσης της βαθμίδας είναι τυπικά 0,6 μm . Το μέγεθος του ανοίγματος μπορεί να ρυθμιστεί με βήματα 1 μm από 4 μm ως 3000 μm και το εμβαδόν που μπορεί να εκτεθεί είναι 1.5 X 1.5 cm^2 .



Σχήμα 5.3 Κανόνες Σχεδίασης Και Κατασκευής IC

Η ακρίβεια των προτύπων 10X που παράγονται με αυτές τις γεννήτριες μορφών, είναι ανώτερη από αυτή που επιτυγχάνεται με τη μέθοδο της χάραξης του πλαστικού φύλλου με μέγεθος 200X του τελικού.

Έχουν σχεδιαστεί γεννήτριες μορφών που εργάζονται στο τελικό μέγεθος, είτε για την κατασκευή των τελικών μασκών, είτε για την απ' ευθείας αποτύπωση του σχήματος πάνω στο υπόστρωμα του ημιαγωγού. Οι γεννήτριες αυτές μορφών χρησιμοποιούν πηγές δέσμης ηλεκτρονίων. Η απ' ευθείας έκθεση πάνω στο υπόστρωμα είναι μια χρονοβόρα διαδικασία και χρησιμοποιείται μόνο όταν η

ακρίβεια και τα πλάτη των γραμμών που απαιτούνται δεν μπορούν να επιτευχθούν με άλλη μέθοδο.

5.1.2 Η “ Εκτύπωση “ Των Μασκών

Το σετ των μητρικών μασκών στο τελικό μέγεθος κατασκευάζεται από τα πρότυπα σε μέγεθος 10X του τελικού , που είδαμε προηγουμένως , με ένα σύστημα στο οποίο η εικόνα εκτίθεται πολλές φορές πάνω σε μια πλάκα που μετακινείται μηχανικά κατά βήματα.

Το υλικό των μητρικών μασκών μπορεί να είναι είτε φωτογραφική πλάκα , είτε πλάκα σκληρής επιφάνειας (γυαλί με επίστρωση χρωμίου).

Για να είμαστε βέβαιοι ότι το κάθε κύκλωμα θα συμπίπτει σε όλες τις στάθμες μασκών , επιθυμούμε να κατασκευάσουμε όλο το σετ των μασκών ταυτόχρονα. Αυτό επιτυγχάνεται με τη χρήση μιας κάμερας επαναληπτικού βήματος πολλαπλού βαρελιού (tubs). Σε αυτό το σύστημα ένα πρότυπο μάσκας τοποθετείται σε κάθε βαρέλι και αντιστοιχεί σε μια στάθμη μάσκας. Οι πλάκες που πρόκειται να εκτεθούν τοποθετούνται στο ίδιο τραπέζι , ώστε να εκτίθενται και να μετακινούνται ταυτόχρονα. Σε συμμετρικές θέσεις επάνω στις μάσκες τοποθετούνται ειδικοί σχηματισμοί δοκιμών για τον έλεγχο της διαδικασίας. Αυτοί χρησιμοποιούνται και για να διευκολυνθεί η ευθυγράμμιση των διάφορων σταθμών των μασκών επάνω στο υπόστρωμα του ημιαγωγού. Ένα μειονέκτημα της μεθόδου πολλαπλού βαρελιού είναι ότι αν εμφανιστεί μια βλάβη σε μια από τις μάσκες ενός πολύπλοκου σετ , είναι απαραίτητο να ξαναγίνει όλο το σετ των μασκών.

Αφού φτιαχτεί η μητρική μάσκα κατασκευάζονται εύκολα τα σετ των μασκών εργασίας . Οι μάσκες εργασίας μπορεί να είναι και πάλι είτε φωτογραφικές πλάκες , είτε πλάκες σκληρής επιφάνειας. Αυτές μπορούν να φτιαχτούν είτε με επαφή , είτε με προβολή 1:1 από το σετ των μητρικών μασκών , χρησιμοποιείται δε συχνά για την κατασκευή τους μια διαδικασία αναστροφής εμφάνισης , ώστε να επιτευχθεί μια θετική και όχι αρνητική εικόνα μάσκας.

5.2 Η Φωτολιθογραφία

Φωτολιθογραφία στη μικροηλεκτρονική ονομάζεται η φωτογραφική διαδικασία που χρησιμοποιείται για τη μεταφορά του σχεδίου μιας μάσκας πάνω σ’ ένα υπόστρωμα

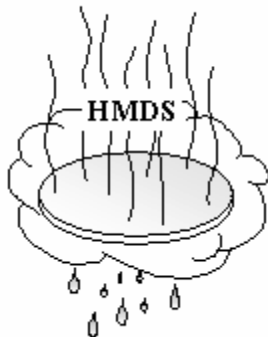
Τα βήματα μια τυπικής διαδικασίας φωτολιθογραφίας είναι :

- 1) Η προετοιμασία του υποστρώματος (**Surface Preparation**)
- 2) Η επικάλυψη με φωτοαντιστατικό (**Photoresist Application**)
- 3) Η προ – ή ελαφρά ξήρανση (**Soft Bake**)
- 4) Η ευθυγράμμιση της μάσκας (**Align**)

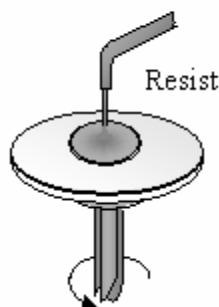
- 5) Η έκθεση (**Expose**)
- 6) Η εμφάνιση (**Develop & Develop Inspection**)
- 7) Η μετά – ή ισχυρή ξήρανση (**Hard Bake**)
- 8) Η χάραξη (**Etch**)
- 9) Η απομάκρυνση του φωτοαντιστατικού (**Resist Strip**)

I. Η Προετοιμασία Του Υποστρώματος

Για να “ κολλήσει “ καλά το φωτοαντιστατικό πάνω σε μια επιφάνεια πρέπει η επιφάνεια αυτή να είναι ελεύθερη από οργανικές μολύνσεις και υγρασία. Πολλά φωτοαντιστατικά είναι υδρόφοβα ενώ μια από τις πιο συνηθισμένες επιφάνειες , το οξειδωμένο πυρίτιο , είναι υδρόφιλο. Έτσι απαιτείται ειδική προετοιμασία της επιφάνειας για να είναι επιτυχής η φωτοχάραξη. Η προετοιμασία αυτή συνιστάται σε καθαρισμό της επιφάνειας με πεπιεσμένο ρεύμα απιονισμένου νερού , φύσημα με ρεύμα αζώτου και ξήρανση σε φούρνο υπερύθρου. Η καλή συνάφεια του φωτοαντιστατικού , μπορεί επίσης να υποστηριχθεί από ένα διαλυτικό κατάλληλο να απομακρύνει από την επιφάνεια τα υπολείμματα της σκόνης και το οποίο απλώνεται με περιστροφή του υποστρώματος αμέσως πριν την επίστρωση του φωτοαντιστατικού.



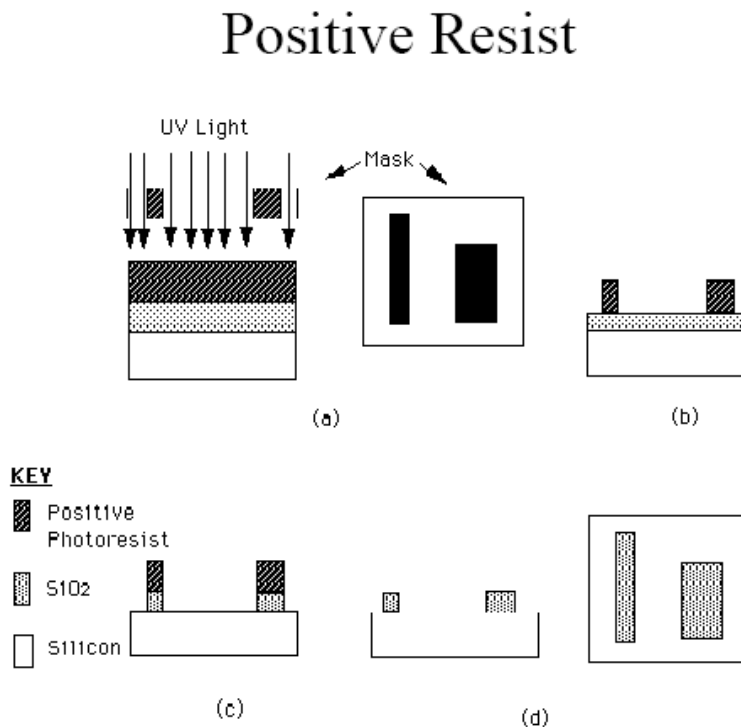
Σχήμα 5.4 Καθαρισμός Της Επιφάνειας



Σχήμα 5.5 Περιστροφή Του υποστρώματος Μετά Την Επίστρωση Του Φωτοαντιστατικού

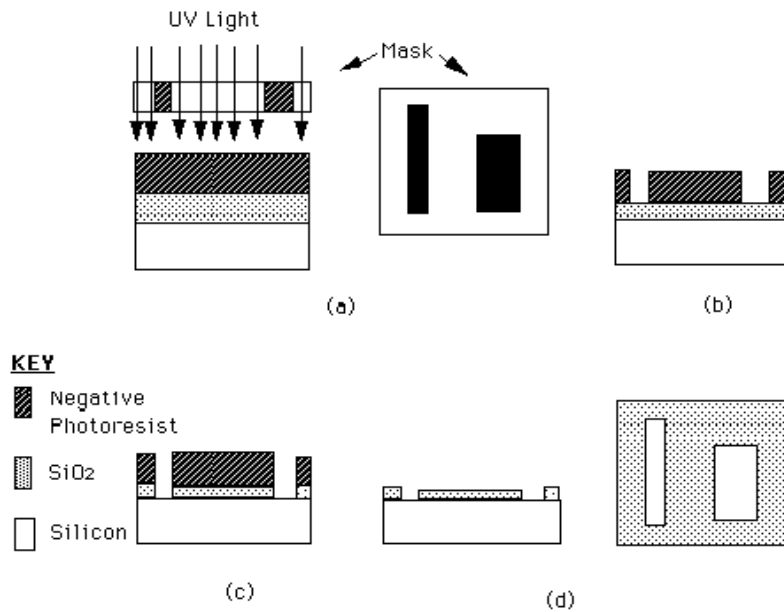
II. Η Επικάλυψη Με Φωτοαντιστατικό

Τα φωτοαντιστατικά είναι φωτοευαίσθητα υλικά που εμφανίζουν χημική αντοχή, έχουν την ιδιότητα να σχηματίζουν στρώσεις και επικολλούνται αρκετά καλά σε διάφορες επιφάνειες. Υπάρχουν δύο βασικοί τύποι φωτοαντιστατικών τα αρνητικά και τα θετικά. Τα αρνητικά φωτοαντιστατικά πολυμερίζονται όταν εκτεθούν σε φως και έτσι το φωτοαντιστατικό που έχει εκτεθεί δεν απομακρύνεται κατά τη διαδικασία εμφάνισης. Τα θετικά φωτοαντιστατικά διασπώνται όταν φωτιστούν και μπορούν εύκολα να απομακρυνθούν κατά την εμφάνιση. Επομένως, είναι δυνατόν να χρησιμοποιηθεί η ίδια μάσκα για να αποτυπωθούν δύο σχήματα από τα οποία στο ένα παραμένει το φωτοαντιστατικό στα σημεία όπου η μάσκα είναι διαφανής και στο άλλο παραμένει στα σημεία όπου η μάσκα είναι αδιαφανής. Έχει κατασκευαστεί ένας αριθμός τύπου φωτοαντιστατικού με διαφορετική φασματική ευαισθησία. Τα πιο συνηθισμένα είναι ευαίσθητα στο υπεριώδες (UV), αλλά υπάρχουν και άλλα ευαίσθητα σε δέσμες ηλεκτρονίων ή μαλακές ακτίνες X για τη αποτύπωση γραμμών με εύρος μικρότερο από 1.5 μm.



Σχήμα 5.6.α. Χαρακτηριστικά Θετικού Φωτοαντιστατικού

Negative Resist



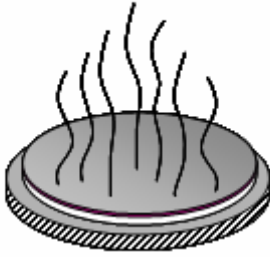
Σχήμα 5.6.β. Χαρακτηριστικά Αρνητικού Φωτοαντιστατικού

Η επίστρωση του φωτοαντιστατικού γίνεται συνήθως με περιστροφή του υποστρώματος. Η δημιουργία ενός ομοιόμορφου στρώματος φωτοαντοστατικού, είναι μια πολύπλοκη διαδικασία. Το πάχος του τελικού στρώματος εξαρτάται από την ταχύτητα περιστροφής και το ιξώδες του φωτοαντιστατικού.

Το περιβάλλον μέσα στο οποίο γίνεται η απόθεση του φωτοαντιστατικού πρέπει να ελέγχεται προσεκτικά. Μόλυνση του υποστρώματος από σωματίδια πριν από την εφαρμογή του φωτοαντιστατικού έχει σαν αποτέλεσμα τη μη ομοιόμορφη επίστρωση του, ενώ τα σωματίδια σκόνης που πέφτουν κατά τη διάρκεια ή και μετά την περιστροφή, είναι οι κυριότερη αιτία για τη δημιουργία τρυπαμίνης (tryptamine) πάνω στο φωτοαντιστατικό. Εξ' άλλου και ο έλεγχος της υγρασίας είναι μερικές φορές αναγκαίος.

III. Η Προ – ή Ελαφρά Ξήρανση

Σκοπός της ξήρανσης αυτής είναι η απομάκρυνση του διαλυτικού από το φωτοαντιστατικό και γίνεται είτε σε ένα φούρνο σε ατμοσφαιρικό αέρα ή αζώτου ή σε μια διάταξη υπερύθρου ακτινοβολίας. Ο χρόνος και η θερμοκρασία της ξήρανσης πρέπει να είναι τέτοια ώστε να απομακρύνουν το διαλυτικό χωρίς να συγκολλούν τα μόρια του φωτοαντιστατικού.



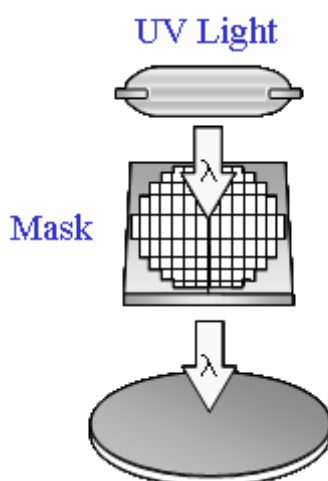
Σχήμα 5.7.Ελαφρά Ξήρανση

IV.Η Ευθυγράμμιση Της Μάσκας Και Έκθεση

Η ευθυγράμμιση των μασκών προς τα σχήματα , που έχουν ήδη αποτυπωθεί στο υπόστρωμα και η έκθεση του φωτοαντιστατικού μέσα από τη μάσκα απαιτεί έναν εξοπλισμό από τους πιο πολύπλοκους που χρησιμοποιούνται στη βιομηχανία μικροκυκλωμάτων.

Έχουν αναπτυχθεί συστήματα ευθυγράμμισης και έκθεσης στο UV με επαφή , γειτνίαση και προβολή , ενώ απαιτούνται ειδικές τεχνικές ευθυγράμμισης για συστήματα έκθεσης με δέσμη ηλεκτρονίων ή ακτίνες X που συνδέονται με υπομικρονικά πλάτη γραμμών.

Οι περισσότερες συσκευές ευθυγράμμισης μασκών που χρησιμοποιούνται στη βιομηχανία των ημιαγωγών είναι χειροκίνητες. Τα υποστρώματα συγκρατούνται με κενό πάνω σε μια τράπεζα ακριβείας με δυνατότητα μετακίνησης κατά X-Y και μικρομετρική περιστροφή.



Σχήμα 5.8. Ευθυγράμμιση Της Μάσκας Και Έκθεση

Στα συστήματα *εκτύπωσης με επαφή* το υπόστρωμα χωρίζεται από τη μάσκα με μια απόσταση 25 ως 125 μm κατά τη διάρκεια της διαδικασίας ευθυγράμμισης. Όταν η μάσκα ευθυγραμμιστεί προς τα σχήματα του υποστρώματος, το υπόστρωμα έρχεται σε επαφή με τη μάσκα, το μικροσκόπιο, ευθυγράμμισης απομακρύνεται, αντικαθιστάται από μια πηγή υπεριώδους η οποία φωτίζει για ένα προκαθορισμένο χρόνο το υπόστρωμα μέσα στη μάσκα. Μετά την έκθεση, το υπόστρωμα αποχωρίζεται από τη μάσκα και είναι έτοιμο για τη διαδικασία της εμφάνισης.

Η *εκτύπωση με γεινίαση* έχει αναπτυχθεί σαν τεχνική για την αύξηση του χρόνου ζωής της μάσκας. Η βέλτιστη απόσταση μεταξύ μάσκας και υποστρώματος είναι 10 ως 30 μm ανάλογα με το ελάχιστο μήκος γραμμής που πρέπει να αναπαραχθεί. Ο βασικός εξοπλισμός είναι παρόμοιος με αυτόν που χρησιμοποιείται για την εκτύπωση με επαφή, αλλά τα φαινόμενα περίθλασης είναι περιοριστικά της μεθόδου αυτής για τα μικρά πλάτη γραμμών.

Στα συστήματα *εκτύπωσης με προβολή*, τοποθετείται ένας φακός ανάμεσα στη μάσκα και το υπόστρωμα. Με τον τρόπο αυτό ο χρόνος ζωής της μάσκας γίνεται θεωρητικά άπειρος, υπάρχουν όμως σημαντικοί περιορισμοί για τον φακό προβολής, ιδίως όταν πρέπει να εκτεθούν υποστρώματα μεγάλης διαμέτρου, αλλά και τα φαινόμενα περίθλασης είναι σημαντικά για τα πλάτη γραμμών που πλησιάζουν το 1 μm .

Μερικοί κατασκευαστές μηχανημάτων διαθέτουν αυτόματους ευθυγραμμιστές μασκών, οι οποίοι δεν έχουν όμως ακόμη την απαιτούμενη επιτυχία.

Η ευθυγράμμιση των μασκών για τη *έκθεση σε ακτίνες X* γραμμών με υπομικρονικά πλάτη είναι πολύ δύσκολη με οπτικά μέσα. Πιθανώς είναι απαραίτητη η χρήση ενός αυτόματου συστήματος που να αποκρίνεται στις σκληρές ακτίνες X από ειδικούς στόχους ευθυγράμμισης ώστε να επιτευχθεί η απαιτούμενη ακρίβεια θέσης των 0.1 μm για τα ολοκληρωμένα κυκλώματα μεγάλης πυκνότητας.

Η λιθογραφία *με δέσμη ηλεκτρονίων* μπορεί να χρησιμοποιηθεί για την απ' ευθείας αποτύπωση σχημάτων πάνω στο υπόστρωμα με τον ίδιο τρόπο όπως και για την κατασκευή μασκών.

Μια τελείως διαφορετική προσέγγιση της φωτολιθογραφίας είναι η *προβολή ηλεκτρονικής εικόνας*. Η μάσκα είναι κατασκευασμένη από χρώμα πάνω σε γυαλί χαλαζία το οποίο είναι επικαλυμμένο από μια φωτοκάθοδο ιωδιούχου κασίου. Η μάσκα φωτίζεται από πίσω με υπεριώδη ακτινοβολία με αποτέλεσμα την εκπομπή ηλεκτρονίων από τις περιοχές της φωτοκαθόδου που δεν καλύπτουν το σχέδιο χρωμίου. Τα ηλεκτρόνια επιταχύνονται με μια διαφορά δυναμικού, τυπικά 20 kV, μεταξύ της φωτοκαθόδου και του υποστρώματος που πρόκειται να εκτεθεί. Η ευθυγράμμιση γίνεται με αυτόματο σύστημα και με τη χρήση ειδικού στόχου από οξείδιο του τανταλίου.

Αυτή η μέθοδος ηλεκτρονικής έκθεσης είναι πολύ ταχύτερη από τη λιθογραφία με δέσμη ηλεκτρονίων

VI. Η Εμφάνιση

Η εμφάνιση του φωτοαντιστατικού συνήθως πραγματοποιείται με ψεκασμό με ένα κατάλληλο διάλυμα που προτείνει ο κατασκευαστής του φωτοαντιστατικού. Ακολουθεί πλύση με δεύτερο διαλυτικό και φύσημα με ρεύμα αζώτου.

Πολλοί στο στάδιο αυτό παρατηρούν την πλακέτα στο μικροσκόπιο για να βεβαιωθούν ότι η εμφάνιση είναι καλή.

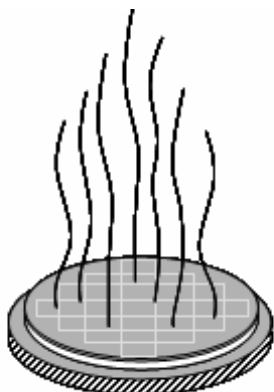
Αν η εμφάνιση δεν είναι πλήρης μπορεί να επαναληφθεί ακόμη μια φορά ή να απομακρυνθεί τελείως το φωτοαντιστατικό και να επαναληφθεί όλη η διαδικασία της φωτολιθογραφίας.



Σχήμα 5.9. Εμφάνιση Του Φωτοαντιστατικού

VII. Η Μετά – ή Ισχυρή Ξήρανση

Μετά την εμφάνιση το φωτοαντιστατικό έχει σύσταση τρίφτη. Αν θερμανθεί σε θερμοκρασία μεταξύ 120° και 180° C για χρόνους από 20 ως 30 λεπτά , το φωτοαντιστατικό θα σκληρύνει και η συνάφεια (coherence) του με το υπόστρωμα θα βελτιωθεί σημαντικά. Ο κύκλος χρόνου – θερμοκρασίας της διαδικασίας αυτής εξαρτάται από τον τύπο του φωτοαντιστατικού και το υλικό της επιφάνειας του υποστρώματος. Υπερβολική θερμοκρασία ξήρανσης , μπορεί να κάνει δυσχερή την απομάκρυνση του φωτοαντιστατικού στο αντίστοιχο στάδιο. Οι φούρνοι είναι ίδιοι με αυτούς που χρησιμοποιούνται για την προ – ξήρανση.



Σχήμα 5.10. Ισχυρή Ξήρανση

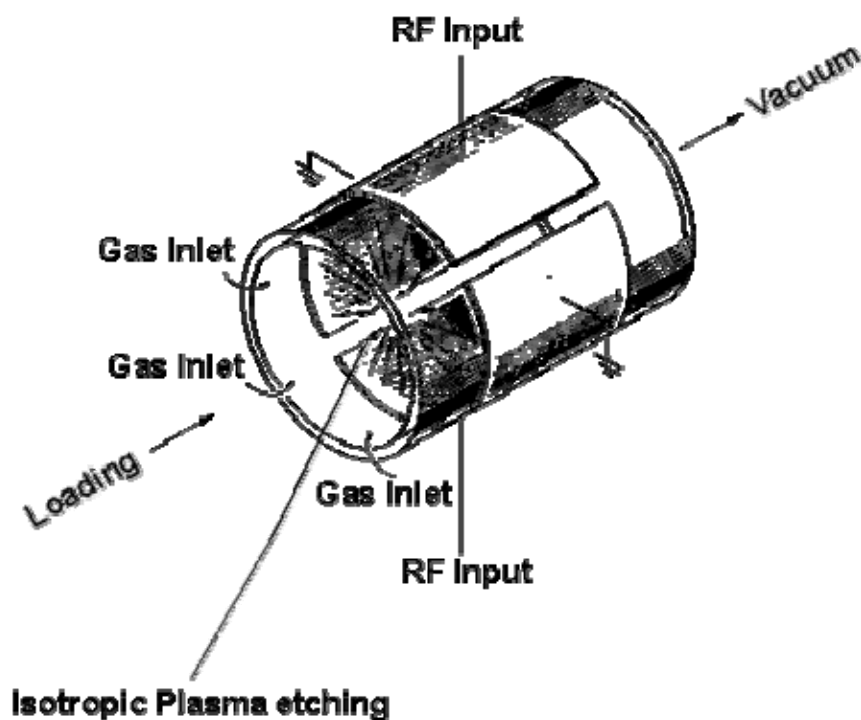
VIII. Η Χάραξη

Η διαδικασία χάραξης εξαρτάται από το υλικό που θέλουμε να χαράξουμε. Η υγρή – χημική χάραξη είναι η κύρια τεχνική που χρησιμοποιείται στις μικροηλεκτρονικές κατασκευές αλλά και διάφορες ξηρές διαδικασίες , όπως η χάραξη με sputtering , με πλάσμα ή με δέσμη ιόντων έγινε δημοφιλείς σε πολλές εφαρμογές.

Η υγρή χημική χάραξη μπορεί να πραγματοποιηθεί με απλή βύθιση ή ψεκασμό με κατάλληλα διαλύματα οξέων. Η ταχύτητα χάραξης εξαρτάται συνήθως από τη θερμοκρασία. Επίσης είναι αναγκαίο να υπάρχει προσεκτικός έλεγχος , για το βέλτιστο αποτέλεσμα.

Οι συσκευές για τη χάραξη με πλάσμα διατίθενται σε δύο μορφές : τους βαρελοειδείς αντιδραστήρες και τους επίπεδους αντιδραστήρες. Σ' ένα βαρελοειδή αντιδραστήρα τα υποστρώματα αναρτώνται κατακόρυφα σε ένα φορέα από τηγμένο χαλαζία. Το πλάσμα δημιουργείται με πέρασμα δραστικών (reactant) αερίων μέσα από πεδίο RF (13.56 MHz) που προκαλείται από ένα πηνίο έξω από το θάλαμο του αντιδραστήρα.

Σε πολλές περιπτώσεις ένα διάτρητος κύλινδρος αλουμινίου περιβάλλει τα υποστρώματα και περιορίζει το πλάσμα μεταξύ του τοιχώματος του αντιδραστήρα και του κυλίνδρου. Τα αντιδρώντα υλικά περνούν μέσα από τις τρύπες του κυλίνδρου και χαράσσουν τα υποστρώματα.



Σχήμα 5.11. Διάγραμμα Βαρελοειδούς Αντιδραστήρα Χάραξης Με Πλάσμα

Σ' έναν επιπεδικό αντιδραστήρα πλάσματος, το πλάσμα δημιουργείται μεταξύ δύο παράλληλων ηλεκτροδίων, που απέχουν περίπου 4 cm μεταξύ τους μέσα στο θάλαμο του αντιδραστήρα. Τα ηλεκτρόδια διεγείρονται από γεννήτρια 400 KHz και τα υποστρώματα είναι βυθισμένα μέσα στο πλάσμα.

Η *χάραξη με sputtering* είναι μια μορφή sputtering στην οποία το υπόστρωμα αποτελεί το στόχο. Η ταχύτητα χάραξης εξαρτάται από το υλικό που πρέπει να απομακρυνθεί. Σε πολλές περιπτώσεις το φωτοαντιστατικό απομακρύνεται με παρόμοια ταχύτητα όπως και το υλικό που πρέπει να χαραχθεί. Σ' αυτές τις περιπτώσεις γίνεται απόθεση μετάλλου για να προστατευθεί το υπόστρωμα στα σημεία, όπου η χάραξη δεν είναι επιθυμητή.

Η *χάραξη με δέσμη ιόντων* είναι μια μορφή sputtering, που χρησιμοποιεί μια παραλληλισμένη δέσμη ιόντων με ενέργειες μεταξύ 500 eV και 1 keV. Η επιλεκτικότητα της χάραξης με δέσμη ιόντων είναι φτωχή, όπως και του sputtering. Π.χ. οι ρυθμοί χάραξης του SiO₂ και του Si είναι σχεδόν ίσοι. Ωστόσο έχουν παραχθεί υπομικρονικά σχήματα με ουσιαδώς κάθετα πλευρικά τοιχώματα με τη μέθοδο της χάραξης με δέσμη ιόντων.

IX. Η Απομάκρυνση Του Φωτοαντιστατικού.

Τα φωτοαντιστατικά μπορούν να απομακρυνθούν με διάφορες μεθόδους όπως διαλυτικά ή οξειδωτικά στην υγρή φάση ή με πλάσμα οξυγόνου.

Τα διαλυτικά χρησιμοποιούνται συνήθως σε θερμοκρασίες μεταξύ 90° και 150° C. Η δράση απομάκρυνσης είναι αποτέλεσμα απορρόφησης του διαλυτικού, που προκαλεί εξόγκωση του φωτοαντιστατικού και κατάρρευση της συνάφειας προς το υπόστρωμα. Ακολουθεί διαδικασία πλύσης του διαλυτικού. Τα διαλυτικά μπορούν να χρησιμοποιηθούν σχεδόν για όλους τους τύπους φωτοαντιστατικών και είναι ιδιαίτερα χρήσιμα για την απομάκρυνση του φωτοαντιστατικού από το αλουμίνιο το οποίο θα οξειδωνόταν από τα οξειδωτικά θετικά φωτοαντιστατικά που έχουν ξηρανθεί σε θερμοκρασία κάτω από 120° C μπορούν να απομακρυνθούν με ακετόνη. Το γεγονός αυτό το χρησιμοποιούμε για τον καθορισμό των σχημάτων στο μέταλλο με μια τεχνική που ονομάζεται "lift off". Κατά αυτήν πριν από την επιμετάλλωση το υπόστρωμα καλύπτεται από θετικό φωτοαντιστατικό, που έχει εμφανιστεί έτσι ώστε οι περιοχές που θέλουμε να καλύψουμε από μέταλλο, να μην καλύπτονται από το φωτοαντιστατικό. Αφού αποτεθεί το μέταλλο, το φωτοαντιστατικό απομακρύνεται με ακετόνη και μαζί του το ανεπιθύμητο μέταλλο, ενώ το μέταλλο στις επιθυμητές περιοχές παραμένει.

Τα οξειδωτικά υγρής φάσης είναι οξέα, χρησιμοποιούνται για την οξείδωση των αρνητικών φωτοαντιστατικών και δίνουν CO₂ και νερό. Στη συνέχεια τα υποστρώματα πλένονται με τρεχούμενο απιονισμένο νερό.

Μια αποτελεσματική τεχνική για την απομάκρυνση του φωτοαντιστατικού είναι η χρήση πλάσματος οξυγόνου. Για τη λειτουργία αυτή χρησιμοποιείται ένας βαρελοειδής αντιδραστήρας στα 10 torr. Μια τυπική διαδικασία διαρκεί 30 λεπτά και το τέλος της υποδεικνύεται από την αλλαγή του χρώματος του πλάσματος. Επειδή υπάρχει υπόνοια ότι η μέθοδος του πλάσματος δημιουργεί μόλυνση του οξειδίου της πύλης των διατάξεων MOS από κινητά ιόντα, πρέπει να χρησιμοποιούνται άλλες μέθοδοι απομάκρυνσης του φωτοαντιστατικού σ' αυτές τις διατάξεις.

ΚΕΦΑΛΑΙΟ 6

Εναπόθεση Υμενίων

Εισαγωγή

Υμένια από διάφορα υλικά χρησιμοποιούνται σε όλους τους τύπους μικροηλεκτρονικών κυκλωμάτων. Τα υμένια αυτά μπορούν να αποτεθούν με διάφορες τεχνικές οι κυριότερες από τις οποίες είναι : η εξάχνωση (sublimation) , το sputtering , η επίστρωση (plating) , η ανοδίωση (upward)και η χημική εναπόθεση ατμών. Η επιλογή της τεχνικής απόθεσης εξαρτάται από το υλικό που πρέπει να αποτεθεί , από το επιθυμητό πάχος , από τα χαρακτηριστικά του υποστρώματος και τις ηλεκτρικές και μηχανικές ιδιότητες που απαιτούνται. Τα υμένια αυτά μπορούν να έχουν μερικές εκατοντάδες angstroms (\AA) ως μερικές δεκάδες μικρά του μέτρου (μm) και μπορούν να χρησιμεύσουν σαν αγωγοί , μονωτές , αντιστάσεις και υπό ορισμένες συνθήκες σαν ενεργές διατάξεις.

Στην συνέχεια θα περιγραφεί ο εξοπλισμός και οι τυπικές διαδικασίες που χρησιμοποιούνται στην βιομηχανία μικροηλεκτρονικής για την απόθεση λεπτών υμενίων κατά την κατασκευή υβριδικών κυκλωμάτων με παχέα υμένια.

6.1. Εξοπλισμός Για Τις Διαδικασίες Κενού

Πολλές τεχνικές απόθεσης λεπτών υμενίων απαιτούν συνθήκες μειωμένης πίεσης. Στα παρακάτω σαν μονάδα μέτρησης της πίεσης θα χρησιμοποιήσουμε το torr , το οποίο ισοδυναμεί με 1 mm βαρομετρικής στήλης υδραργύρου (760 mm στήλης υδραργύρου αντιστοιχούν στην ατμοσφαιρική πίεση στην επιφάνεια της θάλασσας και σε 0°C).

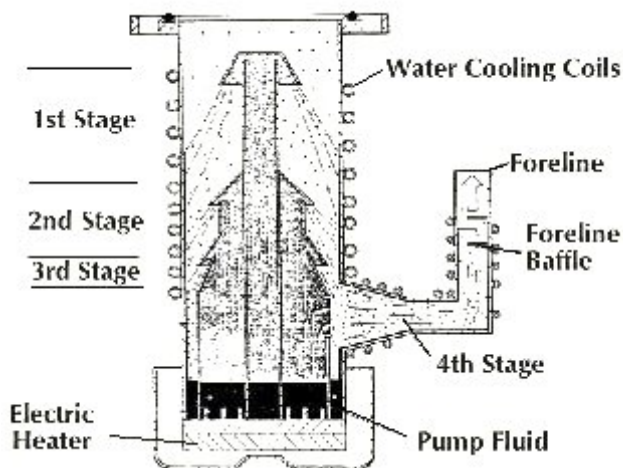
Για γρήγορη άντληση μέχρι πίεση 10^{-2} torr χρησιμοποιούνται συνήθως μηχανικές αντλίες λαδιού. Αυτές ονομάζονται συχνά αντλίες προκαταρκτικού κενού

και είναι συνήθως τύπου ανεμοδείκτη ή περιστρεφόμενου εμβόλου. Ένα μειονέκτημα των μηχανικών αντλιών είναι η δυνατότητα μόλυνσης από λάδι του θαλάμου που εκκενώνεται.

Μια τεχνική ελεύθερη λαδιού για τη δημιουργία του προκαταρκτικού κενού χρησιμοποιεί τις απορροφητικές ιδιότητες των ζεόλιθων. Οι ζεόλιθοι είναι κρυσταλλικές ενώσεις μετάλλων με πυρίτιο, που έχουν την ιδιότητα να αφυδατώνονται χωρίς μεταβολή του κρυσταλλικού τους πλέγματος, με αποτέλεσμα τα μόρια ορισμένων αερίων να μπορούν να καταλάβουν τις θέσεις που αφήνουν τα μόρια του νερού. Η ενεργοποίηση των ζεόλιθων γίνεται με βύθιση του δοχείου, που τους περιέχει, σε υγρό άζωτο. Οι αντλίες αυτού του τύπου χρησιμοποιούνται για όγκους μικρότερους από 50 lt. Τα ίδια υλικά χρησιμοποιούνται και σαν μοριακά λίτρα για τον καθαρισμό των αερίων.

Αν απαιτούνται χαμηλότερες πιέσεις χρησιμοποιούνται ειδικές αντλίες υψηλού κενού. Επειδή οι αντλίες υψηλού κενού είναι αποτελεσματικές μόνο αν η αρχική πίεση είναι ήδη χαμηλή, είναι απαραίτητο να προηγηθεί η χρήση μιας αντλίας προκαταρκτικού κενού για να δημιουργήσει πίεση περίπου 10^{-2} torr. Στην συνέχεια, ένα σύστημα βαλβίδων αποκόπτει την γραμμή πρωτογενούς κενού και ανοίγει η γραμμή υψηλού κενού.

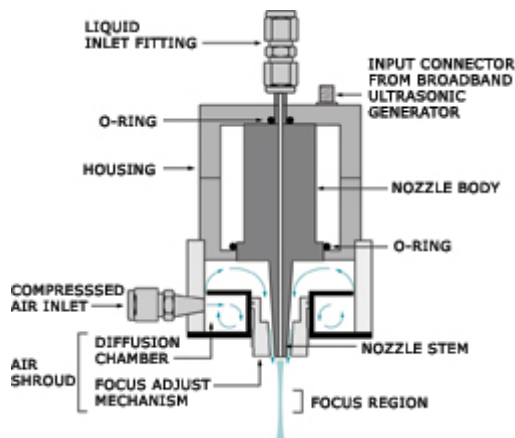
Μια αποτελεσματική διάταξη για την επιτυχία πιέσεων κοντά στα 10^{-7} torr, είναι η αντλία διάχυσης. Στο σχήμα 6.1 φαίνεται ένα διάγραμμα αντλίας διάχυσης.



Σχήμα 6.1 Τομή Μιας Αντλίας Διάχυσης

Ένας υγρός υδατάνθρακας με χαμηλό σημείο βρασμού θερμαίνεται στο βάθος της αντλίας. Τα μόρια του ατμού εκτινάσσονται προς τα κάτω από τους δακτυλιοειδείς εκτοξευτήρες και συμπαρασύρουν τα μόρια του αερίου, με τα οποία συγκρούονται. Έτσι μειώνεται η συγκέντρωση του αερίου μέσα στον όγκο της αντλίας, αποτέλεσμα τη διάχυση των μορίων του αερίου από το θάλαμο προς την αντλία. Η διαδικασία αυτή συνεχίζεται έως ότου η πίεση του αερίου μέσα στο θάλαμο φτάσει την επιθυμητή τιμή. Επειδή μερικά από τα μόρια ατμού της αντλίας μπορεί να διαθλαστούν προς τα πάνω μετά την σύγκρουση τους με τα μόρια του αερίου, τοποθετούνται μια ή περισσότερες παγίδες ανάμεσα στην αντλία και στο θάλαμο για να αποφευχθεί η μόλυνση του θαλάμου. Τα πετάσματα αυτά ψύχονται με νερό, φρέον ή υγρό άζωτο, σε τρόπο ώστε ζεστά μόρια του ατμού της αντλίας που

έρχονται σε επαφή με τις ψυχρές επιφάνειες να ψύχονται και να συμπυκνώνονται. Το τυπικό κωνόδες σύστημα κενού με αντλία διάχυσης φαίνεται παρακάτω.

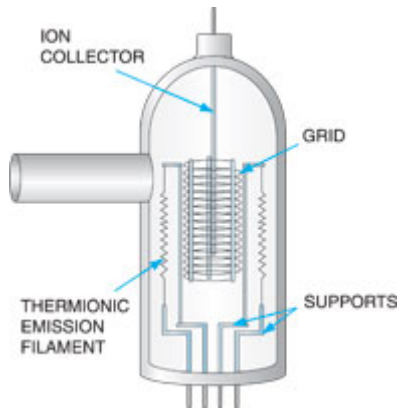


Σχήμα 6.2 Σχηματικό Διάγραμμα Ενός Τυπικού Συστήματος Κενού

Για να επιτύχουμε ακόμη χαμηλότερες πιέσεις από ότι με την αντλία διάχυσης, είναι δυνατόν να χρησιμοποιηθεί μια αντλία ιόντων. Η αντλία ιόντων χρησιμοποιεί μια εκφόρτιση υψηλής τάσης ανάμεσα σε πλάκες τιτανίου. Τα μόρια του αερίου ιονίζονται καθώς περνούν ανάμεσα από τις πλάκες. Ένας μόνιμος μαγνήτης περιορίζει τα ιόντα σε διαδρομές ανάμεσα στις δύο πλάκες μέχρι να προσπέσουν στην κάθοδο. Επειδή οι αντλίες ιόντων είναι αποτελεσματικές μόνο σε χαμηλές πιέσεις, ένα τυπικό σύστημα που εξαχνώνει στρώματα τιτανίου πάνω σε ειδικές επιφάνειες μέσα στο σύστημα, διότι το πρόσφατο αποθεθειμένο τιτάνιο απορροφά αποτελεσματικά τα μόρια του αερίου.

Οι ανιχνευτές που χρησιμοποιούνται για τη μέτρηση χαμηλής πίεσης έχουν διαφορετικές μορφές. Για τον κύκλο του προκαταρτικού κενού συχνά χρησιμοποιείται ένας ανιχνευτής θερμοζεύγους. Η λειτουργία αυτού του τύπου ανιχνευτή εξαρτάται από την ικανότητα της ατμόσφαιρας που περιβάλλει ένα θερμαινόμενο νήμα, να μεταφέρει τη θερμότητα από το νήμα προς ένα κύλινδρο, ο οποίος το περιβάλλει. Καθώς ο αριθμός των μορίων του αερίου μειώνεται, ο αριθμός μεταφοράς μειώνεται επίσης. Η τάση που δημιουργείται σ' ένα θερμοζεύγος που βρίσκεται σε επαφή με τον κύλινδρο, χρησιμοποιείται σαν μέτρο της πίεσης.

Στις αντλίες διάχυσης ο πιο δημοφιλής ανιχνευτής είναι ο ανιχνευτής ιονισμού Bayard – Alpert.



Σχήμα 6.3 Ανιχνευτής Ιονισμού Bayard – Alpert

Ο ανιχνευτής ιονισμού αποτελείται από ένα θερμαινόμενο νήμα, το οποίο εκπέμπει ηλεκτρόνια, ένα ελικοειδές πλέγμα, σε θετικό δυναμικό ως προς το νήμα και μια πλάκα λεπτού σύρματος, σε αρνητικό δυναμικό ως προς το νήμα. Το σύνολο είναι εκτεθειμένο στην ατμόσφαιρα του θαλάμου. Ηλεκτρόνια από το νήμα επιταχύνονται από το δυναμικό του πλέγματος και πολλά από αυτά περνάνε μέσα από τα ανοίγματα του πλέγματος και επιστρέφονται από την πλάκα. Τα ηλεκτρόνια αυτά ταλαντώνονται γύρω από το πλέγμα μέχρι να προσκρούσουν ένα σύρμα του πλέγματος ή να συγκρουστούν με ένα μόριο του αερίου. Αν συμβεί μια τέτοια σύγκρουση με αρκετή ενέργεια το μόριο μπορεί να ιονιστεί και το θετικό ιόν του αερίου θα προσελκυστεί είτε από το νήμα, είτε από την πλάκα ανάλογα με τη θέση της σύγκρουσης. Μόνο τα ιόντα που συλλέγονται από την πλάκα συμβάλουν σε αναγνώσιμες ενδείξεις και το ρεύμα της πλάκας έχει βαθμονομηθεί σε μονάδες πίεσης. Στα συστήματα αντλίας ιόντων, το ίδιο το ρεύμα τροφοδοσίας της αντλίας χρησιμοποιείται σαν ενδεικτικό της πίεσης.

6.2 Διαδικασίες Απόθεσης Σε Κενό

Η πιο συνηθισμένη μέθοδο απόθεσης λεπτών υμενίων συνίσταται στη θέρμανση στερεών υλικών σε κενό μέχρι τη θερμοκρασία στην οποία η πίεση των ατμών τους είναι 10^{-2} torr και συμπύκνωση των ατμών πάνω σ' ένα ψυχρότερο υπόστρωμα.

Για καλύτερη ποιότητα και ομοιομορφία του υμενίου που αποτίθεται, πρέπει το μέσο ελεύθερο βήμα μεταξύ συγκρούσεων των εξαχνωμένων ατόμων με τα μόρια του αερίου του θαλάμου να είναι μεγάλο σε σύγκριση με την απόσταση μεταξύ της πηγής του υλικού που εξαχνώνεται και του υποστρώματος, πάνω στο οποίο συμπυκνώνεται. Αυτό το μέσο βήμα εξαρτάται από την πίεση της ατμόσφαιρας που περιβάλλει την πηγή. Πράγματι στο 10^{-4} torr. Γενικά, όσο χαμηλότερη είναι η πίεση, τόσο καλύτερη η ποιότητα του υμενίου, επειδή πολλά συστήματα άντλησης γίνονται αντενεργά όταν πλησιάζουν στο ακρότατο τους χαμηλής πίεσης, γίνεται ένας συμβιβασμός ανάμεσα στην πίεση και στο χρόνο άντλησης, ούτως ώστε να παράγονται αποδεκτά υμένια σε λογικούς χρόνους.

Το βάρος του υλικού που εξαχνώνεται ανά μονάδα χρόνου είναι ανάλογο προς την τετραγωνική ρίζα του μοριακού βάρους του υλικού.

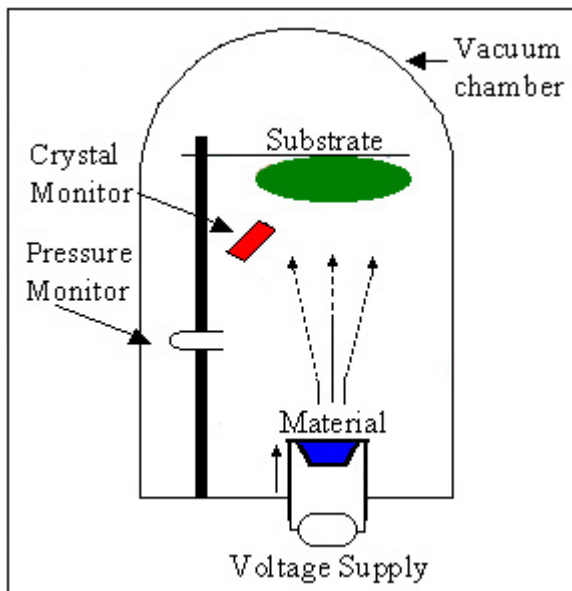
Ο ρυθμός απόθεσης ενός υμενίου εξαρτάται από πολλούς παράγοντες όπως είναι : η απόσταση μεταξύ πηγής και υποστρώματος , η σχετική γωνία θέσης της πηγής ως προς το υπόστρωμα , η γεωμετρία της πηγής και ο συντελεστής συμπίκνωσης του εξαχνωμένου υλικού.

Τόσο ο ρυθμός απόθεσης όσο και το πάχος του υμενίου μπορούν να ελέγχονται κατά τη διάρκεια της διαδικασίας απόθεσης από ένα ηλεκτρονικό σύστημα , που περιλαμβάνει ταλαντωτή ελεγχόμενο από κρύσταλλο. Ο κρύσταλλος αναρτάται μέσα στο θάλαμο εξαχνωσης και κοντά στο υπόστρωμα. Το υμένιο που αποτίθεται επάνω στον κρύσταλλο αλλάζει τη μάζα του και επομένως τη συχνότητα του ταλαντωτή. Η διάταξη αυτή χρησιμοποιείται και για τον αυτόματο έλεγχο της απόθεσης.

Για να επιτύχουμε ομοιόμορφη κάλυψη μεγάλου αριθμού υποστρωμάτων , μπορεί να είναι απαραίτητο να χρησιμοποιήσουμε μια σειρά πηγών καθώς και μια βάση των υποστρωμάτων με δυνατότητα περιστροφής σε δύο διευθύνσεις.

Πολλά μέταλλα , όπως το αλουμίνιο , ο χρυσός , ο χαλκός , το χρώμιο και το νικέλιο , αποτίθενται σε θερμική εξάχνωση. Κράματα είναι δύσκολο να εξαχνωθούν λόγω των διαφορετικών ρυθμών εξάχνωσης των συστατικών τους. Η συνηθισμένη τακτική είναι να εξαχνώνουμε ταυτόχρονα τα διάφορα στοιχεία από ξεχωριστές πηγές. Είναι επίσης δυνατόν να αποτεθούν κράματα με εξάχνωση φλας , κατά την οποία σκόνη του κράματος στάζει σε μια θερμή επιφάνεια και εξαχνώνεται σχεδόν αμέσως.

Μια άλλη προσέγγιση της θερμικής εξάχνωσης , είναι η χρήση μιας εστιασμένης δέσμης ηλεκτρονίων σαν πηγή θερμότητας. Μια τέτοια διάταξη , φαίνεται στο παρακάτω σχήμα.



Σχήμα 6.4. Ένα σύστημα Εξάχνωσης Με Δέσμη Ηλεκτρονίων

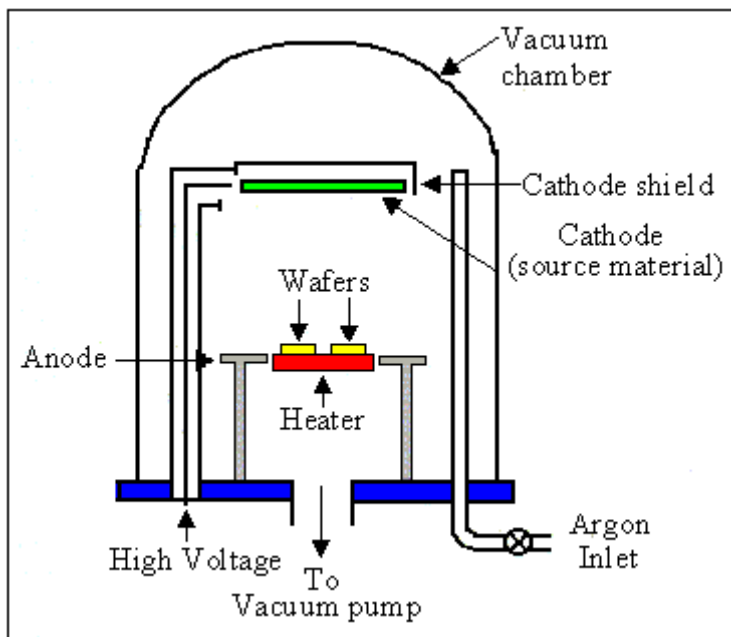
Η ενέργεια συγκεντρώνεται σε μια κηλίδα διαμέτρου 3 mm. Η εξάχνωση με δέσμη ηλεκτρονίων είναι μια καθαρή τεχνική και μπορεί να χρησιμοποιηθεί για την απόθεση μεγάλης ποικιλίας υλικών καθώς και ενώσεων και κραμάτων.

6.3. Το Sputtering

Sputtering είναι η διαδικασία, κατά την οποία απομακρύνουμε επιφανειακά άτομα ή μόρια από την επιφάνεια ενός υλικού, βομβαρδίζοντας το με ενεργητικά ιόντα. Τα συστήματα sputtering που χρησιμοποιούνται στην μικροηλεκτρονική μπορεί να είναι του τύπου DC , RF ή μάγγνετρον. Το sputtering χρησιμοποιείται σε μηχανήματα κενού αλλά σε πιέσεις μεταξύ $25 \cdot 10^{-3}$ torr και $75 \cdot 10^{-3}$ torr .

6.3.1. Το DC Sputtering

Αγώγιμα υλικά μπορούν εύκολα να αποτεθούν σε ένα σύστημα sputtering στο οποίο η ενέργεια ιονισμού προέρχεται από μια πηγή ισχύος συνεχούς τάσης (DC). Ένα τυπικό σύστημα DC sputtering φαίνεται στο παρακάτω σχήμα.



Σχήμα 6.5. Ένα Σύστημα DC Sputtering

Το υλικό που πρέπει να αποτεθεί ονομάζεται στόχος και αποτελεί την κάθοδο του συστήματος ενώ τα υποστρώματα τοποθετούνται στην άνοδο πάνω σ' ένα θερμαινόμενο υπόστρωμα σε απόσταση 1 ως 12 cm από την κάθοδο. Ο θάλαμος εκκενώνεται σε συνθήκες υψηλού κενού και κατόπιν ξαναγεμίζεται με αργόν πολύ υψηλής καθαρότητας μέχρι την τιμή πίεσης που χρειάζεται για το sputtering.

Στην συνέχεια εγκαθίσταται μια εκφόρτιση αίγλης (lasterware) μεταξύ ανόδου και στόχου , με αποτέλεσμα να αποσπώνται άτομα από την επιφάνεια του στόχου και να πέφτουν πάνω στα υποστρώματα σχηματίζοντας ένα υμένιο. Κάθε υλικό έχει μια χαρακτηριστική απόδοση sputtering , δηλαδή ορισμένο αριθμό ατόμων που απομακρύνονται από τον στόχο ανά προσπίπτον ιόν και ο οποίος είναι συνάρτηση της ενέργειας του ιόντος. Ο ρυθμός απόθεσης στα υποστρώματα εξαρτάται από την απόδοση sputtering και το ρεύμα ιόντων.

Για την απόθεση μονωτών χρησιμοποιείται μια άλλη διαδικασία που ονομάζεται αντιφασικό (antiphasis) DC sputtering. Ένα δραστικό αέριο , όπως το οξυγόνο , αναμιγνύεται με το αέριο του sputtering με αποτέλεσμα να σχηματίζεται μια ένωση κατά τη διάρκεια της διαδικασίας. Είναι δύσκολο να σχηματιστεί με αυτό τον τρόπο μια στοιχειομετρική ένωση και χρειάζεται να αναπτυχθεί σε υψηλή θερμοκρασία το οξείδιο που κατασκευάζεται με αυτόν τον τρόπο. Η ανάπτυξη αυτή συχνά πραγματοποιείται μέσα στο ίδιο το σύστημα του sputtering.

Συνήθως είναι επιθυμητό να κάνουμε έναν επί τόπου καθαρισμό των υποστρωμάτων πριν την απόθεση. Η διαδικασία αυτή ονομάζεται αναστροφή sputtering και βασίζεται στην αναστροφή της πολικότητας του τροφοδοτικού σε τρόπο ώστε sputtering να συμβαίνει πάνω στα υποστρώματα και όχι στο στόχο. Με τον τρόπο αυτό επιτυγχάνονται πολύ καθαρό υπόστρωμα για την απόθεση.

6.3.2. RF Sputtering

Με μια διαδικασία RF Sputtering μπορούν να αποτεθούν τόσο μονωτές όσο και αγωγοί.

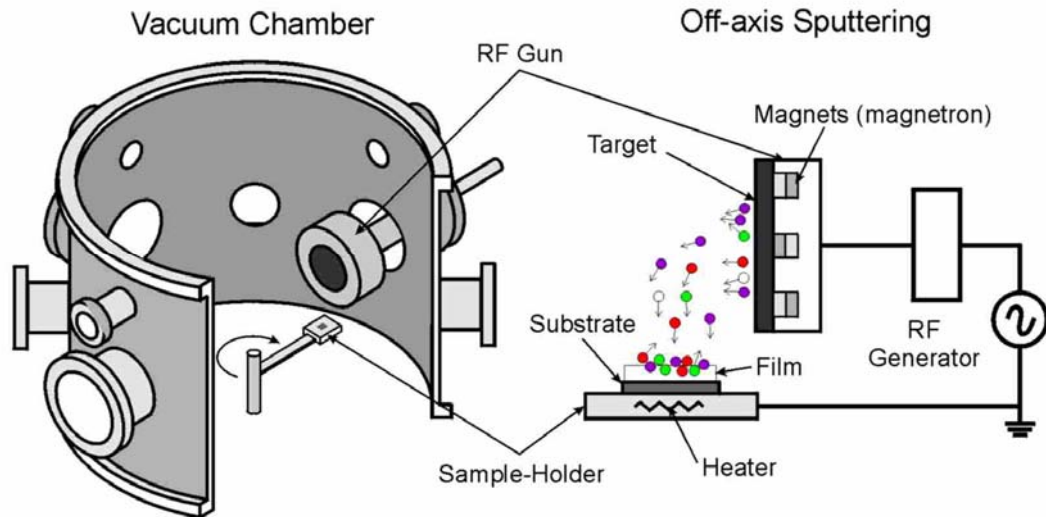
Η γεωμετρία του συστήματος είναι βασικά η ίδια όπως και στο σύστημα DC Sputtering και μόνο το τροφοδοτικό DC αντικαθιστάται από ένα πεδίο RF. Επίσης για να περιοριστεί η εκφόρτιση στην περιοχή του στόχου , τοποθετούνται πηνία γύρω από τον κώδωνα , τα οποία δημιουργούν αξονικό μαγνητικό πεδίο.

Αν ο στόχος είναι μονωτής το σύστημα RF Sputtering λειτουργεί ως εξής : επειδή τα ηλεκτρόνια και τα ιόντα που δημιουργούνται με την εκφόρτιση έχουν πολύ διαφορετικές μάζες , περισσότερα ηλεκτρόνια χτυπάνε στο στόχο κατά την διάρκεια του μισού κύκλου κατά τον οποίο ο στόχος είναι θετικός , παρά θετικά ιόντα όταν ο στόχος είναι αρνητικός. Σε συνθήκες μόνιμης κατάστασης , συγκεντρώνονται ένα πλεόνασμα αρνητικού φορτίου πάνω στον μονωτή δημιουργώντας αρνητική πόλωση ανάμεσα στο στόχο και στην άνοδο. Από κει και πέρα το sputtering πραγματοποιείται με τρόπο παρόμοιο με το DC Sputtering.

Αν ο στόχος είναι αγωγίμος πρέπει να έχει χωρητική σύζευξη με την κάθοδο ούτως ώστε να δημιουργείται συνεχής πόλωση. Η ολική απόδοση του RF sputtering για την απόθεση αγωγών είναι χαμηλότερη από τον DC sputtering.

6.3.3. Μάγνητρον Sputtering

Ο ρυθμός απόθεσης ενός συστήματος DC sputtering μπορεί να βελτιωθεί σημαντικά με τη χρήση μαγνητικών πεδίων, που αυξάνουν την ένταση της εκφόρτισης του αερίου. Παρακάτω φαίνεται ένα σύστημα μάγνητρον sputtering.



Σχήμα 6.5. Ένα Σύστημα Μάγνητρον Sputtering

Το μαγνητικό πεδίο παράγεται από μόνιμους μαγνήτες και προσανατολίζεται έτσι ώστε να είναι περίπου παράλληλο προς την επιφάνεια του στόχου. Σ' αυτού του τύπου τα συστήματα χρησιμοποιούνται επίπεδοι και κωνικοί στόχοι οι οποίοι ψύχονται με νερό. Τα υποστρώματα αναρτώνται σε πλανηταριακή βάση, η οποία είναι ανεξάρτητη από την άνοδο. Με το σύστημα DC μάγνητρον sputtering επιτυγχάνουμε υψηλούς ρυθμούς απόθεσης για το αλουμίνιο και για τα κράματα αλουμινίου. Τα κράματα αυτά χρησιμοποιούνται για να βελτιώσουν τα χαρακτηριστικά ορισμένων τύπων ολοκληρωμένων κυκλωμάτων. Επειδή, όπως είδαμε, η εξάχνωση κραμάτων εμφανίζει δυσκολίες λόγω των διαφορετικών ρυθμών εξάχνωσης των διαφόρων υλικών, το sputtering με μάγνητρον αντιπροσωπεύει μια σημαντική βελτίωση στην απόθεση κραμάτων.

Μπορεί επίσης να συνδυαστεί RF sputtering με μάγνητρον για την απόθεση SiO_2 . Επειδή στην τυπική RF sputtering ο βομβαρδισμός των υποστρωμάτων από ηλεκτρόνια και θετικά ιόντα προκαλεί υποβάθμιση του αποτιθέμενου στρώματος και θέρμανση των υποστρωμάτων, η προσθήκη ενός, ισχυρού μαγνητικού πεδίου παράλληλα προς τα υποστρώματα, τα προστατεύει από αυτόν τον βομβαρδισμό και επιτρέπει υψηλότερο ρυθμό απόθεσης.

6.4. Επιμετάλλωση και Ανοδίωση

Σε μερικές εφαρμογές είναι επιθυμητό να αυξηθεί το πάχος μιας αγώγιμης στρώσης για να μειωθεί η αντίσταση του. Μια οικονομική μέθοδος είναι να αποθέσουμε το υλικό αυτό με ηλεκτρική επιμετάλλωση. Παρόμοια διαδικασία, που χρησιμοποιείται για την απόθεση διηλεκτρικών υμενίων είναι η ανοδίωση (upward).

Η ηλεκτρική επιμετάλλωση χρησιμοποιεί σαν ηλεκτρολύτες υδατικό διάλυμα αλάτων των μετάλλων. Μια πηγή συνεχούς συνδέεται έτσι ώστε τα υποστρώματα να είναι η κάθοδος και το μέταλλο που θα επιστρωθεί, η άνοδος. Ο ρυθμός απόθεση εξαρτάται από την πυκνότητα ρεύματος μέσα στο διάλυμα.

Η ανοδίωση χρησιμοποιείται για το σχηματισμό λεπτών στιβάδων διηλεκτρικού, ποιότητας πάνω σε μέταλλο ή ημιαγωγό. Σ' αυτή την περίπτωση το υπόστρωμα συνδέεται στον θετικό πόλο του τροφοδοτικού. Η ανοδίωση περιορίζεται σε μέταλλα και ημιαγωγούς που φτιάχνουν εκ φύσεως σύμφωνες (coherent) επιφάνειες οξειδίων, όπως είναι το αλουμίνιο, το ταντάλιο, και το πυρίτιο. Το ταντάλιο είναι δημοφιλές υλικό για την κατασκευή αντιστάσεων λεπτού υμενίου. Η ανοδίωση του πυριτίου αποτελεί τμήμα μιας διαδικασίας χαρακτηρισμού για τον προσδιορισμό της κατανομής των προσμίξεων.

Η διαδικασία της ανοδίωσης πραγματοποιείται συχνά με σταθερή πυκνότητα ρεύματος, πράγμα που απαιτεί αύξηση της τάσης καθώς αναπτύσσεται το οξείδιο ώστε να διατηρείται το ηλεκτρικό πεδίο σταθερό. Αν κατασκευάζεται το διηλεκτρικό πυκνωτή, το τελευταίο τμήμα της διαδικασίας πραγματοποιείται με σταθερή τάση. Αυτό έχει σαν αποτέλεσμα την βραδεία ανάπτυξη αλλά ένα στρώμα διηλεκτρικού υψηλής ποιότητας.

6.5 Χημική Εναπόθεση Ατμών (CVD)

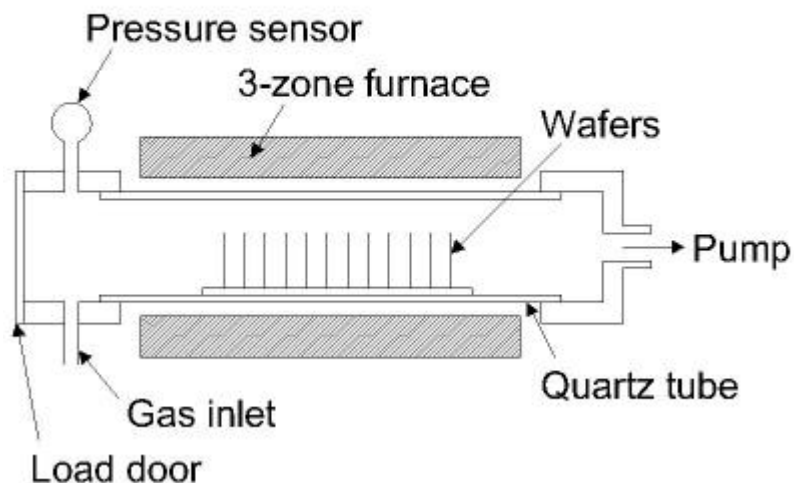
Χημική εναπόθεση ατμών (CVD) είναι ο όρος που χρησιμοποιείται για την διαδικασία, κατά την οποία μια στρώση υλικού αποτίθεται με χημική αντίδραση ή πυρολυτική αποσύνθεση από την αέρια φάση σε γεινίαση με το υπόστρωμα. Η επιταξία είναι ένα τυπικό παράδειγμα CVD. Έχουν αναπτυχθεί διάφορα συστήματα CVD που εργάζονται σε συνθήκες χαμηλής θερμοκρασίας, χαμηλής πίεσης και με τη βοήθεια πλάσματος, ενώ τυπικές εφαρμογές της μεθόδου στην μικροηλεκτρονική είναι η απόθεση διοξειδίου του πυριτίου (SiO_2), νιτριδίου του πυριτίου (Si_3N_4) και πολυκρυσταλλικού πυριτίου.

Η θερμική οξείδωση του πυριτίου παράγει, όπως είδαμε, στιβάδες SiO_2 υψηλής ποιότητας. Εφαρμόζεται όμως μόνο σε υποστρώματα πυριτίου, ενώ συχνά χρειάζεται να αποθεθεί SiO_2 πάνω σε υπάρχοντα οξείδια μετάλλα ή στιβάδας νιτριδίου. Ένα παχύ στρώμα οξειδίου μπορεί να αποθεθεί με οξείδωση του σιλανίου (SiH_4) ή ενός από τα χλωροσιλόνια (SiCl_4 , SiHCl_3 , SiH_2Cl_2) είτε με N_2O είτε με CO_2 σε θερμοκρασίες μεταξύ 800° και 1000° K.

Τα οξείδια αυτά είναι υψηλής ποιότητας, αλλά κατώτερα από τα θερμικά και συχνά χρησιμοποιούνται σαν οξείδια πεδίου των δομών MOS.

Το νιτρίδιο του πυριτίου χρησιμοποιείται σαν στρώση παθητικοποίησης (passivation) σε μερικά διπολικά ολοκληρωμένων κυκλωμάτων, καθώς και σαν συστατικό των μονωτών πύλης πολλαπλών υμενίων των κυκλωμάτων MOS. Το

τυπικό σύστημα (CVD) απόθεσης νιτριδίου χρησιμοποιεί την αντίδραση σιλωνίου και αμμωνίας σε θερμοκρασίας μεταξύ 600° και 800° K με αέριο φορέα άζωτο.



Σχήμα 6.6. Ένας Αντιδραστήρας CVD

Η CVD χαμηλής θερμοκρασίας λειτουργεί σε συνθήκες συνεχούς απόθεσης. Τα υποστρώματα δηλαδή περνάνε μέσα από μια κουρτίνα (drape) αζώτου ενώ θερμαίνονται στη θερμοκρασία απόθεσης, μεταφέρονται στο θάλαμο αντίδρασης και κατόπιν εγκαταλείπουν το σύστημα μέσα από μια άλλη κουρτίνα αζώτου.

Η CVD σε ατμοσφαιρική πίεση πραγματοποιείται συνήθως σε αντιδραστήρα με κρύα τοιχώματα, ώστε να μειώνεται στο ελάχιστο η απόθεση στα τοιχώματα, η οποία υποβαθμίζει την αποτιθεμένη επιφάνεια, λόγω σωματίων που πέφτουν από τα τοιχώματα πάνω στα υποστρώματα. Τα υποστρώματα τοποθετούνται επίπεδα πάνω σ' έναν υποδοχέα που θερμαίνεται με RF.

Ωστόσο έχουν αναπτυχθεί και συστήματα CVD που λειτουργούν υπό μειωμένη πίεση της τάξης των 0.5 ως 1 torr. Τα συστήματα αυτά χρησιμοποιούν θαλάμους αντίδρασης με θερμά τοιχώματα, με τα υποστρώματα αναρτημένα κατακόρυφα, όπως στους φούρνους θερμικής οξειδωσης. Σ' ένα τέτοιο σύστημα η χωρητικότητα υποστρωμάτων είναι πολύ υψηλότερη και η ανάγκη αερίων φορέων πολύ μειωμένη.

Η ομοιομορφία απόθεσης είναι επίσης καλύτερη στα συστήματα χαμηλής πίεσης (LPCVD) και γενικά τα συστήματα αυτά εμφανίζουν οικονομικά πλεονεκτήματα σε σχέση με τα συστήματα CVD σε ατμοσφαιρική πίεση.

Η βελτίωση της CVD από πλάσμα έχει χρησιμοποιηθεί για αποθέσεις νιτριδίου του πυριτίου και διοξειδίου του πυριτίου. Ένα σημαντικό χαρακτηριστικό του πλάσματος με εκφόρτωση αίγλης (lasterware) είναι ότι η ηλεκτρονική θερμοκρασία μέσα στο πλάσμα είναι 10 ως 100 φορές μεγαλύτερη από τη μέση θερμοκρασία των μορίων του αερίου. Αυτό σημαίνει ότι, κατά μέσο όρο, τα μόρια του αερίου μπορούν να διατηρούνται σε σχετικά χαμηλές θερμοκρασίες ενώ η ηλεκτρονική ενέργεια είναι αρκετή να διασπάσει μοριακούς δεσμούς και να οδηγήσει στη δημιουργία χημικά ενεργών στοιχείων. Τα αποτελέσματα της απόθεσης με τη βοήθεια

πλάσματος στους 240°C και σε πίεση 0.2 torr στο σιλάνιο, την αμμωνία και το άζωτο είναι όμοια με αυτά της απόθεσης σε συνηθισμένο αντιδραστήρα στους 800°C .

ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1] Silicon VLSI Technology fundamentals, practice and modelling James D. Plummer
- [2] Κατασκευή ολοκληρωμένων κυκλωμάτων Δημήτριος Ν. Κουβάτσος "Δημόκριτος"
- [3] Silicon processing for the VLSI era, Vol.1 process Technology, S. Wolf and R.N. Tauber, Lattice Press, Sunset Beach, California,1986
- [4] VLSI Fabrication Principles, S.K. Ghandi, Wiley,1985
- [5]VLSI Technology, S.M. Sze (ed), McGraw –Hill,1988

WEB LINKS

- [1] <http://mmnt-web.iue.tuwien.ac.at/index.php?id=22>
- [2]<http://homepage.mac.com/WebObjects/FileSharing.woa/wa/default?user=mathchick&templatefn=FileSharing31.html&xmlfn=TKDocument.31.xml&sitfn=RootSite.xml&aff=consumer&ty=US&lang=en>

ΜΕΡΟΣ ΙΙΙ



ΤΕΙ ΛΑΜΙΑΣ

ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ

ΜΑΘΗΜΑ: ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ-VLSI

ΣΥΜΠΛΗΡΩΜΑΤΙΚΕΣ ΣΗΜΕΙΩΣΕΙΣ

ΛΑΜΙΑ ΔΕΚΕΜΒΡΙΟΣ 2007

ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

1. ΕΙΣΑΓΩΓΙΚΟ ΣΗΜΕΙΩΜΑ.....	σελίδα 3
2. ΕΙΣΑΓΩΓΗ ΣΤΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ.....	4
3. ΔΙΑΔΙΚΑΣΙΑ ΚΑΤΑΣΚΕΥΗΣ CMOS.....	36
4. ΚΛΑΙΩΝΕΣ ΣΧΕΔΙΑΣΗΣ.....	67
5. ΠΑΚΕΤΟ-ΣΥΣΚΕΥΑΣΙΑ ICs.....	74
6. ΤΟ MOS ΤΡΑΝΖΙΣΤΟΡ.....	83
7. ΣΧΕΔΙΑΣΗ MOS ΤΡΑΝΖΙΣΤΟΡ (A).....	108
8. ΔΙΑΜΟΡΦΩΣΗ ΜΗΚΟΥΣ ΚΑΝΑΛΙΟΥ.....	127
9. ΠΕΡΙΘΩΡΙΑ ΘΟΡΥΒΟΥ ΠΛΗΗ ΜΕΤΑΒΙΒΑΣΗΣ, TRISTATE INVERTER.....	142
10. ΥΠΟΛΟΓΙΣΜΟΣ ΧΩΡΗΤΙΚΟΤΗΤΑΣ ΕΚΡΟΗΣ ΠΑΡΑΔΕΙΓΜΑ.....	157
11. CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ.....	162
12. CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ 2.....	183
13. INVERTER LAYOUT.....	209
14. ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ.....	234
15. ΥΠΟΛΟΓΙΣΜΟΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ.....	244
16. ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ CMOS.....	247
17. ΣΧΕΔΙΑΣΗ ΛΟΓΙΚΩΝ ΠΥΛΩΝ CMOS.....	278
18. THERMAL OXIDATION.....	312
19. ΕΓΧΑΡΑΞΗ ΜΕ ΠΛΑΣΜΑ.....	323
20. Η ΔΙΑΔΙΚΑΣΙΑ ΕΓΧΑΡΑΞΗΣ.....	401
21. ΛΙΘΟΓΡΑΦΙΑ 1.....	466
22. ΛΙΘΟΓΡΑΦΙΑ 2.....	518
23. ΠΑΡΑΡΤΗΜΑ.....	532
24. ΒΙΒΛΙΟΓΡΑΦΙΑ.....	536

ΕΙΣΑΓΩΓΙΚΟ ΣΗΜΕΙΩΜΑ

- Ακολουθούν **συμπληρωματικά μαθήματα** Μικροηλεκτρονική –VLSI.
- Η παρουσίαση έχει σκοπό να λειτουργήσει σαν βοηθητική-συμπληρωματική πηγή διαβάσματος για την πληρέστερη κατανόηση του μαθήματος.

Επιμέλεια – προσαρμογή :

Α.Κανατίτσας, Α.Καραγκούνης, Γ.Νικολάου.

Ο πρώτος Υπολογιστής



The Babbage Difference Engine (1832)

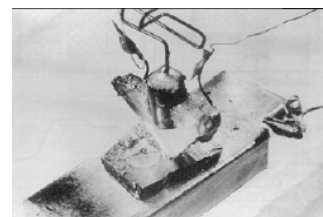
25.000 μέλη, κόστος €17,470

ENIAC - Ο πρώτος Ηλεκτρονικός Υπολογιστής



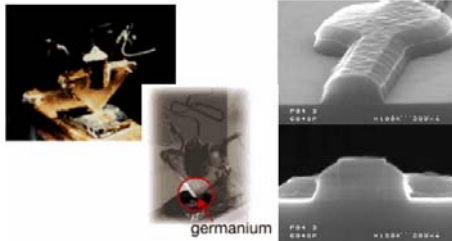
1946
18000 Λυχνίες

Το πρώτο τρανζίστορ

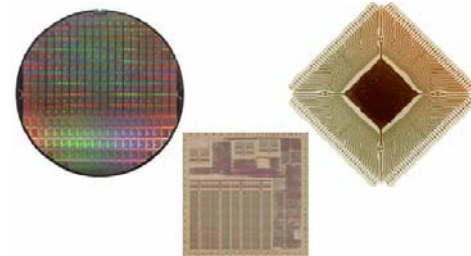


Bell Labs, 1948

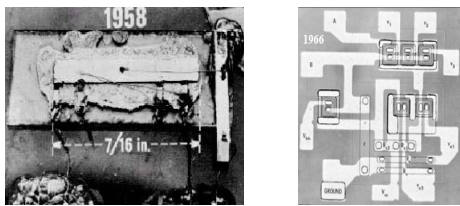
Το τρανζίστορ



Ολοκληρωμένα Κυκλώματα



Εισαγωγή στα ολοκληρωμένα κυκλώματα



Πηγή : Motorola

➤ Ένα *Ολοκληρωμένο Κύκλωμα* αποτελείται από πολλαπλά κυκλωματικά στοιχεία (τρανζίστορ, δίοδοι, αντιστάσεις κ.τ.λ.) τα οποία μαζί με τις διασυνδέσεις τους έχουν κατασκευαστεί σε ένα και μόνο κοινό υπόστρωμα.

VLSI Κυκλώματα

- ο Μικρής κλίμακας ολοκλήρωση (SSI): 10 τρανζίστορ
- ο Μεσαίας κλίμακας ολοκλήρωση (MSI): 100 τρανζίστορ
- ο Υψηλής κλίμακας ολοκλήρωση (LSI): 1000 τρανζίστορ
- ο Πλούυ υψηλής κλίμακας ολοκλήρωση (VLSI): 10000 τρανζίστορ
- ο . . .

	2004	2013 (ε)
Διαστάσεις die (mm)	25 x 32	22 x 26
Επιφάνεια die (mm ²)	800	572
Τεχνολογία (μm)	0.13	0.032
# NAND πυλών / die	158.000.000	1.862.000.000
DRAM κυψελίδες / die	6Gb	70Gb

Η Εξέλιξη

Cray-1: Ο ταχύτερος υπολογιστής 1976-1982

- 64MB μνήμη
- 40KB καταχωρητές
- ~ 1εκατ. πύλες NAND
- 80MHz ρολόι
- 115KW κατανάλωση ισχύος!

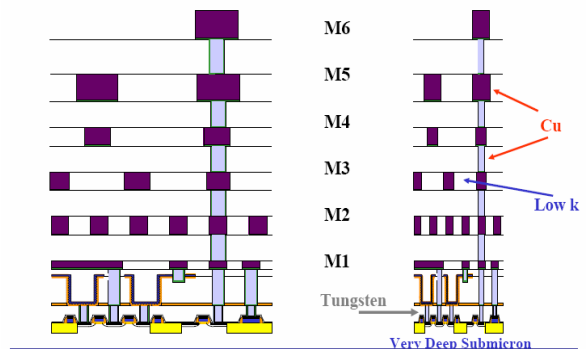
Στη σημερινή τεχνολογία (0.13μm)

- 64MB μνήμη → 17mm²
- 40KB καταχωρητές → 0.26mm²
- 1 εκατ. πύλες NAND → 8.5mm²

μπορούν να παραδοθούν σε ένα 5mmx5mm ολοκληρωμένο, με 3GHz ρολόι και κάποια mW κατανάλωση ισχύος.



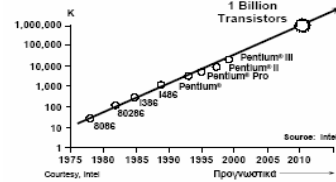
Κλιμάκωση της Τεχνολογίας



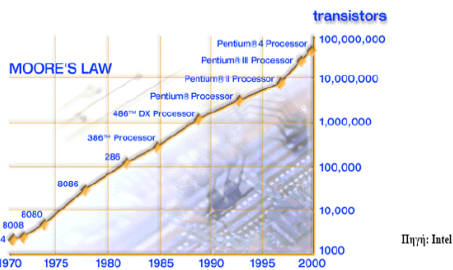
Νόμος του Moore

- Το 1965 ο Gordon Moore, (μηχανικός στην Intel) παρατήρησε ότι ο αριθμός των τρανζίστορ διπλασιαζόταν κάθε 18 με 24 μήνες.
- Προέβλεψε ότι η κατασκευαστική τεχνολογία θα διπλασιάζει την αποδοτικότητα της κάθε 18 μήνες.

Πλήθος Τρανζίστορ

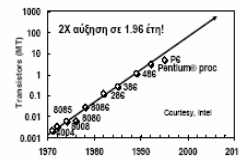


Ο Νόμος του Moore



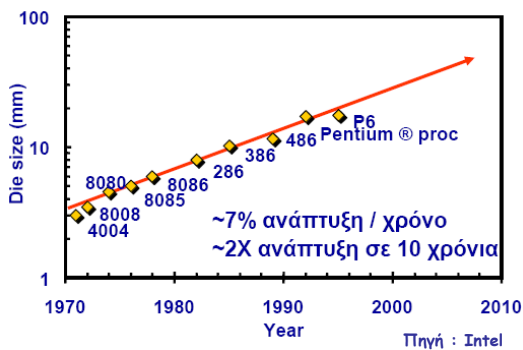
- Ο δύναμι αριθμός των τρανζίστορ σε ένα ολοκληρωμένο διπλασιάζεται κάθε 18 μήνες περίπου !

Νόμος του Moore σε επεξεργαστές

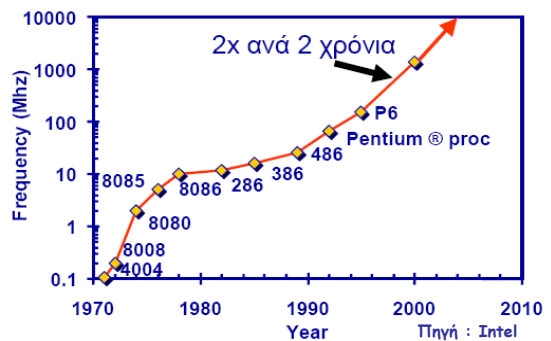


Το πλήθος Τρανζίστορ σε επεξεργαστές αργά διπλασιάζεται κάθε 2 χρόνια.

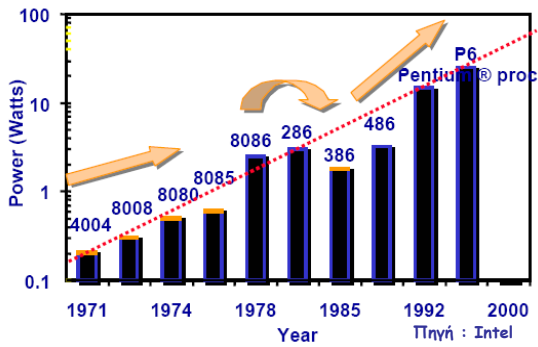
Επιφάνεια Πυριτίου ανά Die



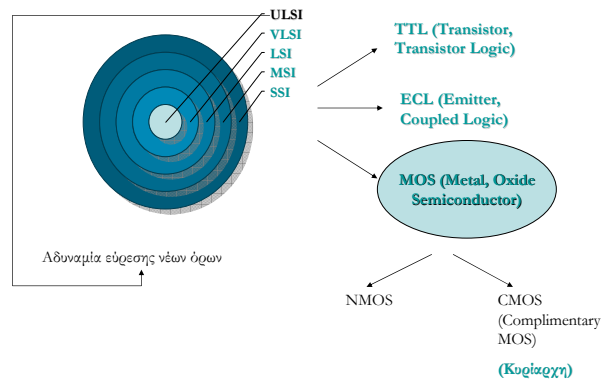
Συχνότητα



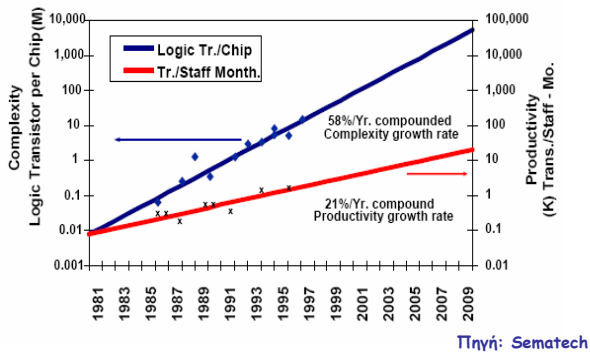
Κατανάλωση Ισχύος



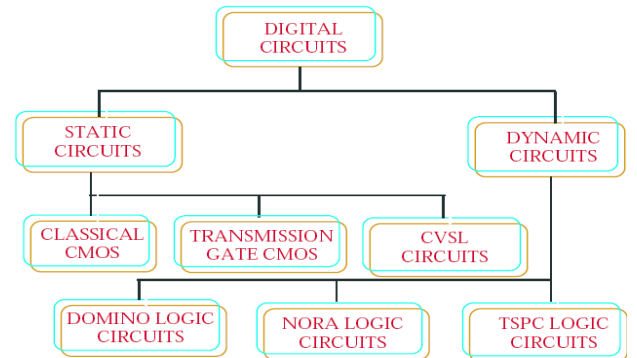
Τεχνολογίες Σχεδίασης



Εξέλιξη και Παραγωγικότητα



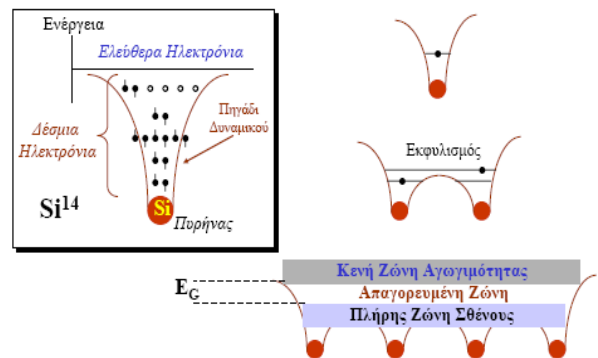
Κατηγοριοποίηση ψηφιακών κυκλωμάτων



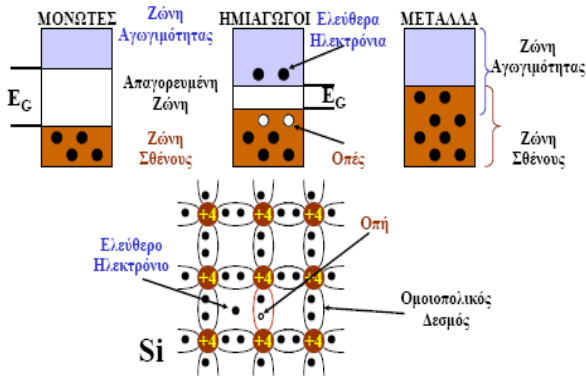
Τεχνολογία CMOS

- ❖ Υλοποιεί την πλειοψηφία των μοντέρνων ψηφιακών κυκλωμάτων
 - ❑ λογικές πύλες
 - ❑ μνήμες
 - ❑ επεξεργαστές
 - ❑ άλλα σύνθετα κυκλώματα
- ❖ Συνδυάζει συμπληρωματικά pMOS και nMOS transistors
- ❖ Είναι ιδανική για λογικά κυκλώματα μεγάλης ολοκλήρωσης και χαμηλής κατανάλωσης

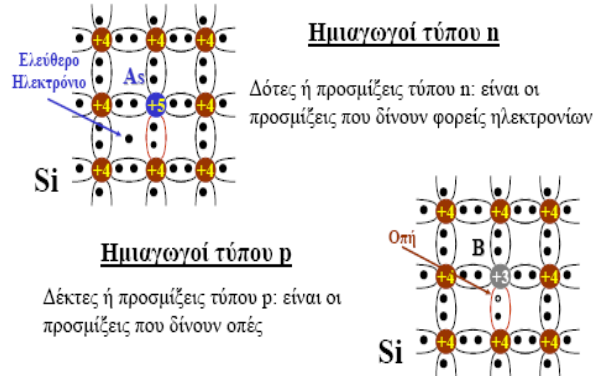
Θεωρία MOS transistor Ενεργειακές Ζώνες



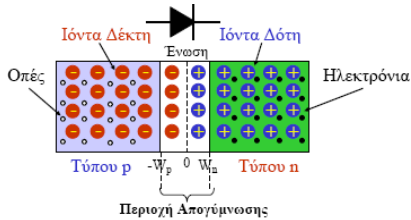
Μονωτές - Ημιαγωγοί - Μέταλλα



Ημιαγωγοί με Προσμίξεις

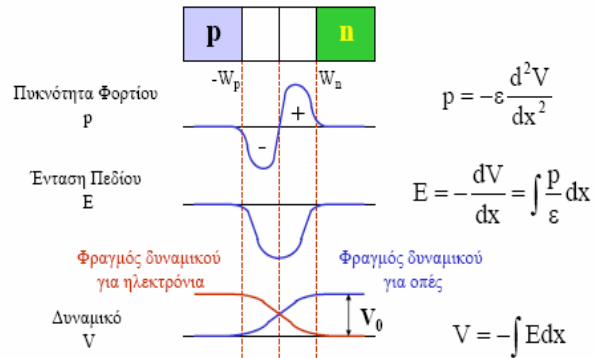


Επαφή Ανοικτού Κυκλώματος (I)



❖ Η διάχυση οπών προς τα δεξιά και ηλεκτρονίων προς τα αριστερά δημιουργεί μία περιοχή κενή από κινητά φορτία, εξ' αιτίας της ένωσης οπών - ηλεκτρονίων, την **περιοχή απογύμνωσης**.

Επαφή Ανοικτού Κυκλώματος (II)

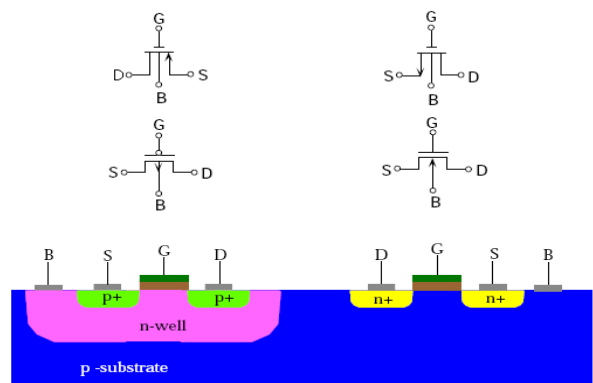


Το transistor MOSFET

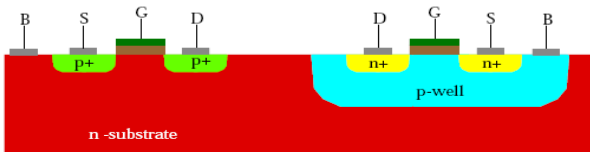
❖ Είναι transistor επίδρασης πεδίου (field effect transistor - FET)

- Η αγωγιμότητα ενός καναλιού (channel) μεταξύ δύο ακροδεκτών, πηγής (source) και καταβόθρας (drain), ελέγχεται από την τάση που εφαρμόζεται σε έναν τρίτο ακροδέκτη, την πύλη (gate).
- Σε έναν τέταρτο ακροδέκτη, το υπόστρωμα ή σώμα (body), σχηματίζεται το κανάλι μεταξύ πηγής και καταβόθρας, κάτω ακριβώς από την πύλη.
- Οι διαστάσεις του καναλιού L και W , ορίζονται από τον κατασκευαστή και καθορίζουν τα χαρακτηριστικά του transistor

MOS TRANSISTORS



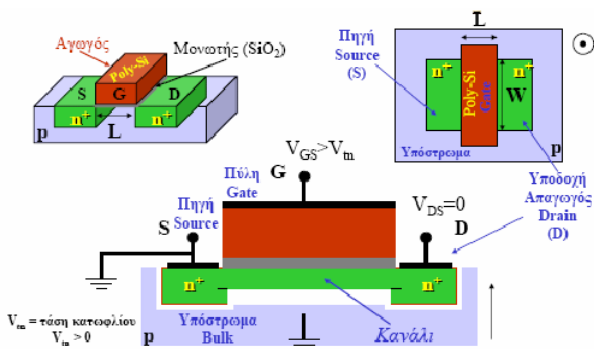
MOS TRANSISTORS



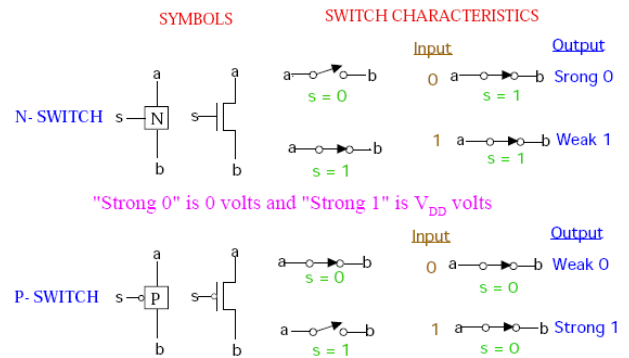
Συμβολισμοί transistor MOSFET

- ❖ V_T : τάση κατωφλίου για το transistor
- ❖ V_{GS} : τάση πύλης-πηγής
- ❖ V_{DS} : τάση καταβόθρας-πηγής
- ❖ I_{DS} : ρεύμα καταβόθρας-πηγής που διαρρέει το transistor
- ❖ k : συντελεστής κέρδους
- ❖ Σημειώνεται ότι
 - οι παραπάνω τάσεις είναι θετικές για ένα NMOS και αρνητικές για ένα PMOS
 - το I_{DS} έχει αντίθετη φορά για το PMOS

Transistor MOSFET



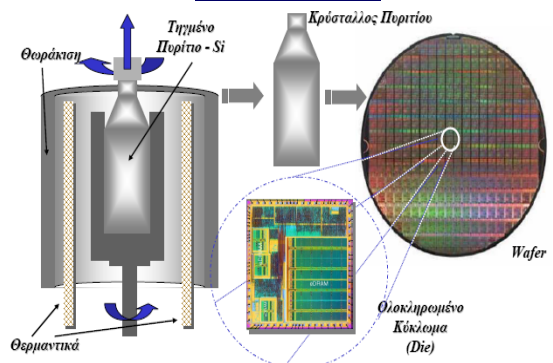
Διακοπτικά Σύμβολα nMOS και pMOS και ιδανικά χαρακτηριστικά



Λογικά επίπεδα εξόδου των P και N διακοπών

LEVEL	SYMBOL	SWITCH CONDITION
Strong 1	1	P-SWITCH gate = 0, source = V_{DD}
Weak 1	1	N-SWITCH gate = 1, source = V_{DD}
Strong 0	0	N-SWITCH gate = 1, source = V_{SS}
Weak 0	0	P-SWITCH gate = 0, source = V_{SS}
High Impedance	Z	N-SWITCH gate = 0 or P-SWITCH gate = 1

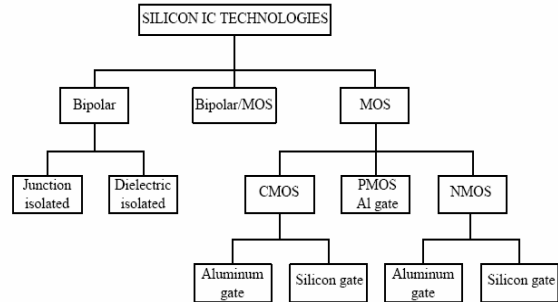
Κατασκευή Ολοκληρωμένων Κυκλωμάτων



Κατασκευή Wafers



Κατηγορίες Τεχνολογίας Πυριτίου



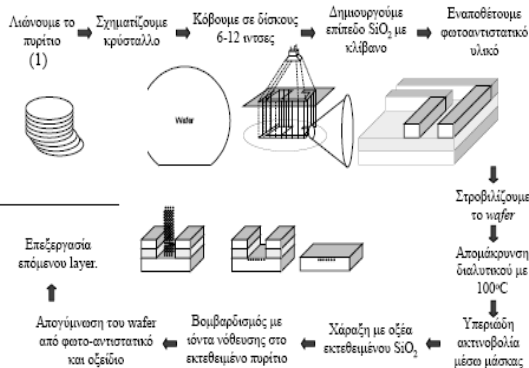
Γιατί CMOS τεχνολογία;

- Χαμηλή κατανάλωση Ισχύος
- Μεγάλη Πυκνότητα Ολοκλήρωσης
- Μέγιστο Πεδίο Μεταβολής Τάσης στις Λογικές Στάθμες της Εξόδου
- Συμμετρική Απόκριση Μετάβασης
- Σχεδιασμός Κυκλωμάτων Δυναμικής Λογικής
- Διπολικά Ολοκληρωμένα Κυκλώματα

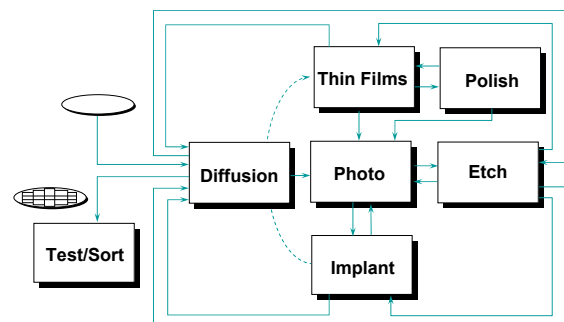
Διαδικασία κατασκευής CMOS

- Πάνω στην επιφάνεια του πυριτίου τοποθετούμε πολλαπλά επίπεδα αγωγικών και μονωτικών υλικών.
- Είναι μία διαδικασία που γίνεται σε βήματα που βασίζονται σε μία σειρά χημικών διεργασιών:
 - οξείδωση πυριτίου
 - διάχυση προσμίξεων
 - απόθεση αλουμινίου
 - χάραξη αλουμινίου
- Για την κατασκευή των *wafers* χρησιμοποιείται καθαρό επεξεργασμένο πυρίτιο (ανοχή καθαρότητας: 1ακαθαρότητα / 10^{10} άτομα σιλικόνης).

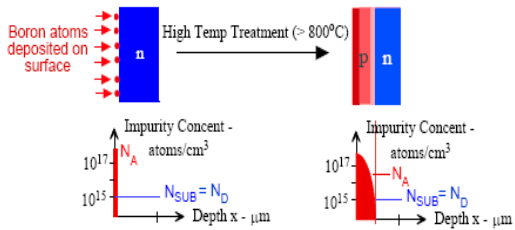
Διαδικασία κατασκευής CMOS



Τυπικό διάγραμμα ροής κατασκευής CMOS

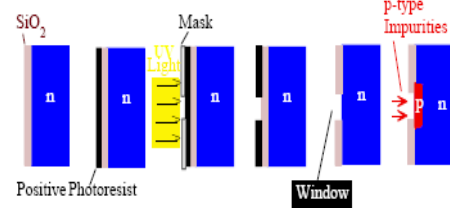


Διαδικασία Διάχυσης (Diffusion process)



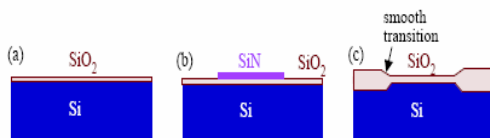
- Το Βόριο τυπικά χρησιμοποιείται για p-τύπου διάχυση
- Το Αρσενικό και ο φωσφόρος χρησιμοποιούνται για n-τύπου διάχυση

Φωτολιθογραφία



- patterning process (masking)
- photoresist coating
- exposure to UV light
- develop

Local Oxidation of Silicon (LOCOS)



- Το SiN δρα ως αδιαπέραστο τείχος για τα άτομα του οξυγόνου
- Σταματά περεταίρω οξείδωση στην επιφάνεια SiN-SiO₂

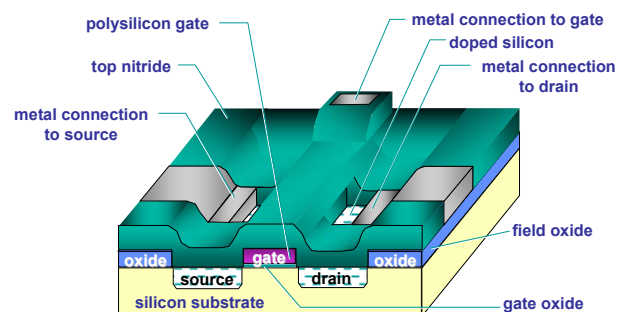
Διαδικασία κατασκευής CMOS

- **Etch**
 - selective removal of specific materials
 - permanent patterning of wafer
 - low vacuum - high vacuum pressure
 - RF power, plasma etching
- **Ion Implant**
 - selective doping of specific areas of wafer
 - through windows in photoresist or oxide
 - high voltage, high vacuum, ion acceleration
- **Thin Films**
 - moderate temperatures
 - low vacuum - high vacuum pressures
 - dielectric films, metals, anneal
- **Polish**
 - chemical mechanical polish (CMP)
 - planarization of wafer surface
- **Strips & Cleans**
 - dry, plasma resist strip
 - wet, chemical cleans using acid solutions and solvents
- **Test/Sort**
 - automated testing of each die on wafer
 - discriminate good from bad
 - determines a fab's yield
 - ship to assembly & packaging

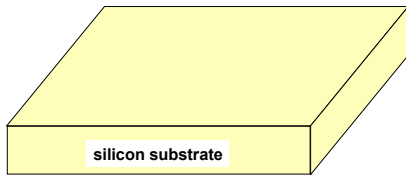
Polish



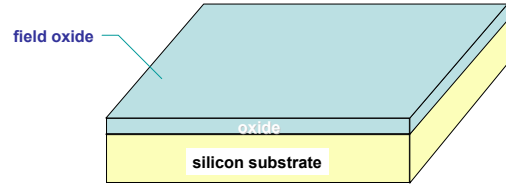
Διαδικασία κατασκευής ενός metal oxide semiconductor (MOS) transistor



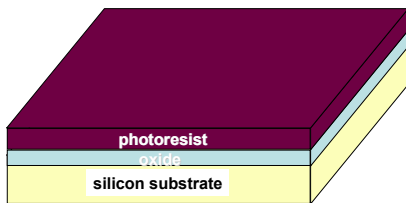
Η κατασκευή ενός απλού MOS ξεκινά με ένα υπόστρωμα πυριτίου.



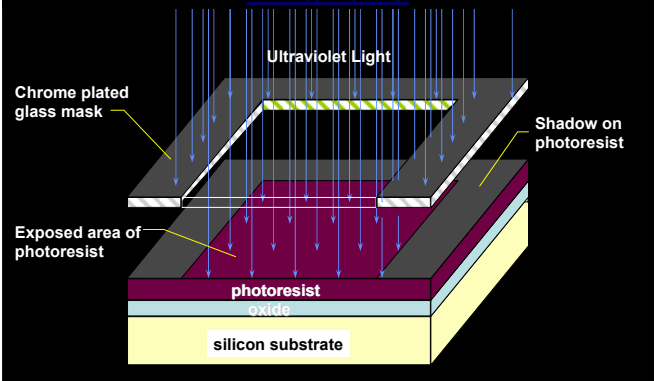
Ένα στρώμα διοξειδίου του πυριτίου(field oxide) παρέχει απομόνωση μεταξύ των devices που θα κατασκευαστούν στο ίδιο υπόστρωμα.



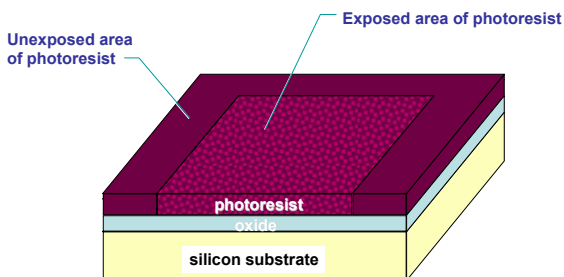
Το photoresist αποτελεί τον τρόπο αποτύπωσης της εικόνας της μάσκας πάνω στην κορυφή του wafer.



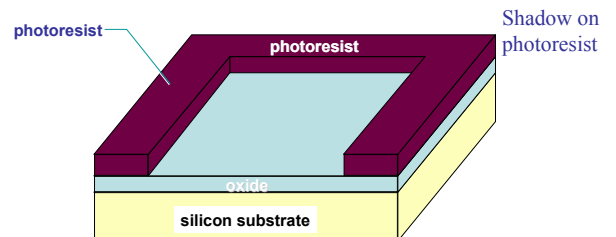
Έκθεση του photoresist σε υπεριώδη ακτινοβολία διαμέσου της οπής της μάσκας λιθογραφίας.



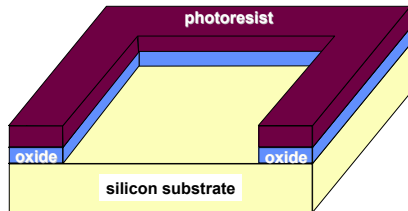
Το εκτιθέμενο photoresist γίνεται διαλυτό και μπορεί εύκολα να αφαιρεθεί με χημικό τρόπο.



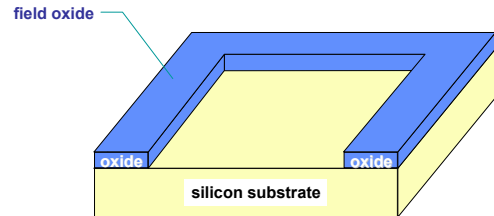
Το μη εκτιθέμενο photoresist παραμένει στην επιφάνεια του οξειδίου και λειτουργεί ως μια προσωρινή προστατευτική μάσκα για τις περιοχές του οξειδίου που δεν θα εγχαραχθούν.



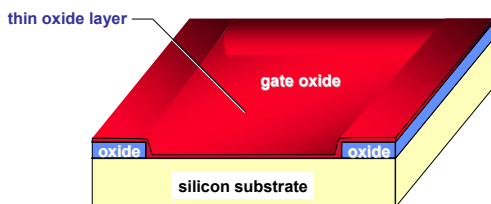
Περιοχές του οξειδίου προστατευόμενες από photoresist παραμένουν στην επιφάνεια του πυριτίου καθώς το εκτιθέμενο οξείδιο αφαιρείται κατά τη διαδικασία εγχάραξης.



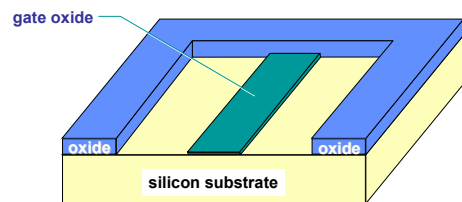
Το photoresist αφαιρείται αποκαλύπτοντας το σχέδιο του field oxide.



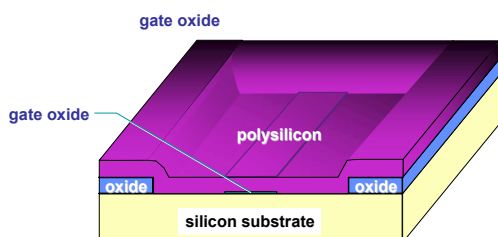
Ένα λεπτό στρώμα πυριτίου αναπτύσσεται στο πυρίτιο το οποίο αργότερα θα αποτελέσει το μονωτικό οξείδιο της πύλης για το υπό κατασκευή transistor.



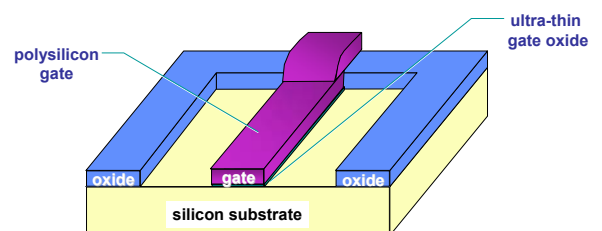
Η περιοχή απομόνωσης πύλης ορίζεται αποτυπώνοντας το οξείδιο πύλης με masking και etching διαδικασία.



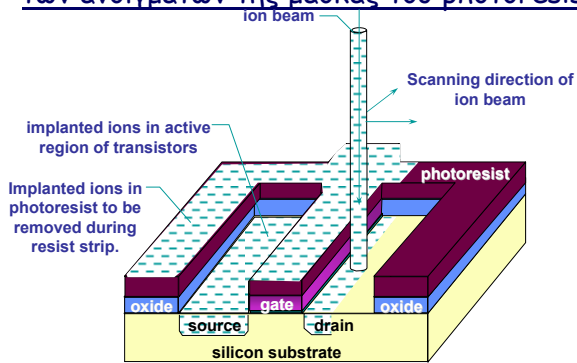
Πολυπυρίτιο εναποτίθεται το οποίο θα χρησιμοποιηθεί ως υλικό κατασκευής της πύλης του transistor.



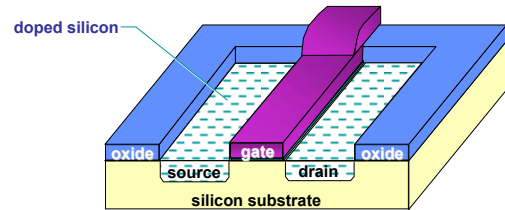
Το σχήμα της πύλης καθορίζεται από masking και etching βήματα.



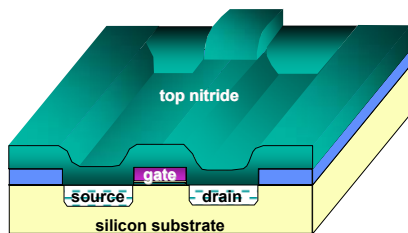
Ίοντα δότη εμφυτεύονται επιλεκτικά διαμέσου των ανοιγμάτων της μάσκας του photoresist.



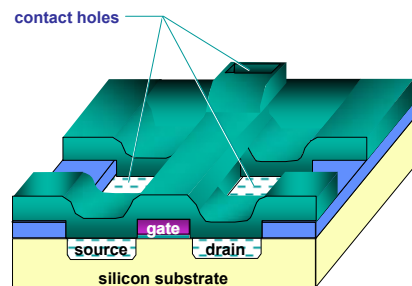
Οι περιοχές πηγής και εκροής του transistor γίνονται αγώγιμες εμφυτεύοντας άτομα δότη σε επιλεγόμενες περιοχές του υποστρώματος.



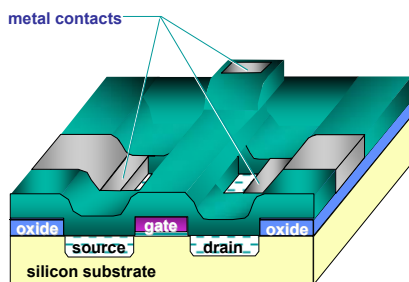
Ένα στρώμα νιτριδίου του πυριτίου εναποτίθεται στην κορυφή του ολοκληρωμένου transistor για την προστασία από το περιβάλλον.



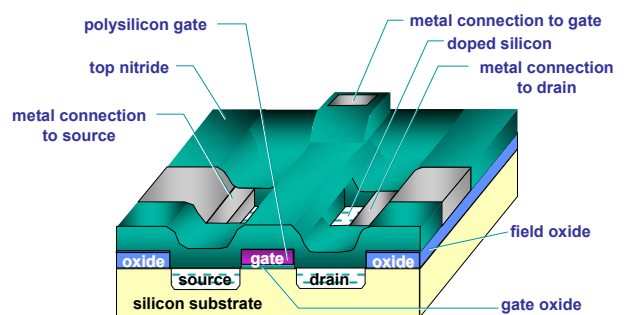
Οι σπές εγχάρασσονται σε επιλεγόμενα σημεία στην κορυφή του νιτριδίου όπου μεταλλικές επαφές θα σχηματιστούν.



Μέταλλο εναποτίθεται και επιλεκτικά εγχάρασσεται για να παρέχει ηλεκτρική επαφή στα τρία ενεργά μέρη του transistor.



Ολοκληρωμένη δομή ενός απλού MOS transistor



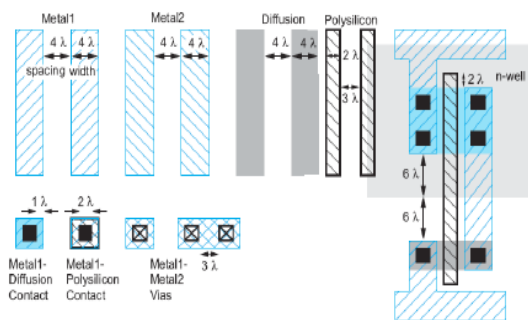
Κανόνες Σχεδίασης

- ❖ Οι κανόνες σχεδίασης περιγράφουν τα ελάχιστα μεγέθη των αγωγών των τρανζίστορ και τις ελάχιστες αποστάσεις μεταξύ αυτών.
- ❖ Οι κανόνες σχεδίασης καθορίζονται:
 1. είτε σε μικρόμετρα (μm) ή νανόμετρα (nm)
 2. είτε με βάση μια παράμετρο λ
- ❖ Το λ ορίζεται ως το $\frac{1}{2}$ του ελάχιστου μήκους καναλιού του τρανζίστορ.
- ❖ Παράδειγμα: για ελάχιστο μήκος $0.18\mu\text{m} = 180\text{nm} \rightarrow \lambda = 0.09\mu\text{m}$

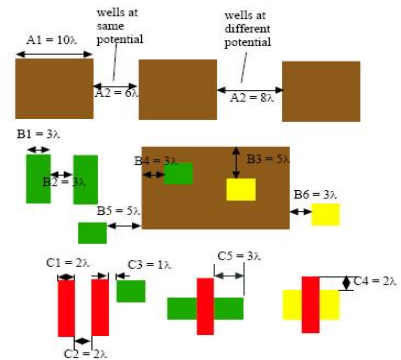
Κανόνες Σχεδίασης

- ❖ Συνδεδειγμένος κώδικας μεταξύ σχεδιαστή και μηχανικού κατασκευής ολοκληρωμένων κυκλωμάτων
- ❖ Οδηγοί του τρόπου κατασκευής των μασκών για την υλοποίηση της σχεδίασης στο πυρίτιο
- ❖ Αντικατοπτρίζουν τους περιορισμούς και τα όρια της τεχνολογίας για την αξιόπιστη λειτουργία των κατασκευαζόμενων ολοκληρωμένων

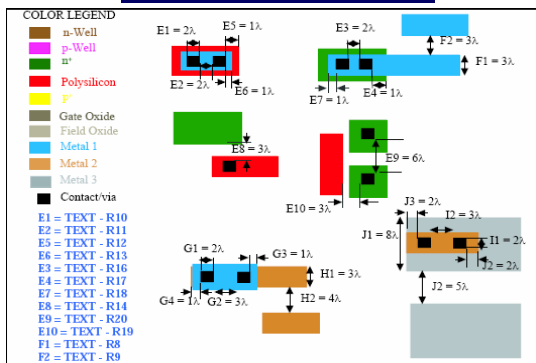
Κανόνες Σχεδίασης



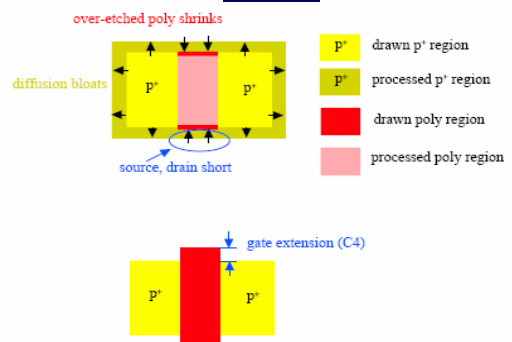
Κανόνες Σχεδίασης



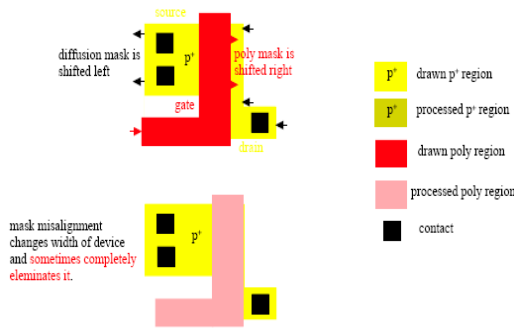
Κανόνες Σχεδίασης



Επίδραση ανεπαρκούς επέκτασης πύλης



Επίδραση ανεπαρκούς επέκτασης πηγής-εκροής

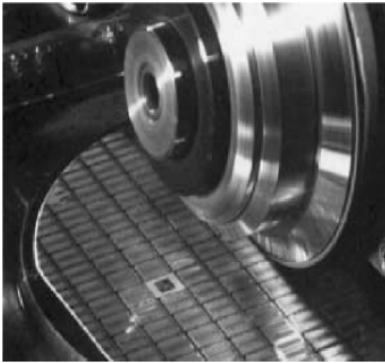


Πακέτο-Συσκευασία ICs

Απαιτήσεις Πακέτου

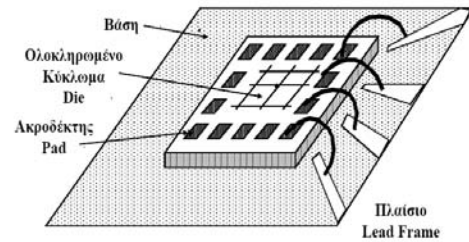
- ❖ Ηλεκτρικές: Χαμηλές παρασιτικές
- ❖ Μηχανικές: Αξιοπιστία και στοιβαρότητα
- ❖ Θερμικές: Καλή διάχυση θερμότητας
- ❖ Οικονομικές: Χαμηλό Κόστος

Κοπή ολοκληρωμένων κυκλωμάτων

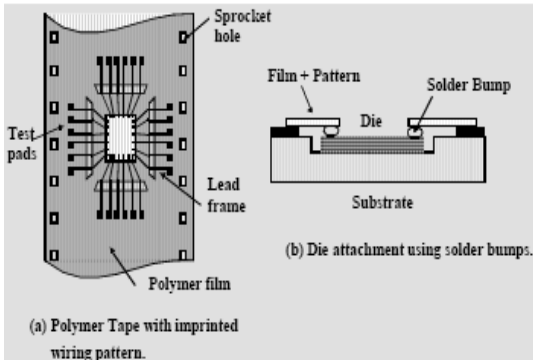


Τεχνολογία Δι-ενώσεων

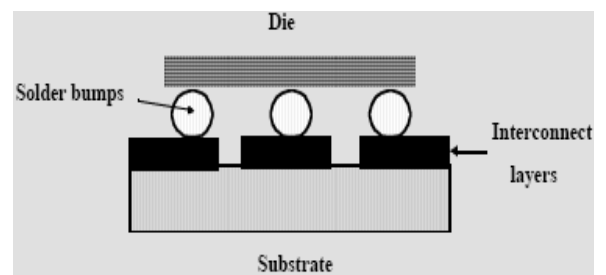
Σύνδεση Καλωδίων



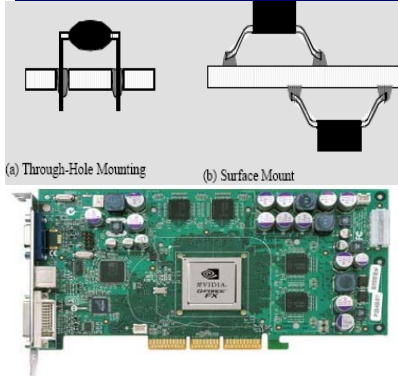
Tape-Automated Bonding (TAB)



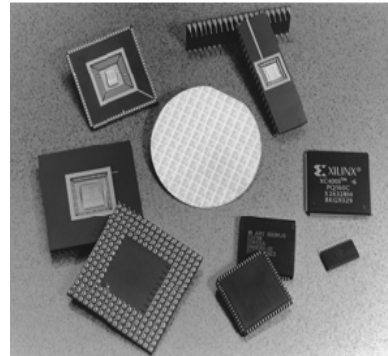
Flip-Chip Bonding



Διασύνδεση chip σε PCB



Τύποι Πακέτων

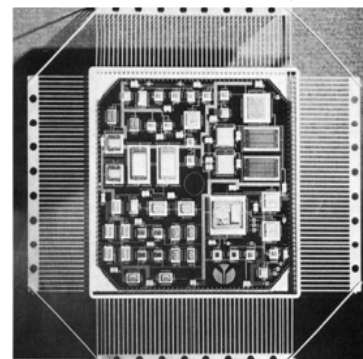


Παράμετροι Πακέτων

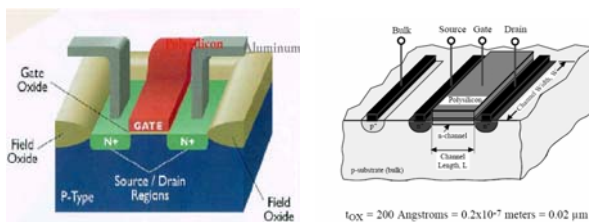
Package Type	Capacitance (pF)	Inductance (nH)
68 Pin Plastic DIP	4	35
68 Pin Ceramic DIP	7	20
256 Pin Pin Grid Array	5	15
Wire Bond	1	1
Solder Bump	0.5	0.1

Typical Capacitances and Inductances of Various Package and Bonding Styles (from [Sze83])

Τεχνολογία Multi-Chip Modules



Το MOS τρανζίστορ

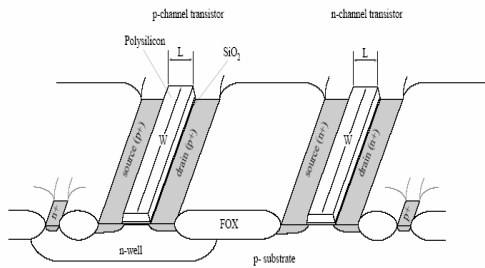


Το MOS τρανζίστορ



Υπάρχουν δυο τύποι τρανζίστορ MOS: n-τύπου τρανζίστορ (n-mos) και p-τύπου τρανζίστορ (p-mos).

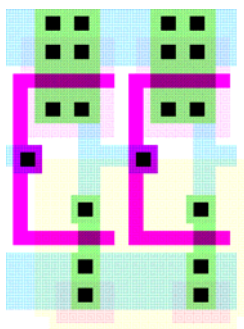
Φυσική Δομή MOS τρανζίστορ



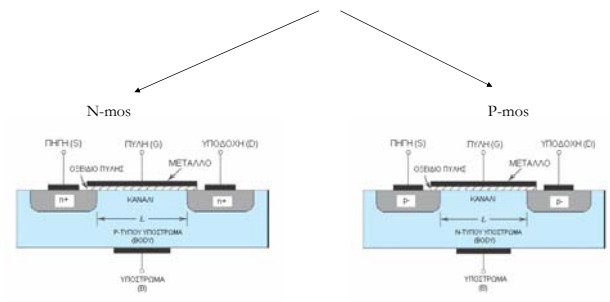
Κυκλωματικό Μοντέλο



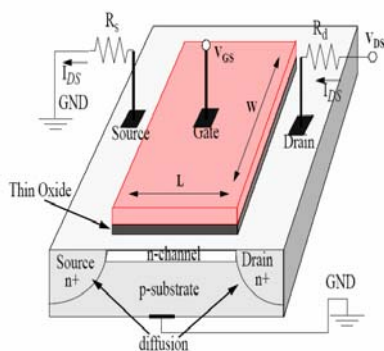
Η αντίστοιχη Layout μορφή του



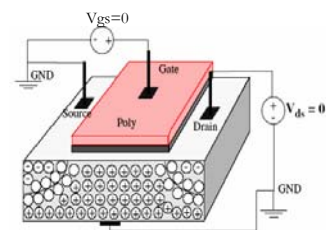
Φυσική δομή MOS τρανζίστορ



N-MOS Τρανζίστορ



N-MOS Τρανζίστορ



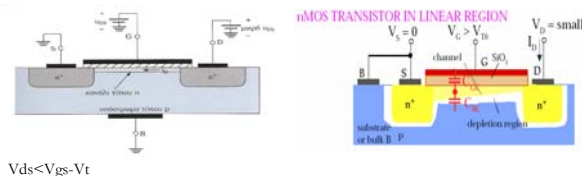
Για περισσότερες πληροφορίες σχετικά με το μάθημα Κατασκευή Ημιαγωγών (Βρίσκεται στους Διεθνείς Οδηγούς Σπουδών)

Λειτουργία MOS τρανζίστορ

- Ένα MOS τρανζίστορ λειτουργεί ως ένας διακόπτης ελεγχόμενος από τάση ο οποίος αρχίζει να άγει όταν η τάση μεταξύ πύλης και πηγής V_{gs} είναι ίση με την τάση κατωφλίου.
- Τάση κατωφλίου V_t μπορεί να οριστεί ως η εφαρμοζόμενη τάση μεταξύ πύλης και πηγής (V_{gs}) κάτω από την οποία το ηλεκτρικό ρεύμα που ρέει μεταξύ υποδοχής-πηγής (V_{ds}) είναι ουσιαστικά μηδέν.
- Η τάση κατωφλίου είναι συνάρτηση: 1) της τάσης μεταξύ πηγής-υποστρώματος, 2) το πάχος μονωτή πύλης, 3) υλικό αγωγού πύλης και 4) το υλικό μονωτή πύλης.

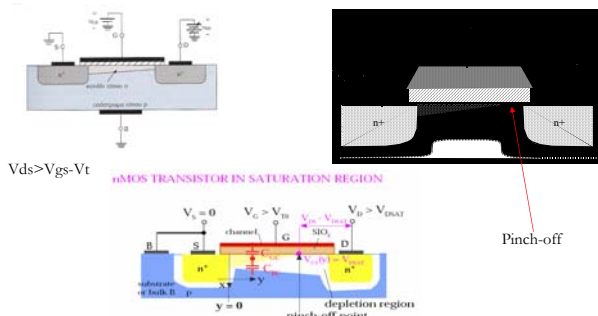
Περιοχές Λειτουργίας

- ΠΕΡΙΟΧΗ ΑΠΟΚΟΠΗΣ:** όπου η ροή του ρεύματος είναι μηδέν.
- ΓΡΑΜΜΙΚΗ ΠΕΡΙΟΧΗ:** περιοχή ελαφριάς αντιστροφής καναλιού όπου το ρεύμα εξαρτάται από την τάση της πύλης και της υποδοχής σε σχέση με την πηγή.



Περιοχές Λειτουργίας

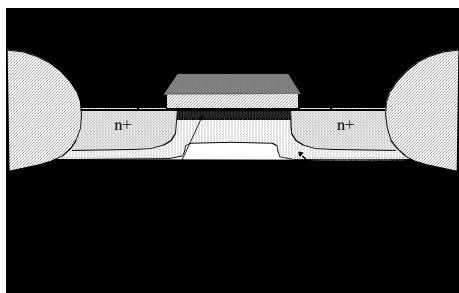
- ΠΕΡΙΟΧΗ ΚΟΡΟΥ:** το κανάλι έχει αντιστραφεί πλήρως και το ρεύμα είναι ανεξάρτητο της τάσης μεταξύ υποδοχής-πηγής.



Μαθηματικό μοντέλο του MOS τρανζίστορ

- ΠΕΡΙΟΧΗ ΑΠΟΚΟΠΗΣ:** [Diagram showing zero current flow]
- ΓΡΑΜΜΙΚΗ ΠΕΡΙΟΧΗ:** [Diagram showing linear current flow]
- ΠΕΡΙΟΧΗ ΚΟΡΟΥ:** [Diagram showing saturation current flow]

Τάση Κατωφλίου



Τάση Κατωφλίου

$$V_T = \phi_{ms} - 2\phi_F - \frac{Q_B}{C_{OX}} - \frac{Q_{SS}}{C_{OX}} - \frac{Q_I}{C_{OX}}$$

Workfunction Difference Surface Charge Implants
Depletion Layer Charge Body Effect Coefficient

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

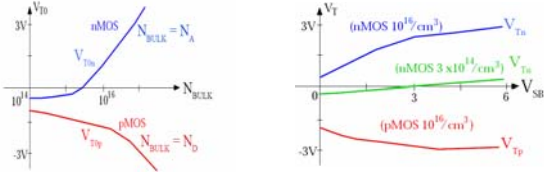
with

$$V_{T0} = \phi_{ms} - 2\phi_F - \frac{Q_{B0}}{C_{OX}} - \frac{Q_{SS}}{C_{OX}} - \frac{Q_I}{C_{OX}}$$

and

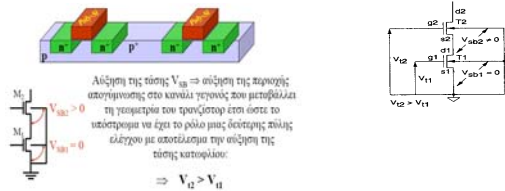
$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{OX}}$$

Τάση Κατωφλίου

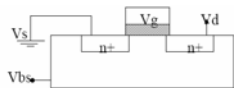


Επίδραση Σώματος(The Body Effect)

- Όλα τα τρανζίστορ που συνθέτουν ένα CMOS ολοκληρωμένο κύκλωμα κατασκευάζονται σε ένα κοινό υπόστρωμα (B). Ως αποτέλεσμα, η τάση υποστρώματος για όλα τα στοιχεία είναι κανονικά η ίδια. Όμως αυτό, λόγω της ύπαρξης περιοχών διαφορετικού τύπου νόθευσης, εμφανίζει παρασιτικές διόδους και μέσω αυτών παρασιτικά ρεύματα.
- Για την αποφυγή παρασιτικών ρευμάτων επιβάλλεται η ανάστροφη πόλωση των υποστρωμάτων (B).



Επίδραση Σώματος(The Body Effect)



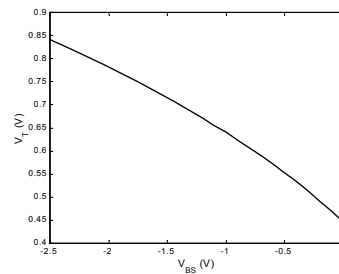
$$V_{t0} = V_{t0} + 2\phi_b + \frac{T_{ox} \sqrt{4\epsilon_s q N_A \phi_b}}{\epsilon_{ox}}$$

$$V_t = V_{t0} + \gamma \left(\sqrt{|V_{bs}| + 2\phi_b} - \sqrt{2\phi_b} \right)$$

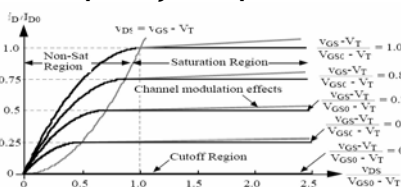
$$\gamma = \frac{T_{ox} \sqrt{2q\epsilon_s N_A}}{\epsilon_{ox}} \quad \gamma = \text{body effect factor } (\gamma = 0.3-0.7)$$

Επιμένοντας ένα n-τύπου υπόστρωμα (όπου αναπτύσσονται τα p-mos τρανζίστορ) συνδέεται στην θετική τάση VDD και ένα p-τύπου υπόστρωμα (όπου αναπτύσσονται τα n-mos τρανζίστορ) συνδέεται στην αρνητική τάση, στη γη.

Επίδραση Σώματος(The Body Effect)



Χαρακτηριστικές MOS τρανζίστορ



Notation:

$$\beta = K' \left(\frac{W}{L} \right) = (\mu_0 C_{ox}) \frac{W}{L}$$

Note:

$$\mu_0 C_{ox} = K'$$

SAH MODEL

SAH MODEL INCLUDING CHANNEL LENGTH MODULATION

N-channel reference convention:



Non-saturation:

$$I_D = \frac{W\mu_0 C_{ox}}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Saturation:

$$I_D = \frac{W\mu_0 C_{ox}}{L} \left[(V_{GS} - V_T) V_{DS}(sat) - \frac{V_{DS}(sat)^2}{2} \right] (1 + \lambda V_{DS})$$

$$= \frac{W\mu_0 C_{ox}}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Where are:

μ_0 = zero field mobility ($\text{cm}^2/\text{volt} \cdot \text{sec}$)

C_{ox} = gate oxide capacitance per unit area (F/cm^2)

λ = channel-length modulation parameter (volts^{-1})

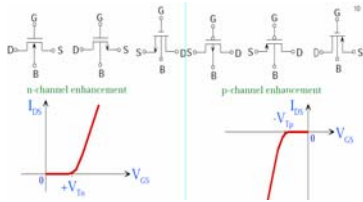
$V_T = V_{T0} + \gamma \left(\sqrt{2\phi_b + |V_{BS}|} - \sqrt{2\phi_b} \right)$

V_{T0} = zero bias threshold voltage

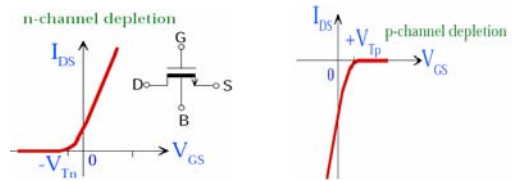
γ = bulk threshold parameter ($\text{volts}^{1/2}$)

$2\phi_b$ = strong inversion surface potential (volts)

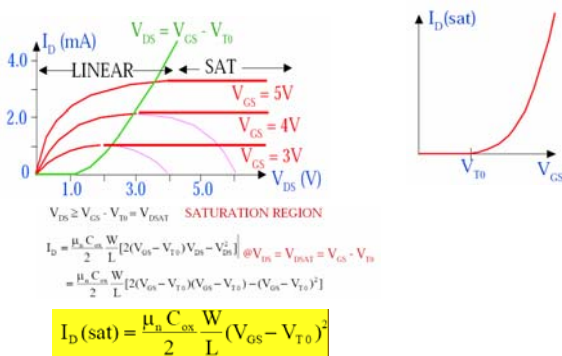
ENHACHMENT



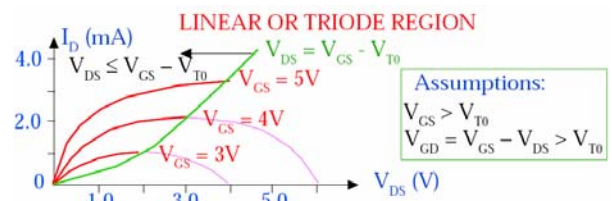
DEPLETION



Χαρακτηριστικές MOSFET ΚΟΡΟΣ



Χαρακτηριστικές MOSFET ΓΡΑΜΜΙΚΗ ΠΕΡΙΟΧΗ



Χαρακτηριστικές Εξισώσεις για τα n-MOS και p-MOS

n-MOS $I_D = 0$ for $V_{GS} \leq V_T$
 $I_D(lin) = \frac{\mu_n C_{ox} W}{2L} [2(V_{GS} - V_T)(V_{DS} - V_{DSAT}) - V_{DSAT}^2]$ $V_{GS} > V_T, V_{DS} < V_{GS} - V_T$
 $I_D(sat) = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$ $V_{GS} > V_T, V_{DS} \geq V_{GS} - V_T$
p-MOS $I_D = 0$ for $V_{GS} \geq V_T$
 $I_D(lin) = \frac{\mu_p C_{ox} W}{2L} [2(V_{GS} - V_T)(V_{DS} - V_{DSAT}) - V_{DSAT}^2]$ $V_{GS} < V_T, V_{DS} < V_{GS} - V_T$
 $I_D(sat) = \frac{\mu_p C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$ $V_{GS} < V_T, V_{DS} \leq V_{GS} - V_T$

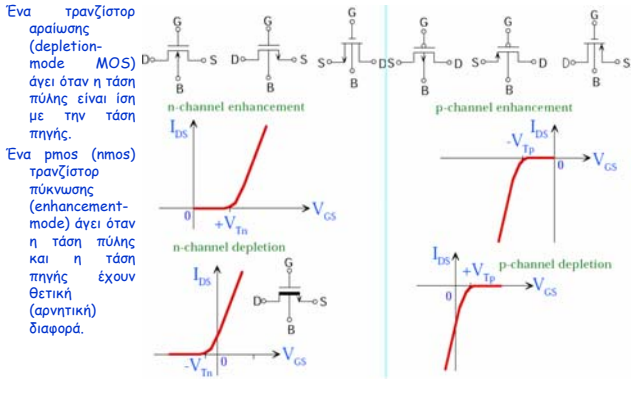
Σχεδίαση MOS τρανζίστορ Θεωρία (Α)

Ένα τρανζίστορ MOS ορίζεται ως στοιχείο φερών πλειονότητας (majority-carrier device) του οποίου το ρεύμα στο κανάλι αγωγής (πηγή - υποδοχή) διαμορφώνεται από την τάση πύλης.

Φορείς πλειονότητας { Ηλεκτρόνια (nmos)
Οπές (pmos)

Η τάση κατωφλίου (V_T) ορίζεται ως η τάση πύλης στην οποία αρχίζει να άγει το στοιχείο MOS. Για τάσεις μικρότερες από V_T το κανάλι βρίσκεται σε κατάσταση αποκοπής (πολύ μικρό ρεύμα από πηγή σε υποδοχή).

Τρανζίστορ Πύκνωσης - Αραίωσης



Λειτουργία transistor MOSFET

Περιοχή λειτουργίας	Συνθήκες	Λειτουργία	Συμπεριφορά transistor
αποκοπή (cutoff region)	για το NMOS: $V_{GS} < V_T$ για το PMOS: $V_{GS} > V_T$	$I_{DS} = 0$	Ανοικτό κύκλωμα
περιοχή αντίστασης (resistive region)	για το NMOS: $V_{GS} \geq V_T$ & $V_{DS} < (V_{GS} - V_T)$ για το PMOS: $V_{GS} \leq V_T$ & $V_{DS} > (V_{GS} - V_T)$	$I_{DS} = k \cdot \left[(V_{GS} - V_T) \cdot V_{DS} + \frac{V_{DS}^2}{2} \right]$	Μεταβλητή αντίσταση, ελεγχόμενη από την τάση της πύλης
περιοχή κορεσμού (saturation region)	για το NMOS: $V_{GS} \geq V_T$ & $V_{DS} \geq (V_{GS} - V_T)$ για το PMOS: $V_{GS} \leq V_T$ & $V_{DS} \leq (V_{GS} - V_T)$	$I_{DS} = k \cdot \frac{(V_{GS} - V_T)^2}{2}$	Πηγή ρεύματος, ελεγχόμενη από την τάση της πύλης

Παράγοντες που Επηρεάζουν το ρεύμα πηγής - υποδοχής I_{DS}

- Η απόσταση μεταξύ πηγής - απαγωγού/ υποδοχής (L)
- Το πλάτος του καναλιού (W)
- Η τάση κατωφλίου (V_t)
- Το πάχος του μονωτή της πύλης (t_{ox})
- Η διηλεκτρική σταθερά του μονωτή της πύλης (ϵ)
- Η κινητικότητα των φορέων (μ)

Τάση Κατωφλίου

Η τάση κατωφλίου είναι η τάση για την οποία το ρεύμα I_D γίνεται πολύ μικρό, πρακτικά σε κάποιες εφαρμογές αμελητέο. Γενικά η τάση κατωφλίου εξαρτάται από:

- το υλικό της πύλης
- το υλικό του μονωτή της πύλης
- το πάχος του μονωτή
- τις προσμειξεις του καναλιού και
- την τάση μεταξύ πηγής και υποστρώματος (V_{SB})

Ειδικά για συγκεκριμένο υλικό πύλης η τάση κατωφλίου δίδεται από τη σχέση:

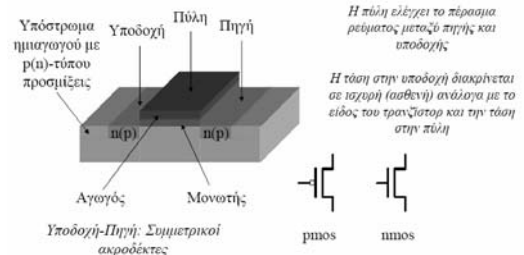
$$V_t = V_{t0} \pm \gamma \sqrt{V_{SB}} \quad \mu\epsilon \quad \gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{si}N}$$

όπου V_{t0} η τάση κατωφλίου για $V_{SB}=0$ ενώ t_{ox} , ϵ_{ox} το πάχος και η διηλεκτρική σταθερά του μονωτή, q το φορτίο του ηλεκτρονίου, ϵ_{si} η διηλεκτρική σταθερά του πυριτίου και N η πυκνότητα συγκέντρωσης των προσμειξεων στο υπόστρωμα. Το σημείο \pm αναφέρεται σε nMOS ή pMOS τρανζίστορ αντίστοιχα.

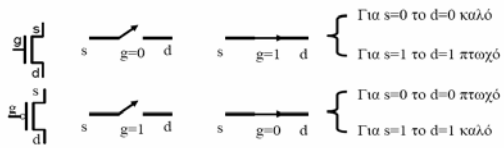
Επίδραση Θερμοκρασίας

- Με την αύξηση της θερμοκρασίας
 - μειώνεται η τάση κατωφλίου του transistor
 - αυξάνεται το ρεύμα διαρροής στην περιοχή αποκοπής
 - μειώνεται η ταχύτητα των φορέων φορτίου \rightarrow μειώνεται η ταχύτητα λειτουργίας του transistor

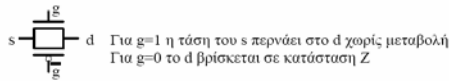
Είδη MOS τρανζίστορ



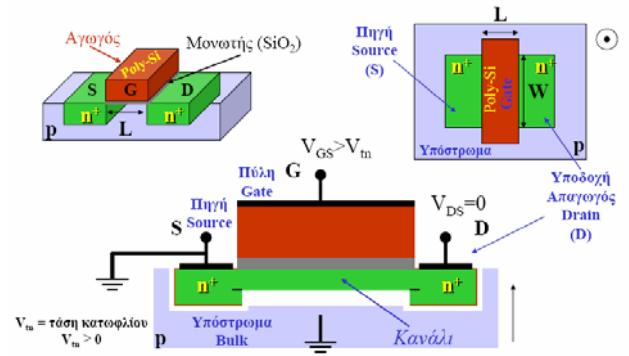
Είδη MOS τρανζίστορ



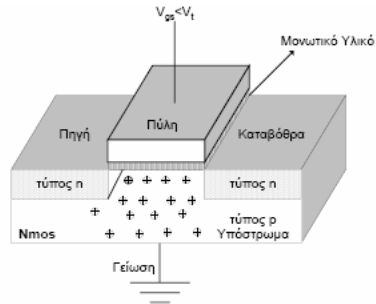
Συνδυάζοντας τις συμπληρωματικές δυνατότητες των τρανζίστορ υλοποιούμε την πόλη μετάβασης (transmission gate):



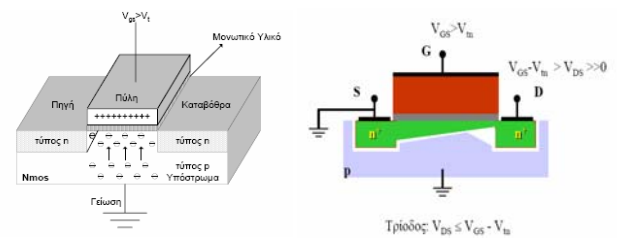
NMOS Τρανζίστορ



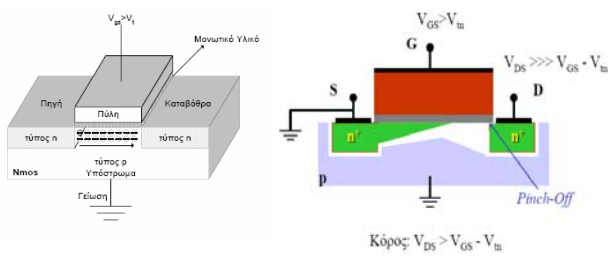
Αποκοπή NMOS $V_{gs} < V_t$



Τριόδος ή περιοχή αντίστασης NMOS



Κόρος NMOS



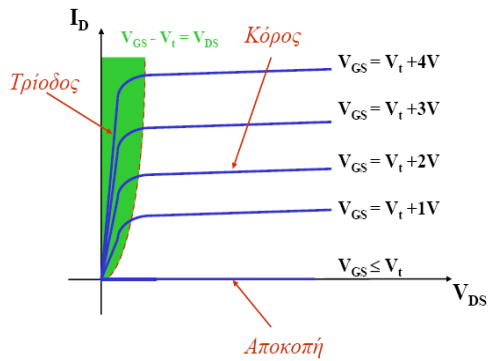
Εξισώσεις Ρεύματος nMOS Τρανζίστορ

$$\beta_n = \frac{\mu_n \epsilon W}{t_{ox} L}$$

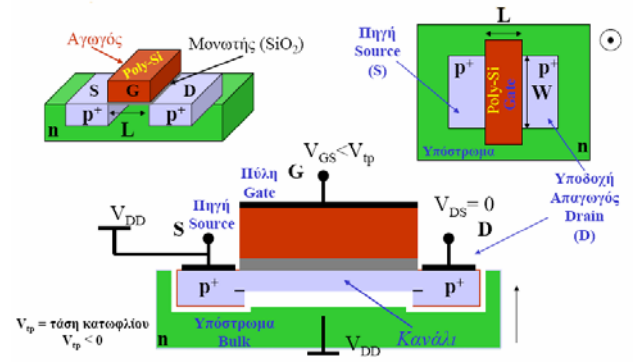
Συντελεστής Κέρδους (Απολαβής)

$$I_D = \begin{cases} 0 & V_{GS} - V_{th} < 0 \text{ (Αποκοπή)} \\ \beta_n \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] & 0 < V_{DS} < V_{GS} - V_{th} \text{ (Τριόδος)} \\ \frac{\beta_n}{2} (V_{GS} - V_{th})^2 & 0 < V_{GS} - V_{th} < V_{DS} \text{ (Κόρος)} \end{cases}$$

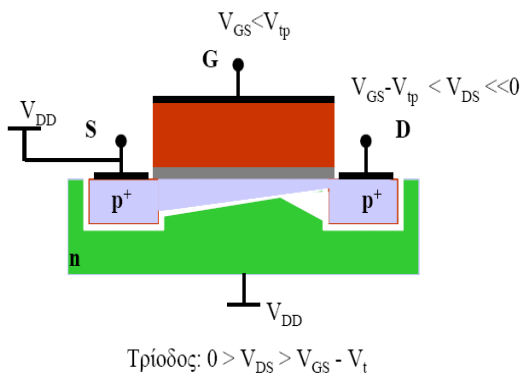
$I_D - V_{DS}$ Χαρακτηριστικές nMOS



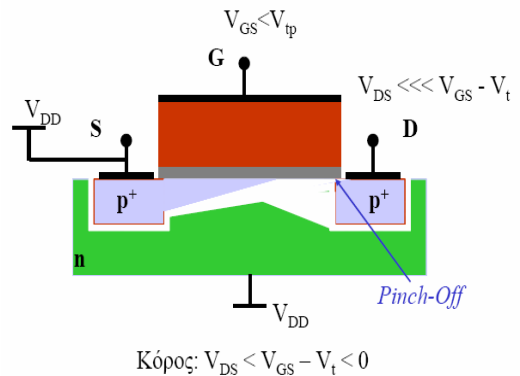
PMOS Τρανζίστορ



Τρίδος ή περιοχή αντίστασης PMOS



Κόρος PMOS

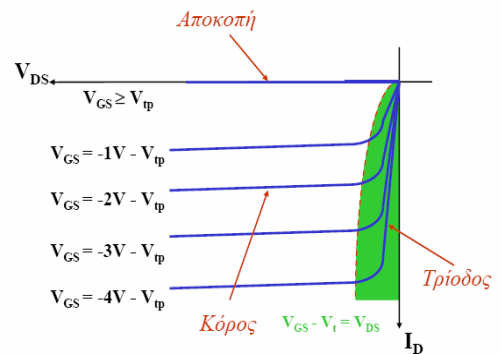


Εξισώσεις Ρεύματος pMOS Τρανζίστορ

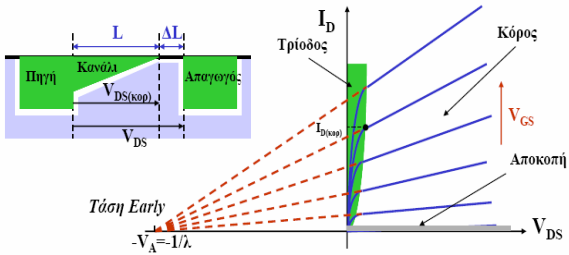
$$\beta_p = \frac{\mu_p \epsilon W}{t_{ox} L} \quad \text{Συντελεστής Αποίαβής}$$

$$I_D = \begin{cases} 0 & V_{GS} - V_{tp} > 0 \text{ Αποκοπή} \\ \beta_p \left[(V_{GS} - V_{tp})V_{DS} - \frac{V_{DS}^2}{2} \right] & 0 > V_{DS} > V_{GS} - V_{tp} \text{ Τρίδος} \\ \frac{\beta_p}{2} (V_{GS} - V_{tp})^2 & 0 > V_{GS} - V_{tp} > V_{DS} \text{ Κόρος} \end{cases}$$

$I_D - V_{DS}$ Χαρακτηριστικές pMOS



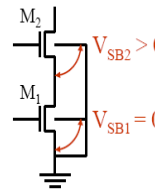
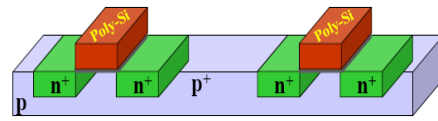
Διαμόρφωση Μήκους Καναλιού



Αυξάνοντας την V_{DS} κατά ΔV_{DS} πάνω από τη $V_{DS(κορ)}$ [$V_{DS} = V_{DS(κορ)} + \Delta V_{DS}$] το μήκος του καναλιού L μειώνεται κατά ΔL . Καθώς το I_D είναι αντιστρόφως ανάλογο του μήκους του καναλιού, το I_D αυξάνει. Ακριβέστερα στον **κόρο** ισχύει:

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \lambda = 0.005 - 0.03 \text{ V}^{-1}$$

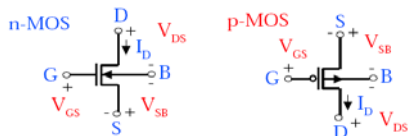
Επίδραση Σώματος - Body Effect



Αύξηση της τάσης $V_{SB} \Rightarrow$ αύξηση της περιοχής απογύμνωσης στο κανάλι γεγονός που μεταβάλλει τη γεωμετρία του τρανζίστορ έτσι ώστε το υπόστρωμα να έχει το ρόλο μιας δεύτερης πύλης ελέγχου με αποτέλεσμα την αύξηση της τάσης κατωφλίου:

$$\Rightarrow V_{t2} > V_{t1}$$

ΕΞΙΣΩΣΕΙΣ ΡΕΥΜΑΤΟΣ-ΤΑΣΗΣ ΤΩΝ MOSFET



n-MOS $I_D = 0$ for $V_{GS} \leq V_T$

$$I_D(\text{lin}) = \frac{\mu_n C_{ox}}{2} \frac{W}{L} [2(V_{GS} - V_T(V_{SB}))V_{DS} - V_{DS}^2] \quad V_{GS} > V_T, V_{DS} < V_{GS} - V_T$$

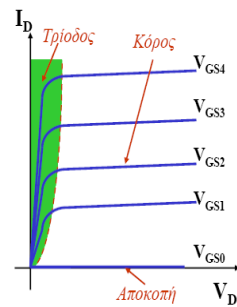
$$I_D(\text{sat}) = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_T(V_{SB}))^2 (1 + \lambda V_{DS}) \quad V_{GS} > V_T, V_{DS} \geq V_{GS} - V_T$$

p-MOS $I_D = 0$ for $V_{GS} \geq V_T$

$$I_D(\text{lin}) = \frac{\mu_p C_{ox}}{2} \frac{W}{L} [2(V_{GS} - V_T(V_{SB}))V_{DS} - V_{DS}^2] \quad V_{GS} < V_T, V_{DS} > V_{GS} - V_T$$

$$I_D(\text{sat}) = \frac{\mu_p C_{ox}}{2} \frac{W}{L} (V_{GS} - V_T(V_{SB}))^2 (1 + \lambda V_{DS}) \quad V_{GS} < V_T, V_{DS} \leq V_{GS} - V_T$$

Διαγωγιμότητα



Τριόδος

Η αντίσταση του καναλιού (αντίσταση εξόδου) υπολογίζεται ως ακολούθως:

$$\frac{dI_D}{dV_{DS}} \Big|_{V_{DS} \rightarrow 0} \approx \beta(V_{GS} - V_T) \Rightarrow R_c = \frac{1}{\beta(V_{GS} - V_T)}$$

Η διαγωγιμότητα που εκφράζει τη σχέση μεταξύ I_D και V_{GS} ορίζεται ως:

$$g_m = \frac{dI_D}{dV_{GS}} \Big|_{V_{DS} = \text{σταθ.}} = \beta \cdot V_{DS}$$

Κόρος

Το MOS συμπεριφέρεται ως μία πηγή ρεύματος με το ρεύμα ανεξάρτητο της V_{DS} . Η διαγωγιμότητα δίδεται από τη σχέση:

$$g_m = \beta(V_{GS} - V_T)$$

Φαινόμενα Δεύτερης Τάξης

> Μεταβολή Κινητικότητας

Η κινητικότητα (μ) των φορέων (ηλεκτρόνια/οπές) μειώνεται με την αύξηση της συγκέντρωσης των προσμειξιών και της θερμοκρασίας.

> Διάφυση Fowler-Nordheim

Για λεπτά οξειδία πύλης μπορεί να υπάρξει ροή ρεύματος μέσα από το οξειδίο το οποίο έχει το ρόλο "μονωτή". Το ρεύμα αυτό οφείλεται σε κванτομηχανικά φαινόμενα διόδευσης (καναλιού) των ηλεκτρονίων και είναι ανάλογο της επιφάνειας της πύλης.

> Θερμά Ηλεκτρόνια

Το ηλεκτρικό πεδίο της υποδοχής αυξάνει μειώνοντας το μήκος του καναλιού (L) με ενδεχόμενο τα ηλεκτρόνια να αποκτήσουν αρκετή ενέργεια (θερμά ηλεκτρόνια) ώστε να κινηθούν προς την υποδοχή.

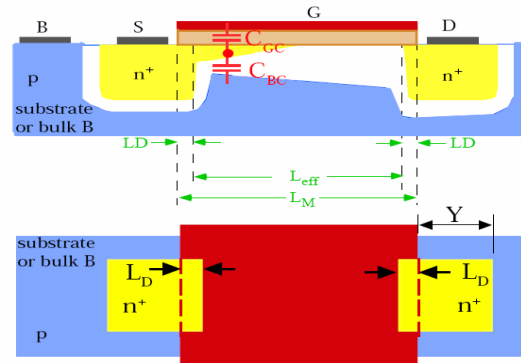
> Διάτρηση Υποστρώματος

Για μικρά μήκη καναλιού (L) και όταν η τάση της υποδοχής είναι υψηλή η περιοχή της αραίωσης γύρω από την υποδοχή μπορεί να επεκταθεί προς την πηγή με αποτέλεσμα την ροή ρεύματος μεταξύ υποδοχής - πηγής ανεξαρτήτως της τάσης στην πύλη. Υπό κανονικές συνθήκες το φαινόμενο δεν επιφέρει μόνιμη καταστροφή του τρανζίστορ.

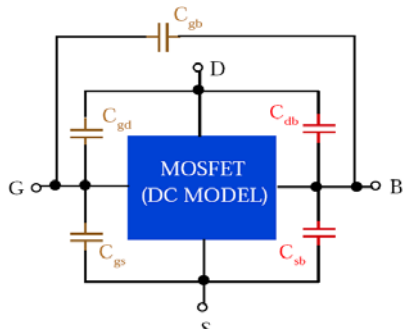
> Διάτρηση Μονωτή Πύλης

Για μεγάλες τιμές τάσης μεταξύ πύλης - πηγής ο μονωτής της πύλης μπορεί να διατρηθεί οδηγώντας σε μόνιμη καταστροφή του τρανζίστορ.

ΧΩΡΗΤΙΚΟΤΗΤΕΣ MOSFET



ΧΩΡΗΤΙΚΟΤΗΤΕΣ MOSFET



$C_{gd}, C_{gs}, C_{gb} \rightarrow$ Oxide Capacitances
 $C_{db}, C_{sb} \rightarrow$ Junction Capacitances

ΧΩΡΗΤΙΚΟΤΗΤΕΣ MOSFET

OXIDE Capacitances $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$

a. Overlap Caps

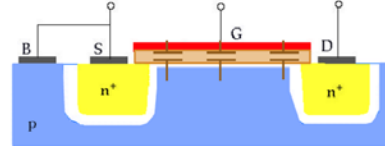
$$\begin{aligned} C_{GS0}(\text{overlap}) &= C_{ox} W L_D \\ C_{GD0}(\text{overlap}) &= C_{ox} W L_D \\ C_{GB0}(\text{overlap}) &= C_{ox} W_{ov} L \end{aligned}$$

ALL MOSFET OPERATION REGIONS

SPICE: $C_{GS0}L_D = CGS0$; $C_{GD0}L_D = CGD0$; $C_{GB0}W_{ov} = CGB0$

b. Gate - Channel

MOSFET - Cut-off Region



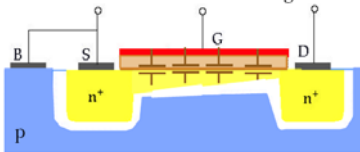
$$C_{gb} = C_{ox} W L$$

$$C_{gs} = C_{gd} = 0$$

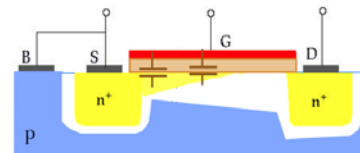
ΧΩΡΗΤΙΚΟΤΗΤΕΣ MOSFET

b. Gate - Channel

MOSFET - Linear Region



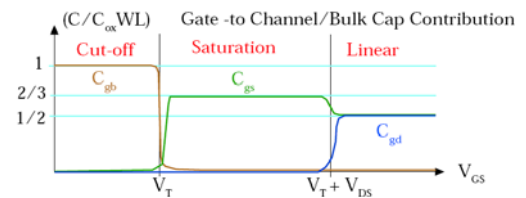
$$\begin{aligned} C_{gb} &= 0 \\ C_{gs} &= (1/2) C_{ox} W L \\ C_{gd} &= (1/2) C_{ox} W L \end{aligned}$$



$$\begin{aligned} C_{gb} &= 0 \\ C_{gs} &= (2/3) C_{ox} W L \\ C_{gd} &= 0 \end{aligned}$$

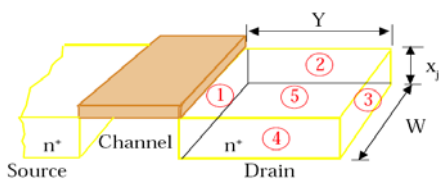
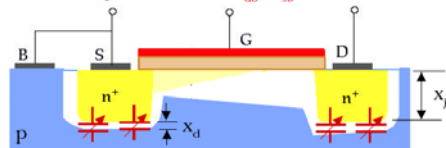
ΧΩΡΗΤΙΚΟΤΗΤΕΣ MOSFET

Capacitance	Cut-off	Linear	Saturation
$C_{gb}(\text{total})$	$C_{ox} W L + C_{GB0}$	$0 + C_{GB0}$	$0 + C_{GB0}$
$C_{gd}(\text{total})$	$0 + C_{GD0}$	$0.5 C_{ox} W L + C_{GD0}$	$0 + C_{GD0}$
$C_{gs}(\text{total})$	$0 + C_{GS0}$	$0.5 C_{ox} W L + C_{GS0}$	$(2/3) C_{ox} W L + C_{GS0}$



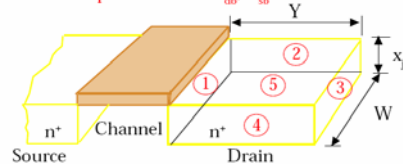
ΧΩΡΗΤΙΚΟΤΗΤΕΣ ΣΥΝΔΕΣΗΣ

JUNCTION Capacitances $\rightarrow C_{db}, C_{sb}$



ΧΩΡΗΤΙΚΟΤΗΤΕΣ ΣΥΝΔΕΣΗΣ

JUNCTION Capacitances $\rightarrow C_{db}, C_{sb}$

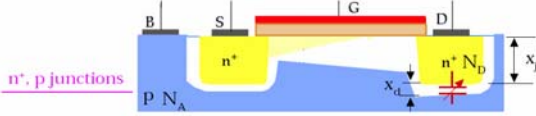


Junction	Area	Type
①	$W x_j$	n^+/p
②	$Y x_j$	n^+/p^+
③	$W x_j$	n^+/p^+
④	$Y x_j$	n^+/p^+
⑤	$W Y$	n^+/p

p - Substrate $\rightarrow N_A$
 p^+ - Channel-stop $\rightarrow 10N_A$

ΧΩΡΗΤΙΚΟΤΗΤΕΣ ΣΥΝΔΕΣΗΣ

JUNCTION Capacitances $\rightarrow C_{db}, C_{sb}$



$$x_d = \sqrt{\frac{2\epsilon_{si}}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (\phi_b - V)}$$

$V = \text{Ext bias} \rightarrow V_{DB}, V_{SB}$

$\phi_b = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$ built-in junction potential

Depletion-region charge

$$Q_j = Aq \left(\frac{N_A N_D}{N_A + N_D} \right) x_d = A \sqrt{2\epsilon_{si} q \left(\frac{N_A N_D}{N_A + N_D} \right) (\phi_b - V)}$$

$A = \text{junction area}$

$$C_j = \left| \frac{dQ_j}{dV} \right| = A \sqrt{\frac{\epsilon_{si} q}{2} \left(\frac{N_A N_D}{N_A + N_D} \right) \frac{1}{\phi_b - V}} = \frac{AC_{j0}}{\left(1 - \frac{V}{\phi_b}\right)^{1/2}}$$

ΧΩΡΗΤΙΚΟΤΗΤΕΣ ΣΥΝΔΕΣΗΣ

$$C_j = \left| \frac{dQ_j}{dV} \right| = A \sqrt{\frac{\epsilon_{si} q}{2} \left(\frac{N_A N_D}{N_A + N_D} \right) \frac{1}{\phi_b - V}} = \frac{AC_{j0}}{\left(1 - \frac{V}{\phi_b}\right)^{1/2}} \quad (F)$$

$$C_{j0} = \sqrt{\frac{\epsilon_{si} q}{2} \left(\frac{N_A N_D}{N_A + N_D} \right) \frac{1}{\phi_b}} \quad (F/cm^2)$$

$m = \text{grading coefficient}$
 $m = 1/2$ for abrupt junction

$$C_j = C_{j0} \text{ when } V = 0$$

EQUIVALENT LARGE SIGNAL CAPACITANCE

$$C_{eq} = \frac{\Delta Q_j}{\Delta V} = \frac{Q_j(V_2) - Q_j(V_1)}{V_2 - V_1} = \frac{1}{V_2 - V_1} \int_{V_1}^{V_2} C_j(V) dV$$

$$= \frac{AC_{j0} \phi_b (-1)}{(V_2 - V_1) \chi (1 - m)} \left[\left(1 - \frac{V_2}{\phi_b}\right)^{1-m} - \left(1 - \frac{V_1}{\phi_b}\right)^{1-m} \right] \quad m = 1/2$$

$$C_{eq} = AC_{j0} K_{eq} \quad 0 < K_{eq} < 1 \rightarrow \text{Voltage Equiv Factor}$$

ΧΩΡΗΤΙΚΟΤΗΤΕΣ ΣΥΝΔΕΣΗΣ

n^+, p^+ junctions (Sidewalls)

$$C_{j0sw} = \sqrt{\frac{\epsilon_{si} q}{2} \left(\frac{N_A (sw) N_D}{N_A (sw) + N_D} \right) \frac{1}{\phi_{b,sw}}} \quad (F/cm^2)$$

Since all sidewalls have depth = x_j :

$$C_{jsw} = C_{j0sw} X_j \quad (F/cm)$$

EQUIVALENT LARGE SIGNAL CAPACITANCE

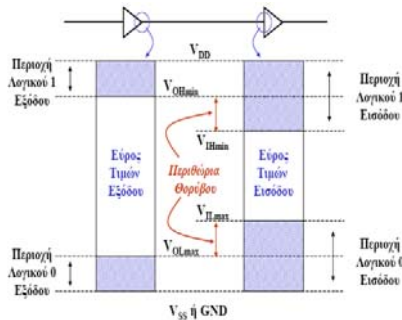
$$C_{eq}(sw) = P C_{jsw} K_{eq}(sw) \quad P = \text{sidewall perimeter}$$

$$K_{eq}(sw) = -\frac{2\phi_{b,sw}}{(V_2 - V_1)} \left[\left(1 - \frac{V_2}{\phi_{b,sw}}\right)^{1/2} - \left(1 - \frac{V_1}{\phi_{b,sw}}\right)^{1/2} \right] \quad m(sw) = 1/2$$

Περιθώρια Θορύβου

- ❖ Το περιθώριο θορύβου σχετίζεται στενά με τα χαρακτηριστικά των τάσεων εισόδου/εξόδου
- ❖ Χαμηλό περιθώριο θορύβου $NM_L = |V_{ILmax} - V_{OLmax}|$
- ❖ Υψηλό περιθώριο θορύβου $NM_H = |V_{OHmin} - V_{IHmin}|$
- ❖ Με μειωμένο το NM_L ή το NM_H η πύλη είναι ευαίσθητη στον θόρυβο μεταγωγής που παρουσιάζεται στις εισόδους

Περιθώρια Θορύβου



Περιθώρια Θορύβου

NOISE IMMUNITY AND NOISE MARGINS

V_{OH} \rightarrow max output voltage when output is "1"

V_{OL} \rightarrow min output voltage when output is "0"

V_{IH} \rightarrow max input voltage which can be interpreted as "0"

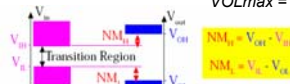
V_{IL} \rightarrow min input voltage which can be interpreted as "1"

V_{IHmin} = ελάχιστη υψηλή τάση εισόδου

V_{ILmax} = μέγιστη χαμηλή τάση εισόδου

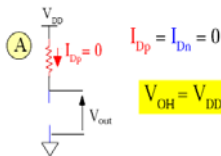
V_{OHmin} = ελάχιστη υψηλή τάση εξόδου

V_{OLmax} = μέγιστη χαμηλή τάση εξόδου

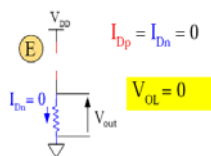


Υπολογισμός περιθωρίων θορύβου Ανάλυση Λειτουργίας

ΥΠΟΛΟΓΙΣΜΟΣ V_{OH}



ΥΠΟΛΟΓΙΣΜΟΣ V_{OL}



Υπολογισμός περιθωρίων θορύβου Ανάλυση Λειτουργίας (V_{IL})

$$I_{Dp} = I_{Dn}$$

$$\frac{k_p}{2} \left(\frac{W}{L} \right)_p (V_{GS} - V_{T1p})^2 = \frac{k_n}{2} \left(\frac{W}{L} \right)_n [2(V_{GS} - V_{T1p})V_{DS} - V_{DS}^2]$$

$$V_{GS} = V_{in}, V_{DS} = V_{in} - V_{DD}, V_{DS} = V_{out} - V_{DD}$$

$$\frac{k_p}{2} \left(\frac{W}{L} \right)_p [2(V_{in} - V_{DD} - V_{T1p})(V_{in} - V_{DD}) - (V_{in} - V_{DD})^2]$$

$$V_{in} = \frac{2V_{DD} + V_{T1p} - V_{DD} + k_n V_{T1n}}{1 + k_n}$$

$$k_n = \frac{k_p(W/L)_n}{k_p(W/L)_p}$$

Υπολογισμός περιθωρίων θορύβου Ανάλυση Λειτουργίας (V_{IH})

$$I_{Dp} = I_{Dn}$$

$$\frac{k_p}{2} \left(\frac{W}{L} \right)_p [2(V_{GS} - V_{T1p})V_{DS} - V_{DS}^2] = \frac{k_n}{2} \left(\frac{W}{L} \right)_n (V_{GS} - V_{T1n})^2$$

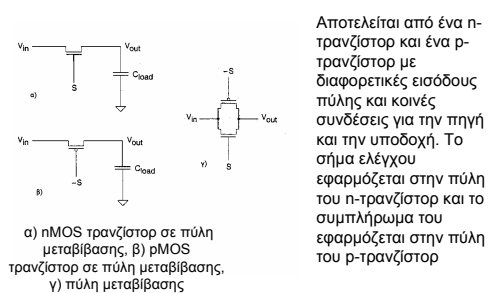
$$V_{GS} = V_{in}, V_{DS} = V_{DD} - V_{in}, V_{DS} = V_{in} - V_{DD}$$

$$\frac{k_p}{2} \left(\frac{W}{L} \right)_p [2(V_{in} - V_{DD} - V_{T1p})(V_{in} - V_{DD}) - (V_{in} - V_{DD})^2] = \frac{k_n}{2} \left(\frac{W}{L} \right)_n (V_{in} - V_{DD} - V_{T1p})^2$$

$$V_{in} = \frac{V_{DD} + V_{T1p} + k_n(2V_{DD} + V_{T1n})}{1 + k_n}$$

$$k_n = \frac{k_p(W/L)_n}{k_p(W/L)_p}$$

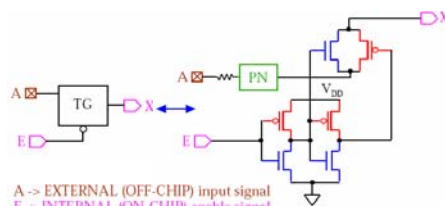
Πύλη Μεταβίβασης



- το φορτίο χωρητικότητας C_{load} είναι αρχικά εκφορτισμένο (δηλαδή $V_{out} = V_{SS}$). Με $s=0$ (δηλαδή $V_{gs}=0$ Volts), $I_{ds}=0$, τότε $V_{out} = V_{SS}$ άσχετα της κατάστασης της εισόδου V_{in} . Όταν $s=1$ (V_{DD}) και $V_{in}=1$, το τρανζίστορ διέλευσης αρχίζει να άγει και φορτίζει το φορτίο χωρητικότητας προς τη V_{DD} , δηλαδή αρχικά $V_{gs} = V_{DD}$.

Συνεπώς η περιοχή της πηγής είναι ο ακροδέκτης του τρανζίστορ που συνδέεται στην είσοδο. Καθώς η τάση εξόδου προσεγγίζει την V_{SS} , το ρεύμα του n-τρανζίστορ ελαχιστοποιείται. Επειδή η V_{out} φθάνει στην V_{SS} , η μεταβίβαση του λογικού "0" δεν υποβαθμίζεται

Πύλη Μεταβίβασης (Transmission Gate)

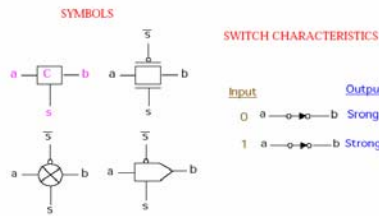


A -> EXTERNAL (OFF-CHIP) input signal
E -> INTERNAL (ON-CHIP) enable signal
X -> INTERNAL (ON-CHIP) output signal

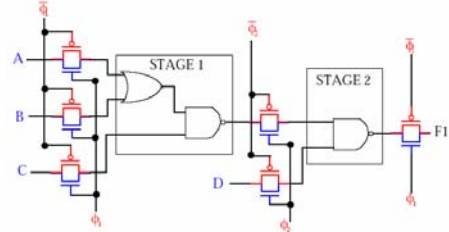
$X = A$, when $E = 0$
 $X = \text{HIGH-IMPEDANCE STATE}$ when $E = 1$

NOTE: ANY UNUSED INPUT TERMINALS SHOULD BE TIED TO V_{DD} OR GND USING PULL-UP OR PULL-DOWN RESISTORS RATHER THAN FLOAT

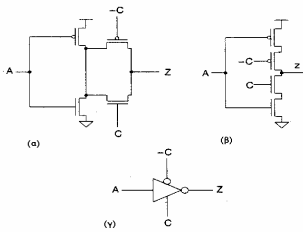
Πύλη Μεταβίβασης (Σύμβολα και Νοηματική Απόδοση)



Δυναμική Λογική (Πύλη Μεταβίβασης)



Αντιστροφέας Τριών Καταστάσεων (Tristate Inverter)



- Αντιστροφέας τριών καταστάσεων

Αντιστροφέας Τριών Καταστάσεων (Tristate Inverter)

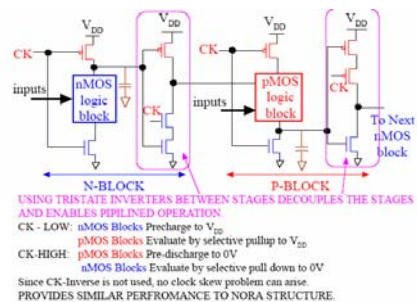
- Συνδέοντας σε σειρά μία πύλη μεταβίβασης στην έξοδο ενός αντιστροφέα προκύπτει ο αντιστροφέας τριών καταστάσεων (Σχήμα α). Όταν $C=0$ και $\bar{C}=1$, η έξοδος του αντιστροφέα είναι σε μία τρίτη κατάσταση (η Z έξοδος του αντιστροφέα δεν οδηγείται από την είσοδο A). Όταν $C=1$ και $\bar{C}=0$, η έξοδος Z είναι ίση με το συμπλήρωμα της A. Η σύνδεση μεταξύ των n- και p-τύπου οδηγούν τρανζίστορς μπορεί να παραληφθεί (Σχήμα β) χωρίς αυτό να επηρεάσει την λειτουργία του κυκλώματος (εκτός μίας μικρής διαφοράς στην ταχύτητα). Στο Σχήμα (γ) δίνεται το εικονίδιο που αναπαριστά τον αντιστροφέα τριών καταστάσεων.

Αντιστροφέας Τριών Καταστάσεων (Tristate Inverter)

- Για το ίδιο μέγεθος τρανζίστορς, ο αντιστροφέας αυτός παρουσιάζει προσεγγιστικά το μισό της ταχύτητας του απλού αντιστροφέα. Ο αντιστροφέας τριών καταστάσεων είναι η βάση για ποικίλους τύπους κυκλωμάτων χρονισμού, μανδαλιών, οδηγών διαύλων, πολυπλεκτών, και διατάξεων εισόδου/εξόδου.

Χρήση του Αντιστροφέα

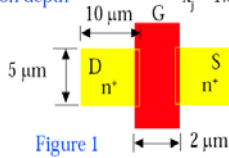
SINGLE PHASE CLOCK PIPELINED DYNAMIC CMOS STRUCTURE



EXAMPLE 3-8

Determine the total junction capacitance at the drain, i.e. C_{db} , for the n-channel enhancement MOSFET in Fig. 1. The process parameters are

- Substrate doping $N_A = 2 \times 10^{15} \text{ cm}^{-3}$
- Source/drain (n+) doping $N_D = 10^{20} \text{ cm}^{-3}$
- Sidewall (p+) doping $N_A(\text{sw}) = 4 \times 10^{16} \text{ cm}^{-3}$
- Gate oxide thickness $t_{ox} = 45 \text{ nm}$
- Junction depth $x_j = 1.0 \mu\text{m}$



Source, Drain are surrounded by p+ channel-stop. The substrate is biased at 0V. Assume the drain voltage range is 0.5 V to 5.0 V.

Kenneth R. Laker, University of Pennsylvania

$$C_{db} = C_{eq} + C_{eq}(\text{sw}) = A_D C_{j0} K_{eq} + P_D C_{j0sw} x_j K_{eq}(\text{sw})$$

where

$$A_D C_{j0} K_{eq}$$

$$C_{j0} = \sqrt{\frac{\epsilon_{si} q}{2} \frac{N_A N_D}{N_A + N_D} \frac{1}{\phi_0}}$$

$$K_{eq} = -\frac{2\phi_0}{(V_{BD2} - V_{BD1})} \left[\left(1 - \frac{V_{BD2}}{\phi_0}\right)^{1/2} - \left(1 - \frac{V_{BD1}}{\phi_0}\right)^{1/2} \right]$$

$$P_D C_{j0sw} x_j K_{eq}(\text{sw})$$

$$C_{j0sw} = \sqrt{\frac{\epsilon_{si} q}{2} \frac{N_A(\text{sw}) N_D}{N_A(\text{sw}) + N_D} \frac{1}{\phi_{0sw}}}$$

$$K_{eq}(\text{sw}) = -\frac{2\phi_{0sw}}{(V_{BD2} - V_{BD1})} \left[\left(1 - \frac{V_{BD2}}{\phi_{0sw}}\right)^{1/2} - \left(1 - \frac{V_{BD1}}{\phi_{0sw}}\right)^{1/2} \right]$$

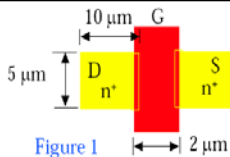


Figure 1

$$\phi_0 = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) = 0.026 \text{ V} \ln \left(\frac{(2 \times 10^{15})(10^{20})}{2.1 \times 10^{20}} \right) = 0.896 \text{ V}$$

$$\phi_{0sw} = \frac{kT}{q} \ln \left(\frac{N_A(\text{sw}) N_D}{n_i^2} \right) = 0.026 \text{ V} \ln \left(\frac{(4 \times 10^{16})(10^{20})}{2.1 \times 10^{20}} \right) = 0.975 \text{ V}$$

$$C_{j0} = \sqrt{\frac{\epsilon_{si} q}{2} \frac{N_A N_D}{N_A + N_D} \frac{1}{\phi_0}}$$

$$= \sqrt{\frac{(1.04 \times 10^{-12} \text{ F/cm})(1.6 \times 10^{-19} \text{ C})}{2} \frac{(2 \times 10^{15} \text{ cm}^{-3})(10^{20} \text{ cm}^{-3})}{(2 \times 10^{15} \text{ cm}^{-3} + 10^{20} \text{ cm}^{-3})} \frac{1}{0.896 \text{ V}}}$$

$$= 1.35 \times 10^{-8} \text{ F/cm}^2$$

Kenneth R. Laker, University of Pennsylvania

$$C_{j0sw} = \sqrt{\frac{\epsilon_{si} q}{2} \frac{N_A(\text{sw}) N_D}{N_A(\text{sw}) + N_D} \frac{1}{\phi_{0sw}}}$$

$$= \sqrt{\frac{(1.04 \times 10^{-12} \text{ F/cm})(1.6 \times 10^{-19} \text{ C})}{2} \frac{(4 \times 10^{16})(10^{20} \text{ cm}^{-3})}{(4 \times 10^{16} + 10^{20}) \text{ cm}^{-3}} \frac{1}{0.975 \text{ V}}}$$

$$= 5.83 \times 10^{-8} \text{ F/cm}^2$$

$$C_{jsw} = C_{j0sw} x_j = (5.83 \times 10^{-8} \text{ F/cm}^2)(10^{-4} \text{ cm}) = 5.83 \text{ pF/cm}$$

$$K_{eq} = K_{eq}(\text{sw}) \quad V_{BD1} = V_B - V_{D1} = 0 - 0.5 \text{ V} = -0.5 \text{ V}$$

$$V_{BD2} = V_B - V_{D2} = 0 - 5 \text{ V} = -5 \text{ V}$$

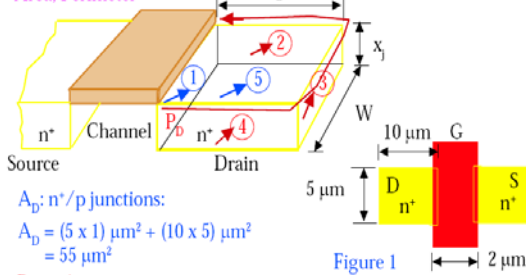
$$K_{eq} = -\frac{2\phi_0}{(V_{BD2} - V_{BD1})} \left[\left(1 - \frac{V_{BD2}}{\phi_0}\right)^{1/2} - \left(1 - \frac{V_{BD1}}{\phi_0}\right)^{1/2} \right]$$

$$= -\frac{2(0.896 \text{ V})}{(-5 \text{ V} - (-0.5 \text{ V}))} \left[\left(1 - \frac{-5 \text{ V}}{0.896 \text{ V}}\right)^{1/2} - \left(1 - \frac{-0.5 \text{ V}}{0.896 \text{ V}}\right)^{1/2} \right] = 0.52$$

Kenneth R. Laker, University of Pennsylvania

$$K_{eq}(\text{sw}) = -\frac{2(0.975 \text{ V})}{(-5 \text{ V} - (-0.5 \text{ V}))} \left[\left(1 - \frac{-5}{0.975 \text{ V}}\right)^{1/2} - \left(1 - \frac{-0.5}{0.975 \text{ V}}\right)^{1/2} \right] = 0.53 \approx K_{eq}$$

Area, Perimeter



$$A_D: n^+/p^+ \text{ junctions:}$$

$$A_D = (5 \times 1) \mu\text{m}^2 + (10 \times 5) \mu\text{m}^2 = 55 \mu\text{m}^2$$

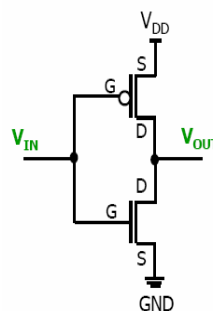
$P_D: n^+/p^+ \text{ junctions:}$

$$P_D = 2Y + W = 20 \mu\text{m} + 5 \mu\text{m} = 25 \mu\text{m}$$

$$C_{db} = A_D C_{j0} K_{eq} + P_D C_{j0sw} x_j K_{eq}(\text{sw}) = 11.6 \text{ fF}$$

Kenneth R. Laker, University of Pennsylvania

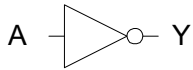
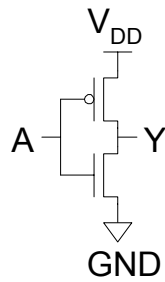
CMOS Αντιστροφείας



- ❖ Αποτελείται από ένα NMOS & ένα PMOS συνδεδεμένα όπως στο σχήμα
- ❖ Όταν $V_{IN} = \text{LOW} \rightarrow$ NMOS=αποκοπή, PMOS=άγει $\rightarrow V_{OUT} = \text{HIGH}$ (σύνδεση με VDD)
- ❖ Όταν $V_{IN} = \text{HIGH} \rightarrow$ NMOS=άγει, PMOS=αποκοπή $\rightarrow V_{OUT} = \text{LOW}$ (σύνδεση με GND)

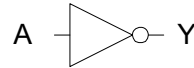
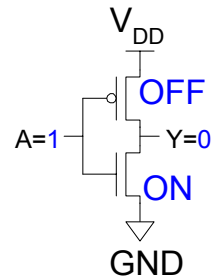
Λειτουργία Inverter Πίνακας Αληθείας

A	Y
0	
1	



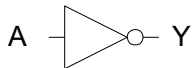
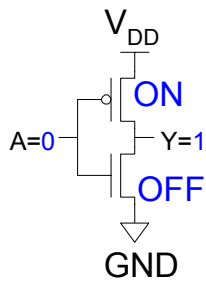
Λειτουργία Inverter Πίνακας Αληθείας

A	Y
0	
1	0

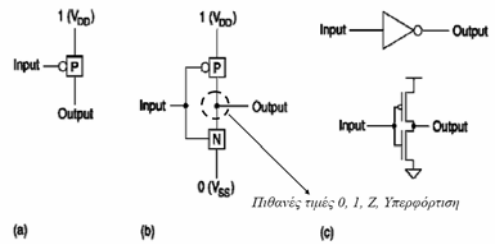


Λειτουργία Inverter Πίνακας Αληθείας

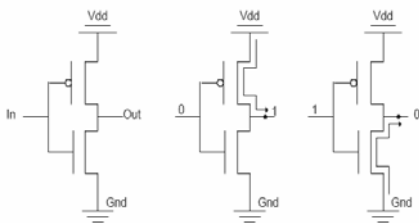
A	Y
0	1
1	0



CMOS - Αντιστροφείας



CMOS - Αντιστροφείας



Λειτουργία Αντιστροφείας σε συνάρτηση της εισόδου του.

Συνδυαστική Λογική

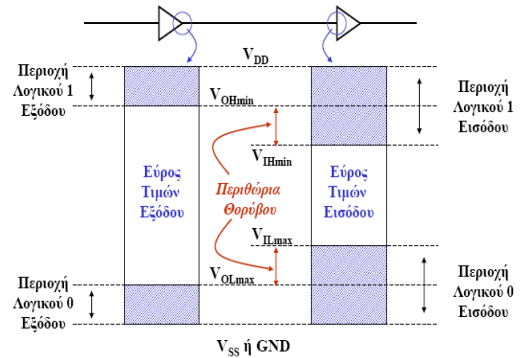
Συνδυάζοντας σε σειρά και παράλληλα n και p διακόπτες προκύπτουν οι γνωστές συνδυαστικές συναρτήσεις.



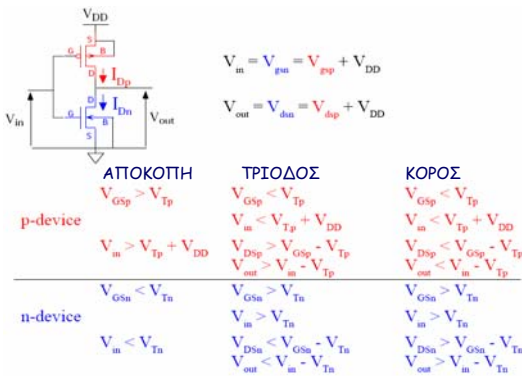
Περιθώρια Θορύβου

- ❖ Το περιθώριο θορύβου σχετίζεται στενά με τα χαρακτηριστικά των τάσεων εισόδου/εξόδου
- ❖ Χαμηλό περιθώριο θορύβου $NM_L = |V_{ILmax} - V_{OLmax}|$
- ❖ Υψηλό περιθώριο θορύβου $NM_H = |V_{OHmin} - V_{IHmin}|$
- ❖ Με μειωμένο το NM_L ή το NM_H η πύλη είναι ευαίσθητη στον θόρυβο μεταγωγής που παρουσιάζεται στις εισόδους

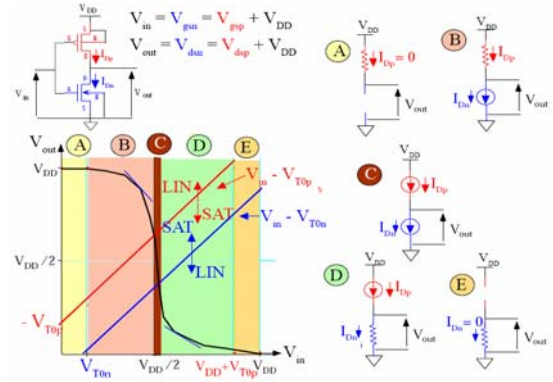
Περιθώρια Θορύβου



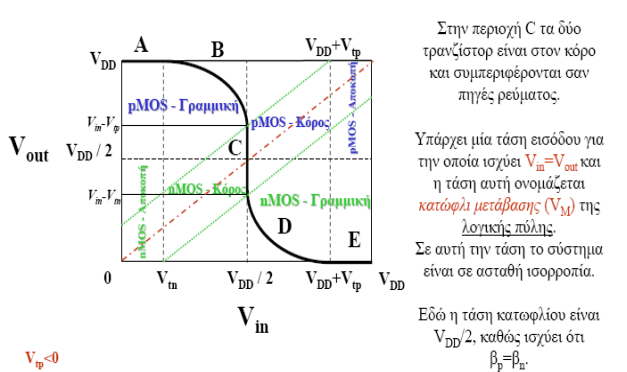
Περιοχές Λειτουργίας Αναστροφείας



Στατική Χαρακτηριστική Μεταφοράς



Στατική Χαρακτηριστική Μεταφοράς II

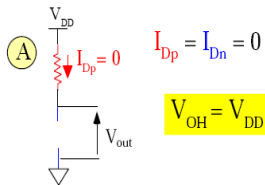


Ανάλυση Χαρακτηριστικής Μεταφοράς

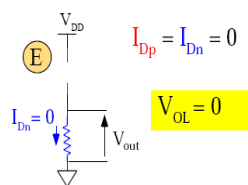
Περιοχή	Συνθήκη	pMOS	nMOS	Εξόδος
A	$0 \leq V_{in} \leq V_{in}$	Γραμμική	Αποκοπή	$V_{out} = V_{DD}$
B	$V_{in} \leq V_{in} < V_{DD}/2$	Γραμμική	Κόρος	$V_{out} = f(V_{in})$
C	$V_{in} = V_{DD}/2$	Κόρος	Κόρος	$V_{out} \neq f(V_{in})$
D	$V_{DD}/2 < V_{in} \leq V_{DD} - V_{tp}$	Κόρος	Γραμμική	$V_{out} = f(V_{in})$
E	$V_{DD} - V_{tp} \leq V_{in}$	Αποκοπή	Γραμμική	$V_{out} = V_{SS}$

ΥΠΟΛΟΓΙΣΜΟΣ ΠΕΡΙΘΩΡΙΩΝ ΘΟΡΥΒΟΥ ΑΝΑΛΥΣΗ ΛΕΙΤΟΥΡΓΙΑΣ

ΥΠΟΛΟΓΙΣΜΟΣ V_{OH}



ΥΠΟΛΟΓΙΣΜΟΣ V_{OL}



ΥΠΟΛΟΓΙΣΜΟΣ ΠΕΡΙΘΩΡΙΩΝ ΘΟΡΥΒΟΥ ΑΝΑΛΥΣΗ ΛΕΙΤΟΥΡΓΙΑΣ

ΥΠΟΛΟΓΙΣΜΟΣ V_{IL}

$I_{Dp} = I_{Dn}$

$$\frac{k'_n}{2} \left(\frac{W}{L} \right)_n (V_{GSn} - V_{T0n})^2 = \frac{k'_p}{2} \left(\frac{W}{L} \right)_p [2(V_{GSp} - V_{T0p})V_{DSp} - V_{DSp}^2]$$

$V_{GSn} = V_{in}, V_{GSp} = V_{in} - V_{DD}, V_{DSp} = V_{out} - V_{DD}$

$$\frac{k'_p}{2} \left(\frac{W}{L} \right)_p [2(V_{in} - V_{DD} - V_{T0p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2]$$

$$V_{IL} = \frac{2V_{out} + V_{T0p} - V_{DD} + k_R V_{T0n}}{1 + k_R}$$

$$k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p}$$

ΥΠΟΛΟΓΙΣΜΟΣ ΠΕΡΙΘΩΡΙΩΝ ΘΟΡΥΒΟΥ ΑΝΑΛΥΣΗ ΛΕΙΤΟΥΡΓΙΑΣ

ΥΠΟΛΟΓΙΣΜΟΣ V_{IH}

$I_{Dp} = I_{Dn}$

$$\frac{k'_n}{2} \left(\frac{W}{L} \right)_n [2(V_{GSn} - V_{T0n})V_{Dsn} - V_{Dsn}^2] = \frac{k'_p}{2} \left(\frac{W}{L} \right)_p (V_{GSp} - V_{T0p})^2$$

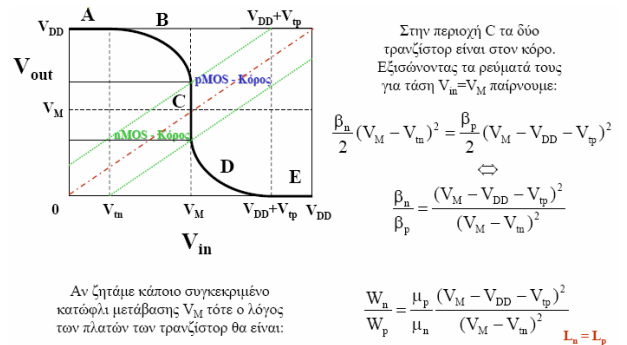
$V_{GSn} = V_{in}, V_{Dsn} = V_{out} - V_{DD}, V_{GSp} = V_{in} - V_{DD}$

$$\frac{k'_n}{2} \left(\frac{W}{L} \right)_n [2(V_{in} - V_{T0n})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] = \frac{k'_p}{2} \left(\frac{W}{L} \right)_p (V_{in} - V_{DD} - V_{T0p})^2$$

$$V_{IH} = \frac{V_{DD} + V_{T0p} + k_R(2V_{out} + V_{T0n})}{1 + k_R}$$

$$k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p}$$

Κατώφλι Μετάβασης



ΥΠΟΛΟΓΙΣΜΟΣ V_{TH}

$I_{Dp} = I_{Dn}$

$$\frac{k'_n}{2} \left(\frac{W}{L} \right)_n (V_{GSn} - V_{T0n})^2 = \frac{k'_p}{2} \left(\frac{W}{L} \right)_p (V_{GSp} - V_{T0p})^2$$

$V_{GSn} = V_{in}, V_{GSp} = V_{in} - V_{DD}$

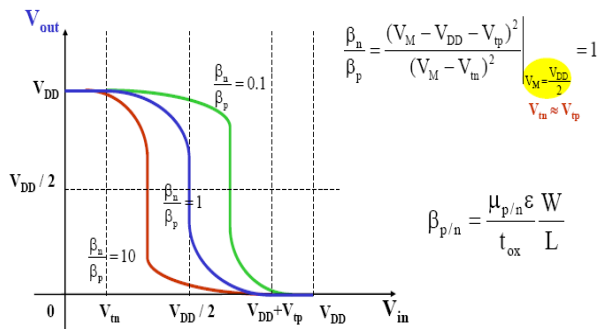
$V_{in} = V_{out} = V_{TH}$

$$V_{TH} = V_{in} = \frac{V_{T0n} + \sqrt{\frac{1}{k_R} (V_{DD} + V_{T0p})^2}}{1 + \frac{1}{k_R}}$$

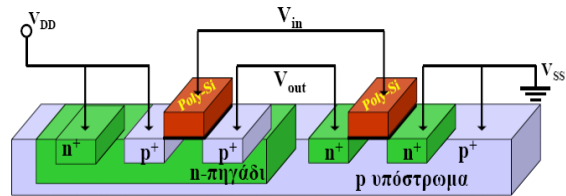
Τάση κατωφλίου του αντιστροφέα

- Εξαρτάται από την οδηγική ικανότητα (παροχή ρεύματος) των δύο transistor
 - Με ισχυρότερο PMOS $\rightarrow V_{INV} \uparrow$
 - Με ισχυρότερο NMOS $\rightarrow V_{INV} \downarrow$
- Ο λόγος της οδηγικής ικανότητας των transistor εξαρτάται κατασκευαστικά από τα L και W
 - για συμμετρική ικανότητα οδήγησης και $V_{INV} = V_{DD}/2$ πρέπει το PMOS να είναι 2-3 φορές μεγαλύτερο από το NMOS
 - ένας τέτοιος αντιστροφέας έχει
 - όμοιους χρόνους μετάβασης ανάμεσα στις δύο στάθμες
 - μέγιστη περιθώρια θορύβου

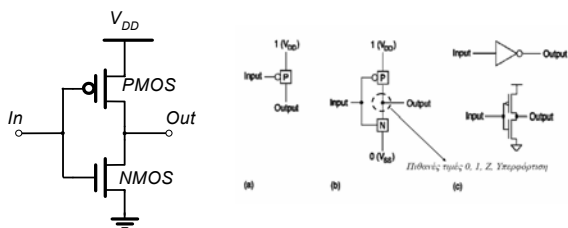
β_n/β_p και Χαρακτηριστική Μεταφοράς



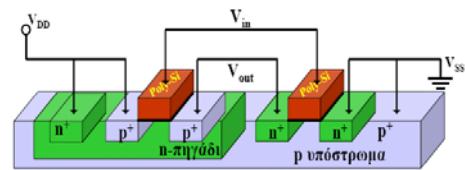
CMOS INVERTER



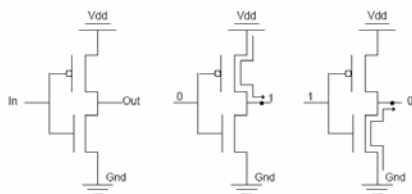
CMOS Αντιστροφείας



CMOS Αντιστροφείας

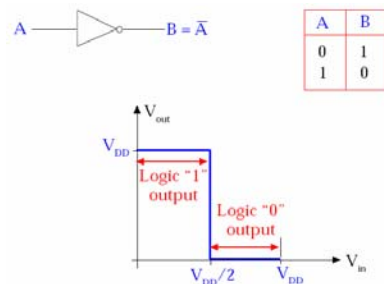


Λειτουργία του C-MOS αντιστροφεία

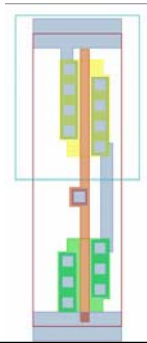


Λειτουργία Αντιστροφεία σε συνάρτηση της εισόδου του.

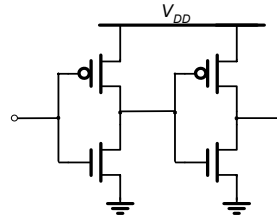
Λειτουργία του C-MOS αντιστροφεία



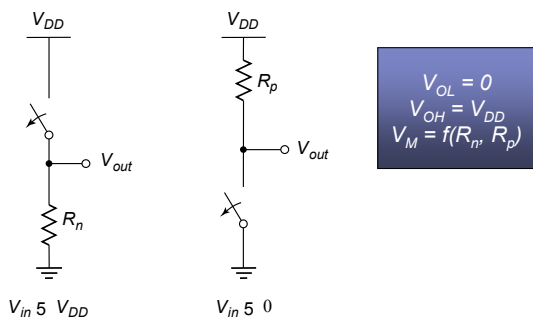
CMOS Αντιστροφέας Layout



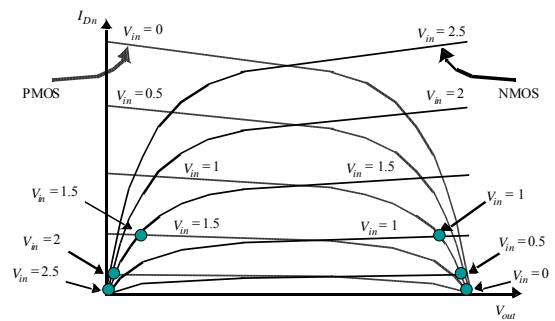
Δύο αντιστροφείς μαζί



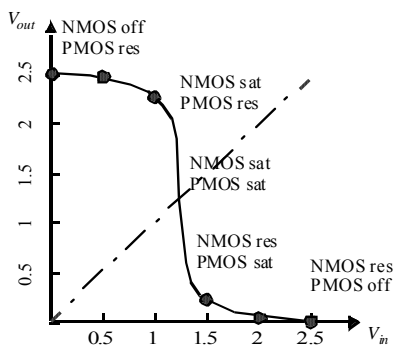
CMOS Αντιστροφέας DC-Ανάλυση



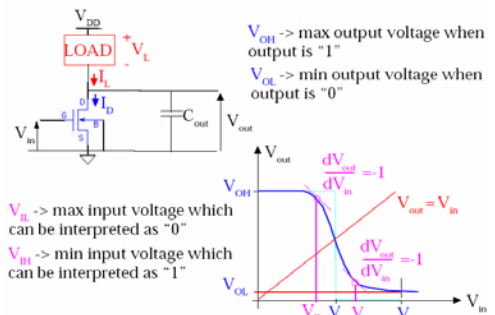
Χαρακτηριστικές των N-MOS και P-MOS



Χαρακτηριστική του CMOS Αντιστροφέα



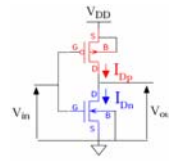
Χαρακτηριστικές Τάσης



Ερμηνεία όρων

- V_{OH} -> max output voltage when output is "1"
- V_{OL} -> min output voltage when output is "0"
- V_{IH} -> max input voltage which can be interpreted as "0"
- V_{IL} -> min input voltage which can be interpreted as "1"

Περιοχές Λειτουργίας Αντιστροφεία

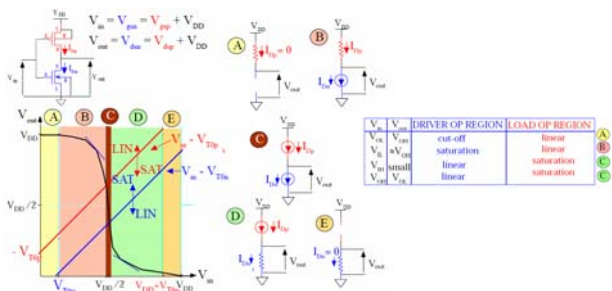


$$V_m = V_{gsn} = V_{gsp} + V_{DD}$$

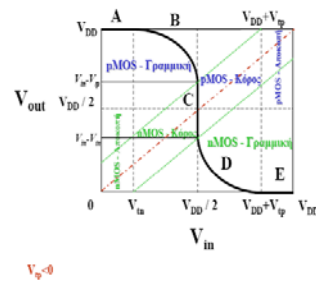
$$V_{out} = V_{dsn} = V_{dsp} + V_{DD}$$

p-device	$V_{GSp} > V_{Tp}$	$V_{GSp} < V_{Tp}$	$V_{GSp} < V_{Tp}$
	$V_m > V_{Tp} + V_{DD}$	$V_m < V_{Tp} + V_{DD}$	$V_m < V_{Tp} + V_{DD}$
n-device	$V_{GSn} < V_{Tn}$	$V_{GSn} > V_{Tn}$	$V_{GSn} < V_{Tn}$
	$V_m < V_{Tn}$	$V_m > V_{Tn}$	$V_m > V_{Tn}$

Χαρακτηριστική Μεταφοράς



Χαρακτηριστική Μεταφοράς

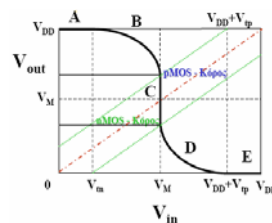


Στην περιοχή C τα δύο τρανζίστορ είναι στον κόρο και συμπεριφέρονται σαν πηγές ρεύματος.
Υπάρχει μία τάση εισόδου για την οποία ισχύει $V_m = V_{out}$ και η τάση αυτή ονομάζεται **κατώφλι μετάβασης** (V_M) της λογικής πύλης.
Σε αυτή την τάση το σύστημα είναι σε σταθερή ισορροπία.
Εδώ η τάση κατοφλίου είναι $V_{DD}/2$, καθώς ισχύει ότι $\beta_n = \beta_p$.

Ερμηνεία όρων και συνθήκες

Περιοχή	Συνθήκη	pMOS	nMOS	Εξόδοξ
A	$0 \leq V_{in} \leq V_{in}$	Γραμμική	Αποκοπή	$V_{out} = V_{DD}$
B	$V_{in} \leq V_{in} < V_{DD}/2$	Γραμμική	Κόρος	$V_{out} = f(V_{in})$
C	$V_{in} = V_{DD}/2$	Κόρος	Κόρος	$V_{out} = f(V_{in})$
D	$V_{DD}/2 < V_{in} \leq V_{DD} - V_{Tp}$	Κόρος	Γραμμική	$V_{out} = f(V_{in})$
E	$V_{DD} - V_{Tp} \leq V_{in}$	Αποκοπή	Γραμμική	$V_{out} = V_{SS}$

Κατώφλι Μετάβασης



Στην περιοχή C τα δύο τρανζίστορ είναι στον κόρο. Εξισώνοντας τα ρεύματά τους για τάση $V_m = V_M$ παίρνουμε:

$$\frac{\beta_n}{2} (V_M - V_{in})^2 = \frac{\beta_p}{2} (V_M - V_{DD} - V_{Tp})^2$$

$$\frac{\beta_n}{\beta_p} = \frac{(V_M - V_{DD} - V_{Tp})^2}{(V_M - V_{in})^2}$$

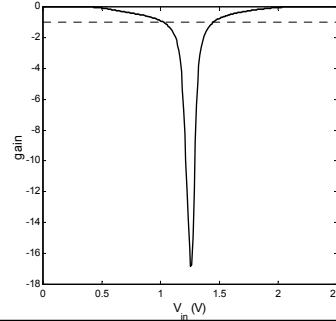
Αν ζητάμε κάποιο συγκεκριμένο κατώφλι μετάβασης V_M τότε ο λόγος των πλατών των τρανζίστορ θα είναι:

$$\frac{W_n}{W_p} = \frac{\mu_p}{\mu_n} \frac{(V_M - V_{DD} - V_{Tp})^2}{(V_M - V_{in})^2} \quad I_n = I_p$$

Τάση Κατωφλίου του Αντιστροφέα

- ❖ Εξαρτάται από την οδηγητική ικανότητα (παροχή ρεύματος) των δύο transistor
 - Με ισχυρότερο PMOS → VINV ↑
 - Με ισχυρότερο NMOS → VINV ↓
- ❖ Ο λόγος της οδηγητικής ικανότητας των transistor εξαρτάται κατασκευαστικά από τα L και W
 - για συμμετρική ικανότητα οδήγησης και VINV=VDD/2 πρέπει το PMOS να είναι 2-3 φορές μεγαλύτερο από το NMOS
 - ένας τέτοιος αντιστροφέας έχει
 - ✓ όμοιους χρόνους μετάβασης ανάμεσα στις δύο στάθμες
 - ✓ μέγιστα περιθώρια θορύβου

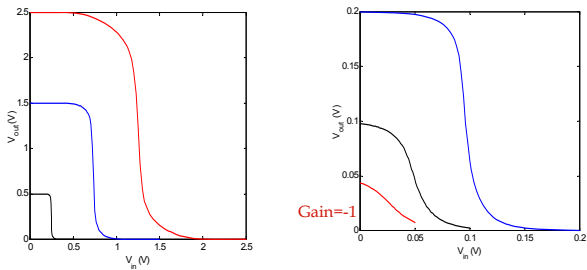
Κέρδος Αντιστροφέα



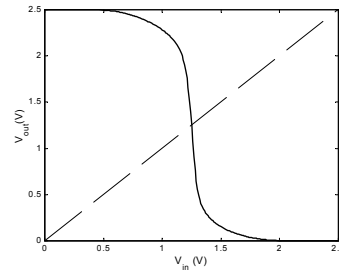
$$g = \frac{1}{I_D(V_M)} \frac{k_n V_{DSATn} + k_p V_{DSATp}}{\lambda_n - \lambda_p}$$

$$\approx \frac{1+r}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)}$$

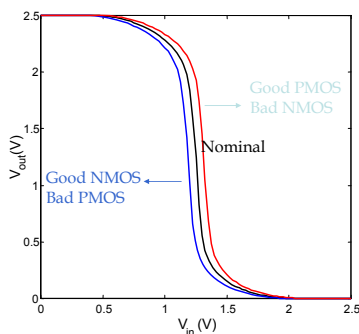
Κέρδος συναρτήσεως του VDD



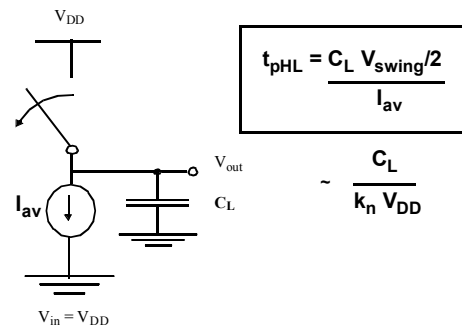
Προσομοίωση Χαρακτηριστικής



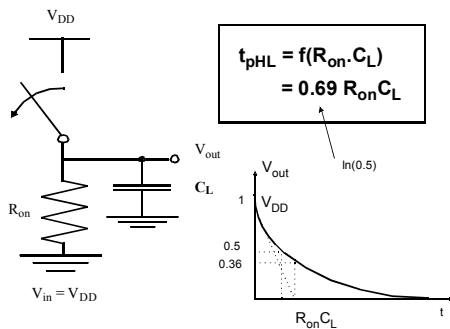
Impact of Process Variations



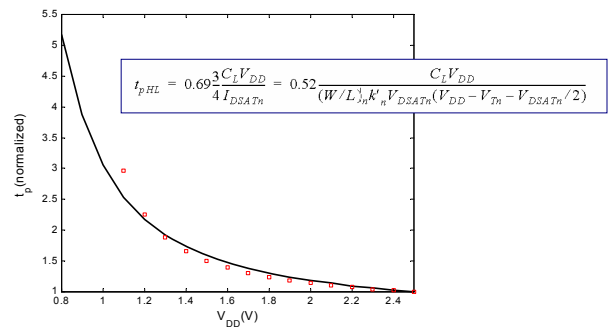
CMOS Inverter Propagation Delay 1



CMOS Inverter Propagation Delay 2



Η καθυστέρηση συνάρτησης του VDD



Inverter Delay

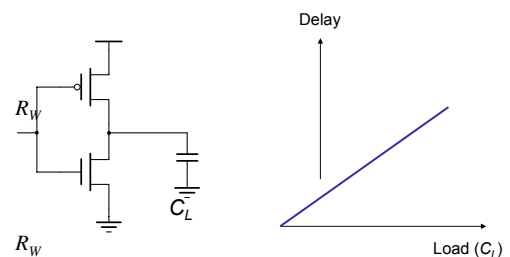
- Minimum length devices, $L=0.25\mu m$
- Assume that for $W_p = 2W_n = 2W$
 - same pull-up and pull-down currents
 - approx. equal resistances $R_N = R_p$
 - approx. equal rise t_{pLH} and fall t_{pHL} delays
- Analyze as an RC network

$$R_p = R_{unit} \left(\frac{W_p}{W_{unit}} \right)^{-1} \approx R_{unit} \left(\frac{W_n}{W_{unit}} \right)^{-1} = R_n = R_w$$

Delay (D): $t_{pHL} = (\ln 2) R_N C_L$ $t_{pLH} = (\ln 2) R_p C_L$

Load for the next stage: $C_{gm} = 3 \frac{W}{W_{unit}} C_{unit}$

Inverter with Load



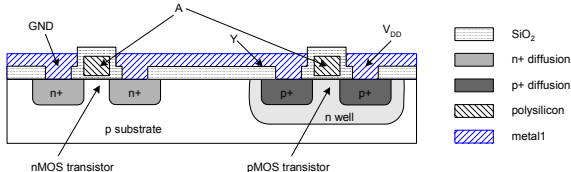
k is a constant, equal to 0.69

Assumptions: no load \rightarrow zero delay

$$W_{unit} = 1$$

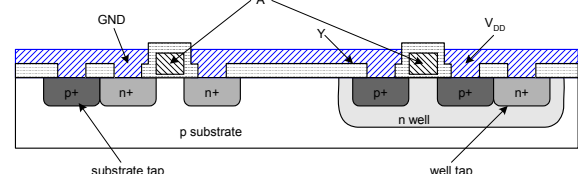
Inverter Layout

- Τυπικά για τα nMOS τρανζίστορ χρησιμοποιείται p-type υπόστρωμα
- Για την κατασκευή του pMOS τρανζίστορ απαιτείται πηγάδι n-well



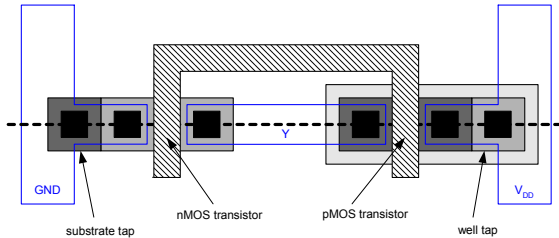
Απομόνωση υποστρώματος και πηγαδιού

- Το υπόστρωμα πρέπει να συνδεθεί στην γη και το n-well στην V_{DD}
- Μέταλλο σχηματίζει αδύναμες συνδέσεις με ελαφρά εμπλουτισμένες περιοχές ημιαγωγού (Schottky Diode)
- Χρήση πλούσια εμπλουτισμένων επαφών και απομονώσεων για πηγάδια και υπόστρωμα



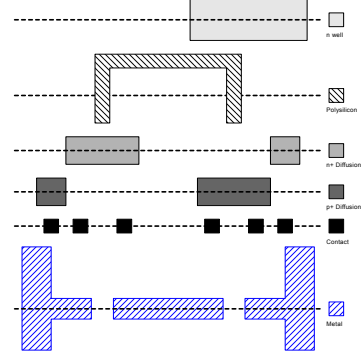
Καθορισμός μάσκας αντιστροφεία

- Τα τρανζίστορ και οι συνδέσεις καθορίζονται από μάσκες



Ανάλυση μορφής μασκών

- Έξι μάσκες
 - n-well
 - Polysilicon
 - n+ diffusion
 - p+ diffusion
 - Contact
 - Metal



Κατασκευαστικά βήματα

- Ξεκινάμε με ένα καθαρό δισκίο πυριτίου
- Κατασκευάζουμε τον αντιστροφέα από την βάση προς την κορυφή
- Πρώτο βήμα είναι ο σχηματισμός του n-well
 - Καλύπτουμε το wafer με προστατευτικό στρώμα SiO_2 (oxide)
 - Αφαιρούμε το στρώμα στην περιοχή που να σχηματίσουμε το n-well
 - Εμφυτεύουμε ή διαχέουμε n dopants στο εκτιθέμενο wafer
 - Αφαιρούμε το SiO_2



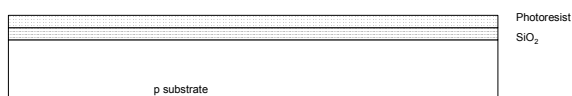
Οξείδωση

- Ανάπτυξη SiO_2 στο πάνω τμήμα του Si wafer
 - 900 - 1200 C με H_2O ή O_2 σε κλίβανο οξείδωσης



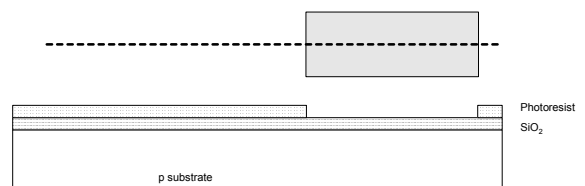
Photoresist

- Spin του photoresist
 - Το Photoresist είναι ένα οργανικό πολυμερές ευαίσθητο στο φως
 - Μαλακώνει όπου εκτίθεται στο φως



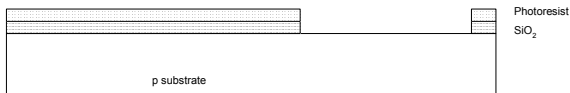
Λιθογραφία

- Έκθεση του photoresist διαμέσου της n-well μάσκας
- Αφαιρώ το εκτιθέμενο photoresist



Εγχάραξη

- Εγχάραξη του οξειδίου με υδροφθορικό οξύ (HF)
- Το οξύ διαβρώνει το οξείδιο μόνο στην περιοχή που έχει εκτεθεί το resist



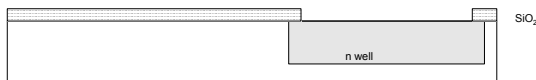
Απομάκρυνση του Photoresist

- Απομάκρυνση του υπόλοιπου photoresist
 - Χρήση μείγματος οξέων που ονομάζεται piranha εγχάραξη
- Απαραίτητο ώστε να μην λιώσει το resist σε επόμενο στάδιο



n-well

- Το n-well σχηματίζεται με διάχυση ή ιοντική εμφύτευση
- Διάχυση (Diffusion)
 - Τοποθέτηση του wafer στον κλίβανο με αέριο αρσενικό
 - Θέρμανση μέχρι άτομα As διαχυθούν πάνω στο εκτιθέμενο Si
- Ιοντική Εμφύτευση (Ion Implantation)
 - Πυροβολισμός του wafer με δέσμη ιόντων As
 - Τα ιόντα εμποδίζονται από το SiO₂ ενώ εισέρχονται στο εκτιθέμενο Si



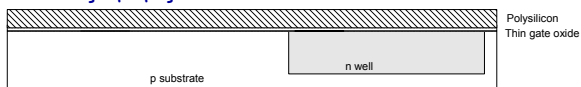
Αφαίρεση οξειδίου

- Αφαίρεση του υπόλοιπου οξειδίου με HF οξύ
- Επιστροφή στο γυμνό wafer έχοντας σχηματιστεί το n-well



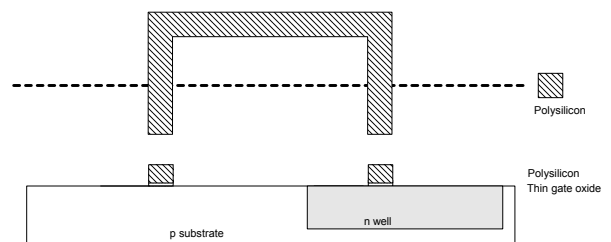
Πολυπυρίτιο (Polysilicon)

- Εναπόθεση πολύ λεπτού στρώματος οξειδίου πύλης (gate oxide)
 - < 20 Å (6-7 atomic layers)
- Εναπόθεση στρώματος πυριτίου με χημική εξάχνωση (Chemical Vapor Deposition, CVD)
 - Τοποθέτηση του wafer στον κλίβανο με Silane gas (SiH₄)
 - Σχηματισμός πολλών μικρών κρυστάλλων που ονομάζεται πολυπυρίτιο
 - Πλούσιος εμπλουτισμός (heavily doped) για να είναι καλός αγωγός



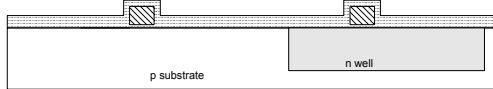
Polysilicon Patterning

- Χρήση διαδικασίας ίδιας με τη φωτολιθογραφική μέθοδο για την αποτύπωση του polysilicon



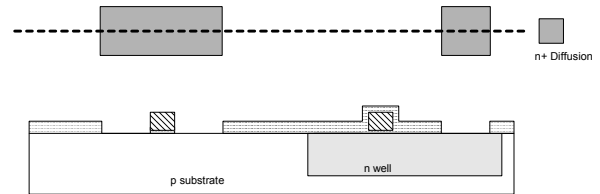
N-diffusion 1

- Χρήση οξειδίου και μάσκας για να εκθέσω τις περιοχές όπου n^+ dopants θα διαχυθούν ή εμφυτευτούν
- Η N-diffusion σχηματίζει την πηγή, εκροή του nMOS καθώς και την επαφή με το n-well



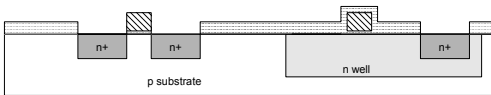
N-diffusion 2

- Αποτύπωση οξειδίου και σχηματισμός n^+ περιοχών



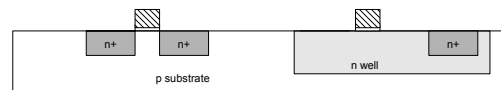
N-diffusion 3

- Διάχυση dopants (σε προηγούμενα χρόνια)
- Ιοντική εμφύτευση (Σήμερα)
- Αλλά οι περιοχές λέγονται ακόμη diffusion



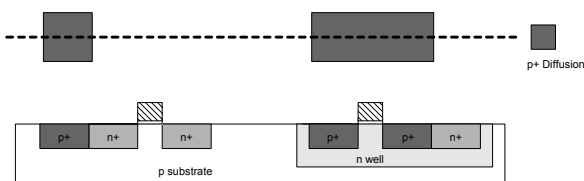
N-diffusion 4

- Αφαίρεση του οξειδίου και ολοκλήρωση της διαδικασίας αποτύπωσης του σχεδίου



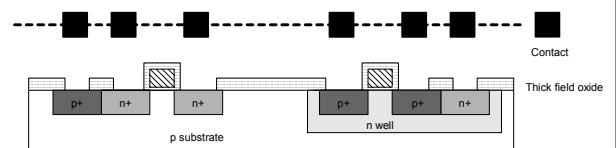
P-Diffusion

- Ίδια διαδικασία ακολουθείται για το σχηματισμό p^+ περιοχών διάχυσης που αποτελούν την πηγή, εκροή του pMOS και την επαφή του υποστρώματος



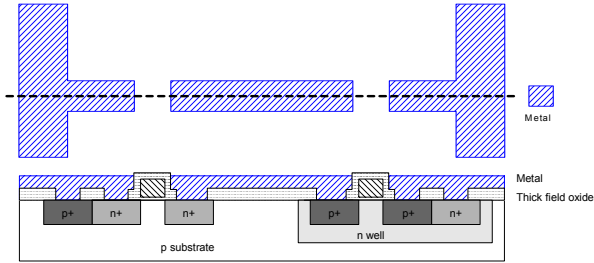
Επαφές

- Ανάγκη σύνδεσης των συσκευών (devices) μεταξύ τους
- Ένα thick field oxide καλύπτει το chip
- Εγχάραξη του οξειδίου στις περιοχές όπου ανοίγματα επαφών χρειάζονται

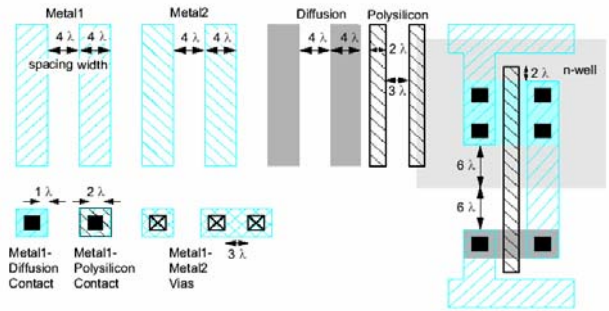


Επιμετάλλωση (Metalization)

- Αλουμίνιο χύνεται πάνω σε όλο το wafer
- Αποτύπωση σχεδίου για την απομάκρυνση περιττού μετάλλου και σχηματισμός καλωδιώσεων

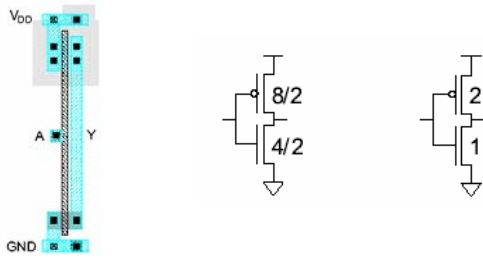


Καθορισμός κανόνων σχεδίασης

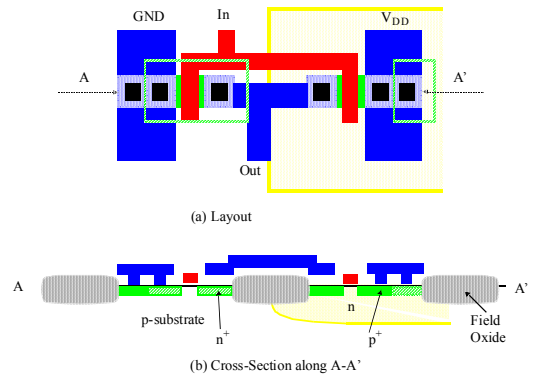


Inverter Layout

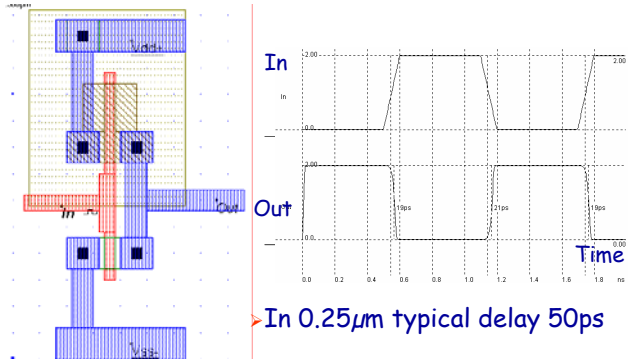
- Οι διαστάσεις του τρανζίστορ ορίζονται ως W/L (Width / Length)
- Όταν $\lambda = 0.6 \mu\text{m}$ process, τότε $W=1.2 \mu\text{m}$ και $L=0.6 \mu\text{m}$



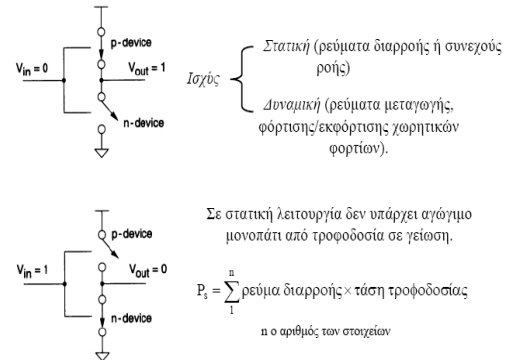
Inverter Layout



The CMOS Inverter (mask layout) SPICE simulation



Κατανάλωση Ισχύος



Δυναμική Κατανάλωση Ισχύος

1. Τα δύο τρανζίστορ του αντιστροφέα άγουν για πολύ μικρό χρονικό διάστημα.
2. Απαιτείται ρεύμα για την φόρτιση και εκφόρτιση του χωρητικού φορτίου εξόδου.

Οι αργές ακμές ανόδου/καθόδου αυξάνουν το ρεύμα βραχυκυκλώματος

$$P_d = C_L V_{DD}^2 f_p \quad \text{Κατανάλωση μόνο μεταγωγής}$$

P_d είναι η μέση δυναμική ισχύς που καταναλώνεται κατά την διάρκεια της μεταγωγής για είσοδο τετραγωνικού παλμού V_{in} και συχνότητα $f_p=1/t_p$. Εξαρτάται από το χωρητικό φορτίο και την συχνότητα και όχι από τις παραμέτρους του στοιχείου.

Κατανάλωση Βραχυκυκλώματος

$$P_{sc} = \frac{\beta}{12} V_{DD} - 2V_t \left(\frac{\beta V_t}{V_{DD}}\right)^2$$

Μεγάλοι χρόνοι ανόδου/καθόδου και μεγάλο πλάτος (W) οδηγούν σε μεγάλη κατανάλωση ισχύος. Θεωρούμε ότι οι χρόνοι ανόδου/καθόδου είναι ίδιοι ($t_r=t_f$)

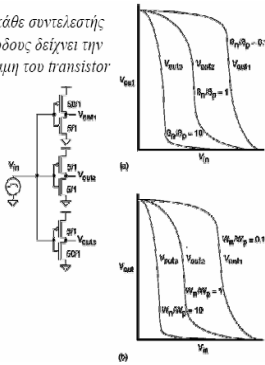
Η συνολική κατανάλωση ισχύος προκύπτει από την άθροιση των τριών συστατικών $P_{total}=P_s+P_d+P_{sc}$

Μείωση κατανάλωσης ισχύος έχουμε με χρήση μόνο συμπληρωματικών CMOS πυλών και

- Ελαχιστοποίηση μεταβάσεων
- Μείωση χρόνων ανόδου καθόδου

Λόγος β_n/β_p

Ο κάθε συντελεστής κέρδους δείχνει την δύναμη του transistor



Ο λόγος επηρεάζει άμεσα την καμπύλη μεταφοράς, και εξαρτάται από τις διαστάσεις του καναλιού (W, L)

Την καμπύλη μεταφοράς επηρεάζει επίσης και η θερμοκρασία. Με την αύξηση της θερμοκρασίας μειώνεται το β .

Λόγος β_n/β_p

Κατά την σχεδίαση κυττάρων δίνουμε μεγάλη σημασία στην εξισορρόπηση των δυνατοτήτων οδήγησης των *pmos* και των *nmos*

Μεγιστοποίηση FanOut

Ίσους χρόνους ανόδου καθόδου

Ελαχιστοποίηση Αιχμών

$$\left. \begin{array}{l} \text{Πρέπει } \beta_n = \beta_p \\ \text{Πρέπει } L_n = L_p \\ \text{(περιορισμός κατασκευής)} \end{array} \right\} \left. \begin{array}{l} W_n/W_p = \mu_p/\mu_n \\ \text{Ισχύει } \mu_n = 2\mu_p \end{array} \right\} W_p = 2W_n$$

Τα *pmos* πρέπει να έχουν το διπλάσιο πλάτος από τα *nmos*. Στην τεχνολογία *submicron* ο λόγος είναι μικρότερος (μεταξύ 1 και 1.5)

Λόγος β_n/β_p

Ο λόγος διαστάσεων είναι σημαντικός στην σχεδίαση των *standard cells*:

- ✓ Κάθε βιβλιοθήκη παρέχει κύτταρα με διάφορες δυνατότητες (λόγους).
- ✓ Ο μικρότερος σε μέγεθος αντιστροφέας χρησιμοποιείται ως μέγεθος αναφοράς για τις υπόλοιπες πύλες

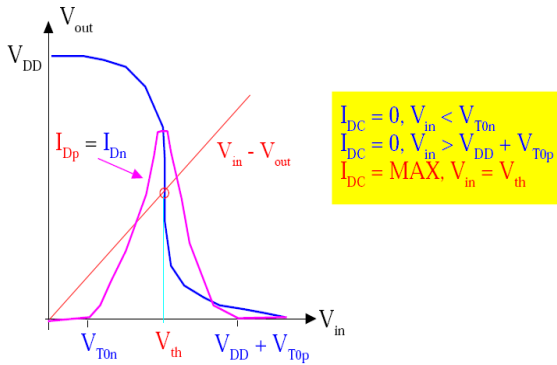
Κανόνες Σχεδίασης

- Ένα *transistor* με λόγο W_1/L_1 έχει αντίσταση ανάλογη με L_1/W_1 .
- Δύο *transistor* με λόγους διαστάσεων W_1/L_1 και W_2/L_2 αντιστοίχα ισοδυναμούν με ένα *transistor* με λόγο
 - $(W_1/L_1 + W_2/L_2)/1$ για παράλληλη σύνδεση
 - $1/(W_1/L_1 + W_2/L_2)$ για σύνδεση σε σειρά

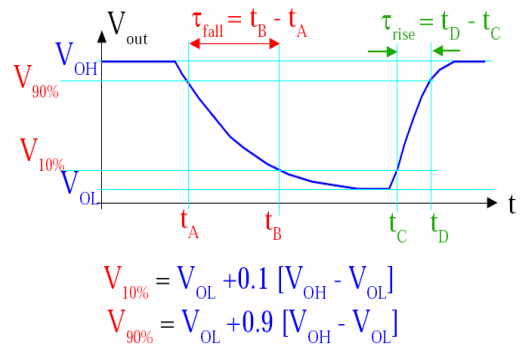
Ρεύμα βραχυκυκλώματος (1)

- I_{sc} - *short-circuit* ή *cross-over current*
- Ρέει από το V_{DD} στη γείωση, όταν κατά τη μετάβαση από τη μία λογική στάθμη στην άλλη, άγουν ταυτόχρονα και τα δύο *transistor*
- Εξαρτάται
 - ο ανάλογα από την τάση τροφοδοσίας V_{DD}
 - ο από το ρεύμα κορεσμού των *transistor*
 - ο από την ταχύτητα αλλαγής του V_{IN} σε σχέση με την ταχύτητα αλλαγής του V_{OUT}

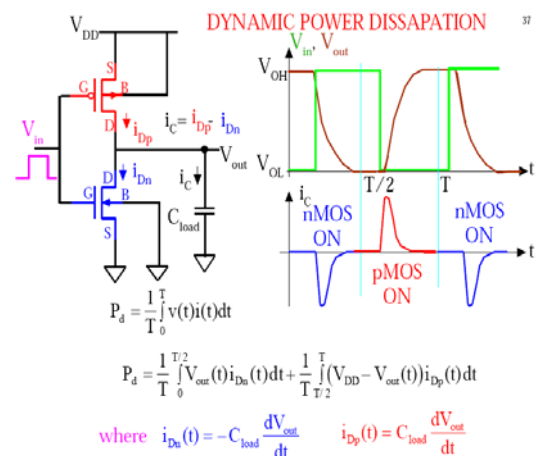
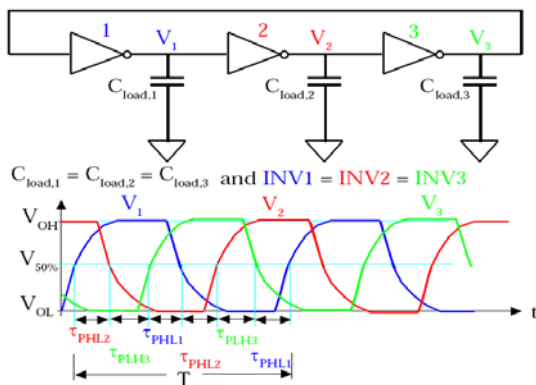
Ρεύμα βραχυκυκλώματος (2)



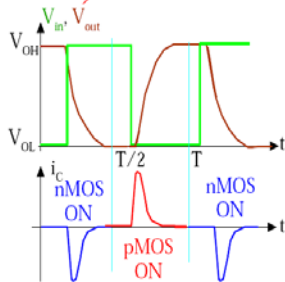
Rise & Fall time της εξόδου



CMOS RING OSCILLATOR



$$P_d = \frac{1}{T} \int_0^{T/2} V_{out}(t) \left(-C_{load} \frac{dV_{out}}{dt} \right) dt + \frac{1}{T} \int_{T/2}^T (V_{DD} - V_{out}(t)) \left(C_{load} \frac{dV_{out}}{dt} \right) dt$$



$$P_d = \frac{1}{T} \int_0^0 -C_{load} V_{out}(t) dV_{out} + \frac{1}{T} \int_0^{V_{DD}} C_{load} (V_{DD} - V_{out}(t)) dV_{out}$$

$$= \frac{1}{T} \left[-C_{load} \frac{V_{out}^2}{2} \Big|_{V_{out}=V_{DD}}^{V_{out}=0} + C_{load} \left(V_{DD} V_{out} - \frac{V_{out}^2}{2} \right) \Big|_{V_{out}=0}^{V_{out}=V_{DD}} \right]$$

$$P_d = \frac{1}{T} \left[-C_{load} \frac{V_{out}^2}{2} \Big|_{V_{out}=V_{DD}}^{V_{out}=0} + C_{load} \left(V_{DD} V_{out} - \frac{V_{out}^2}{2} \right) \Big|_{V_{out}=0}^{V_{out}=V_{DD}} \right]$$

$$= \frac{1}{T} C_{load} V_{DD}^2$$

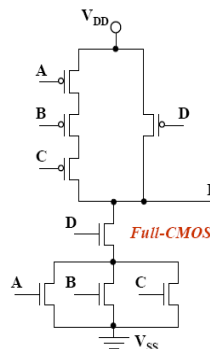
$P_d = C_{load} V_{DD}^2 f$

Λογικά κυκλώματα CMOS

- Στατικά λογικά κυκλώματα
 - εύρωστα σε λειτουργία
 - ελάχιστη κατανάλωση ισχύος
 - εύκολα στη σχεδίαση και στην κατασκευή
- Δυναμικά λογικά κυκλώματα
 - καταλαμβάνουν μικρότερο χώρο
 - μικρότερες παρασιτικές χωρητικότητες
 - μεγαλύτερη ταχύτητα αλλαγής
- Λογική ψευδο-NMOS
- Λογική με πύλες διάδοσης

Στατική ή Πλήρης CMOS Λογική

$$F = \overline{((A+B+C) \cdot D)}$$



➤ Σε κάθε χρονική στιγμή (εκτός από τους χρόνους μετάβασης) η έξοδος κάθε πύλης είναι συνδεδεμένη είτε με το VDD είτε με το VSS μέσω ενός μονοπατιού χαμηλής αντίστασης.

➤ Οι έξοδοι των πυλών φέρουν σε κάθε χρονική στιγμή τη λογική τιμή της συνάρτησης Boole που υλοποιείται από το κύκλωμα (εκτός πάλι από τους χρόνους μετάβασης).

Ιδιότητες CMOS Λογικής

- Πλήρεις μεταβάσεις σε VDD και VSS: υψηλά περιθώρια θορύβου ($V_{OH}=V_{DD}$, $V_{OL}=V_{SS}$)
- Τα λογικά επίπεδα τάσεων στις εξόδους δεν εξαρτώνται από τα σχετικά μεγέθη των τρανζίστορ
- Πάντα υπάρχει ένα μονοπάτι μεταξύ εξόδου και VDD ή VSS στην κατάσταση ηρεμίας: χαμηλή εμπέδηση εξόδου
- Εξαιρετικά υψηλή αντίσταση εισόδου: σχεδόν μηδενικό ρεύμα εισόδου στην ηρεμία
- Στην κατάσταση ηρεμίας δεν υπάρχει μονοπάτι που να συνδέει VDD και VSS: πολύ μικρή κατανάλωση ισχύος στην ηρεμία
- Η καθυστέρηση σήματος είναι συνάρτηση της χωρητικότητας φόρτου και των αντιστάσεων των τρανζίστορ

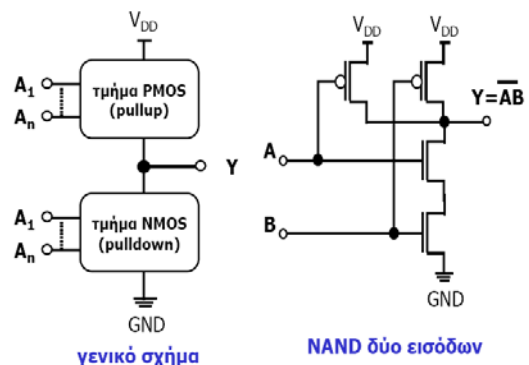
Στατικές λογικές δομές CMOS

- Κάθε λογική συνάρτηση υλοποιείται μέσω δύο συμπληρωματικών τμημάτων ανύψωσης και καταβύθισης δυναμικού
- Το pulldown
 - αποτελείται από NMOS
 - συνδέει τη λογική έξοδο με τη χαμηλή στάθμη
- Το pullup
 - αποτελείται από PMOS
 - συνδέει τη λογική έξοδο με την υψηλή στάθμη

Σύνδεση transistor

- Σύνδεση σε σειρά
 - όταν δύο NMOS είναι σε σειρά, σχηματίζουν αγώγιμο μονοπάτι όταν και οι δύο πύλες είναι στο HIGH (συνάρτηση αγωγιμότητας: AND)
- Σύνδεση παράλληλα
 - όταν δύο NMOS είναι παράλληλα, σχηματίζουν αγώγιμο μονοπάτι όταν έστω και μία πύλη είναι στο HIGH (συνάρτηση αγωγιμότητας: OR)
- Σύνδεση σε συνδυασμό
 - συνδέουμε τα NMOS έτσι ώστε να πετύχουμε την επιθυμητή συνάρτηση αγωγιμότητας, οδηγώντας την έξοδο στο LOW
 - τα PMOS συνδέονται αντίστροφα από τα NMOS, οδηγώντας την έξοδο στο HIGH

Σχηματικό & Παράδειγμα



Μειονεκτήματα

- Υλοποιούν μόνο αντεστραμμένες συναρτήσεις. Για τις υπόλοιπες, χρειάζεται επιπλέον ένας αντιστροφέας
- Χρειάζονται 2N transistor για N εισόδους → για μεγάλο αριθμό εισόδων, απαιτείται μεγάλος χώρος ολοκλήρωσης
- Αυξημένη χωρητικότητα εξόδου → μειωμένη ταχύτητα του λογικού κυκλώματος
- Transistor σε σειρά → μεγαλύτερη αντίσταση κυκλώματος → μεγαλύτερη καθυστέρηση διάδοσης

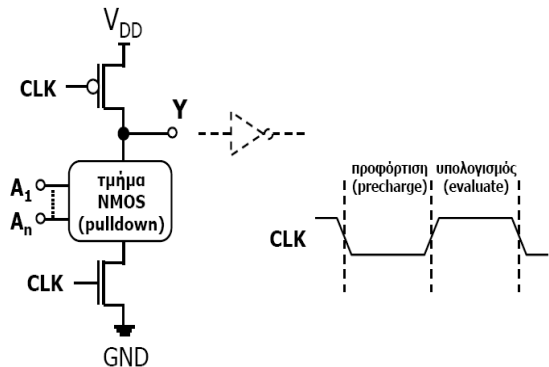
Δυναμικές λογικές δομές CMOS

- Έχει αφαιρεθεί το pullup και η έξοδος οδηγείται μόνο από το τμήμα με τα NMOS
- Δύο transistor (NMOS και PMOS) οδηγούμενα από ένα CLK περικλείουν το κύκλωμα

Λειτουργία κυκλώματος

- Φάση προφόρτισης (CLK=LOW)
 - Η έξοδος πηγαίνει στο HIGH μέσω του PMOS
 - Το NMOS δεν άγει
- Φάση υπολογισμού (CLK=HIGH)
 - Το PMOS είναι σε αποκοπή και το NMOS άγει
 - Αν υπάρχει αγώγιμο μονοπάτι στο τμήμα pulldown, τότε η έξοδος πηγαίνει στο LOW, αλλιώς παραμένει στο HIGH

Σχηματικό

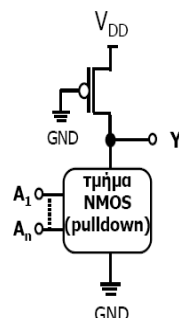


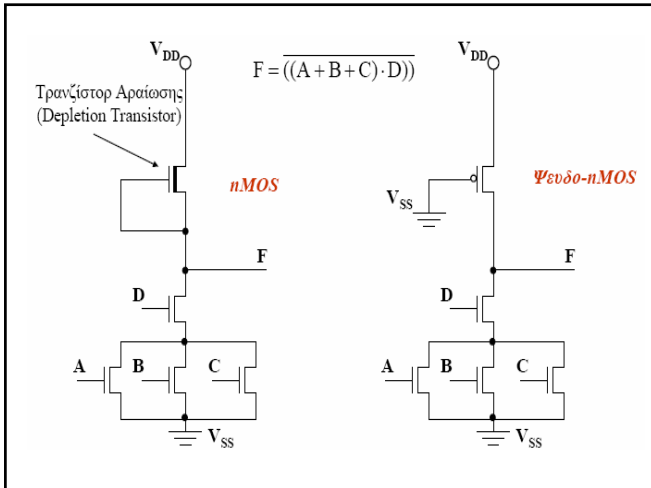
Μειονεκτήματα

- Μεγάλη κατανάλωση ισχύος, για να διατηρείται το HIGH στην έξοδο, κατά τη φάση προφόρτισης
- Γρήγορη υποβάθμιση του υψηλού σήματος εξόδου
- Απαιτήση για ένα σταθερό σήμα CLK
- Αν κατά τη φάση υπολογισμού δεν υπάρχει αγώγιμο μονοπάτι προς τη γείωση → η έξοδος δεν οδηγείται ούτε από το V_{DD} ούτε από το GND → ευάλωτη σε παρεμβολές από γειτονικά σήματα

Λογική ψευδο-NMOS

- Χρησιμοποιείται μόνο το pulldown
- Το pullup αντικαθίσταται από ένα PMOS που άγει πάντα
- Λειτουργία:
 - Όταν στο τμήμα NMOS υπάρχει αγώγιμο μονοπάτι προς το GND → έξοδος στο HIGH (V_{DD})
 - Όταν το τμήμα NMOS άγει → η τάση εξόδου εξαρτάται από την οδηγητική ικανότητα και τον «ανταγωνισμό» μεταξύ PMOS και NMOS

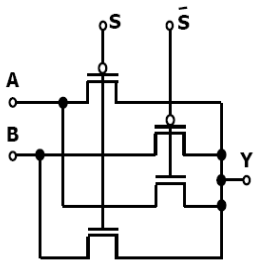




Μειονεκτήματα-Ιδιότητες nMOS & Ψευδο-nMOS Λογικής

- Τα μεγέθη των transistor (που επηρεάζουν την οδηγική τους ικανότητα) επηρεάζουν την απόδοση, αλλά και τη λειτουργικότητα του κυκλώματος
- Όταν η έξοδος είναι στο LOW, ρέει συνεχώς ρεύμα από VDD προς GND οπότε
 - παρουσιάζεται μεγάλη στατική κατανάλωση ισχύος
 - η λογική είναι ακατάλληλη για μεγάλη ολοκλήρωση
- Μη πλήρεις μεταβάσεις σε VSS: μειωμένα περιθώρια θορύβου ($V_{OH}=V_{DD}$, $V_{OL}>V_{SS}$)
- Εξαιρετικά υψηλή αντίσταση εισόδου: σχεδόν μηδενικό ρεύμα εισόδου στην ηρεμία

Λογική με πύλες διάδοσης



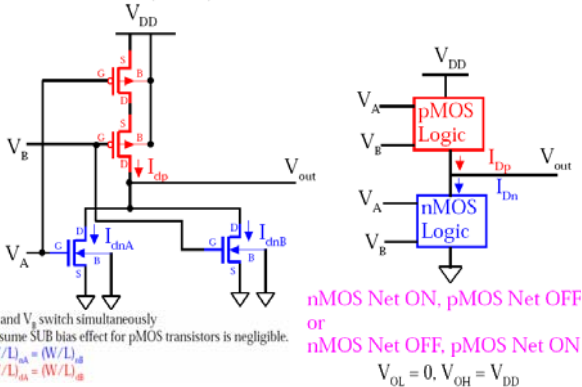
- Επιλογή (πολύπλεξη) από ένα σύνολο σημάτων εισόδου, χρησιμοποιώντας τους όρους γινομένου ορισμένων σημάτων επιλογής
- Transistor PMOS περνούν την υψηλή λογική στάθμη
- Transistor NMOS περνούν τη χαμηλή λογική στάθμη

Πλεονεκτήματα-Μειονεκτήματα

- Πλεονεκτήματα
 - υλοποίηση με απλό σχεδιασμό
 - δεν παρουσιάζεται στατική κατανάλωση ισχύος
- Μειονεκτήματα
 - οι έξοδοι των κυκλωμάτων δε συνδέονται με το VDD ή το GND, αλλά μόνο με τις εισόδους
 - υποβαθμισμένη ποιότητα σήματος

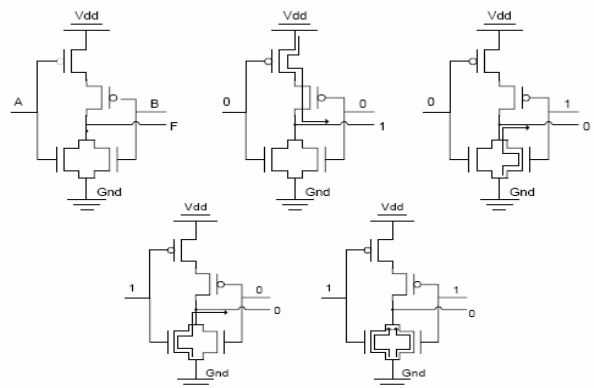
CMOS Λογικές πύλες

2-INPUT NOR (NOR2)

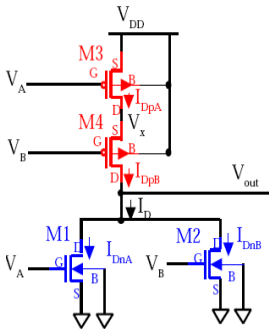


- 1) V_A and V_B switch simultaneously
- 2) Assume SUB bias effect for pMOS transistors is negligible.
- 3) $(W/L)_{pA} = (W/L)_{pB}$
- 4) $(W/L)_{nA} = (W/L)_{nB}$

Η πύλη NOR Πίνακας Αληθείας



Υπολογισμός V_{th}

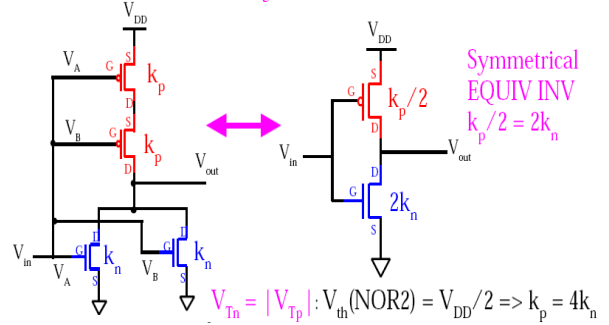


$$V_A = V_B = V_{out} = V_{th}$$

$$V_{th}(NOR2) = \frac{V_{Tn} + \frac{1}{2} \sqrt{\frac{k_p}{k_n}} (V_{DD} + V_{Tp})}{1 + \frac{1}{2} \sqrt{\frac{k_p}{k_n}}}$$

$$V_{th}(INV) = \frac{V_{Tn} + \sqrt{\frac{k_p}{k_n}} (V_{DD} + V_{Tp})}{1 + \sqrt{\frac{k_p}{k_n}}}$$

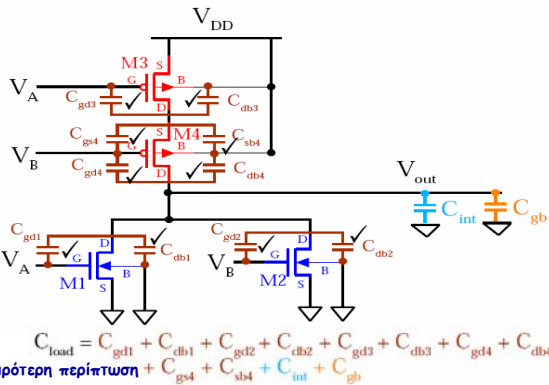
NOR-INVERTER



Symmetrical EQUIV INV
 $k_p/2 = 2k_n$

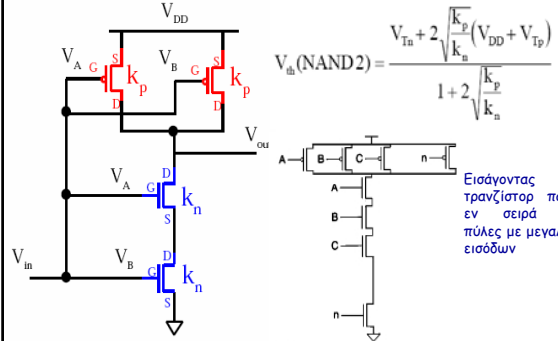
$$V_{Tn} = |V_{Tp}|; V_{th}(NOR2) = V_{DD}/2 \Rightarrow k_p = 4k_n$$

Παρασιτικές χωρητικότητες NOR



Χειρότερη περίπτωση

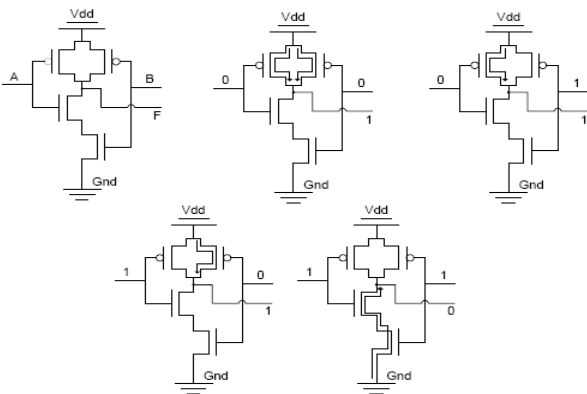
Η πύλη NAND



$$V_{th}(NAND2) = \frac{V_{Tn} + 2 \sqrt{\frac{k_p}{k_n}} (V_{DD} + V_{Tp})}{1 + 2 \sqrt{\frac{k_p}{k_n}}}$$

Εισάγοντας περισσότερα τρανζίστορ παράλληλα και εν σειρά δημιουργούμε πύλες με μεγαλύτερο αριθμό εισόδων

Η πύλη NAND Πίνακας Αληθείας



Η πύλη NAND

Παρατηρήσεις Σχεδίασης

- Κάθε είσοδος οδηγεί δύο *transistor*, ένα *pmos* και ένα *nmos*.
 - Οι δομές των *pmos* και *nmos* είναι συμπληρωματικές μεταξύ τους.
 - Οποιαδήποτε *transistor pmos* βρίσκονται σε σειρά, τα αντίστοιχα *nmos* (με τις ίδιες εισόδους) είναι συνδεδεμένα παράλληλα, και αντιστρόφως →
- Αρκεί να σχεδιάσουμε το ένα από τα δύο δίκτυα και κατόπιν να βρούμε το συμπληρωματικό του
- Οι πύλες AND-OR δημιουργούνται από τις NAND-NOR με προσθήκη αντιστροφεία

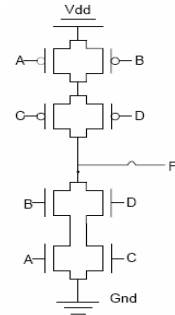
Σύνθετες Πύλες

Κανόνες Σχεδίασης

- Σε μία συνάρτηση που αντιστρέφεται ($F=X'$), η έκφραση που αντιστρέφεται (X) περιγράφει την διασύνδεση των *nmos transistor*.
- Το λογικό ΚΑΙ ισοδυναμεί με σύνδεση σε σειρά.
- Το λογικό Η' ισοδυναμεί με παράλληλη σύνδεση.
- Το δίκτυο *nmos* υλοποιείται συμπληρωματικά ή εφαρμόζουμε το θεώρημα De Morgan στην έκφραση X .
- Αν η συνάρτηση δεν είναι σε μορφή μίας έκφρασης που συμπληρώνεται, υλοποιούμε την συμπληρωματική συνάρτησή της, με έναν αντιστροφέα στην έξοδο της.
- Τα *nmos* (*pnmos*) οδηγούνται από κανονικές (αντεστραμμένες) μεταβλητές αντίστοιχα. Αν αυτό δεν ισχύει πρέπει να τοποθετηθεί αντιστροφέας στην μεταβλητή.

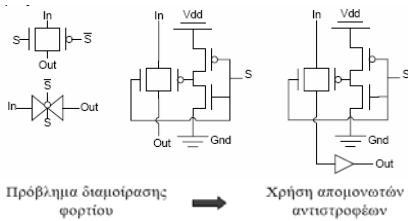
Σύνθετες Πύλες

- Παράδειγμα: $F=(AB+CD)'$
- Η έκφραση $(AB+CD)$ περιγράφει την διασύνδεση των *nmos transistor*.
- Τα A, B είναι σε σειρά. Το ίδιο και τα C, D .
- Η διάταξη των A, B είναι σε παράλληλη σύνδεση με την διάταξη των C, D .
- Το δίκτυο *pnmos* υλοποιεί την έκφραση $(A'+B')(C'+D')$.
- Τα *pnmos* (*pnmos*) οδηγούνται από κανονικές (αντεστραμμένες) μεταβλητές αντίστοιχα.

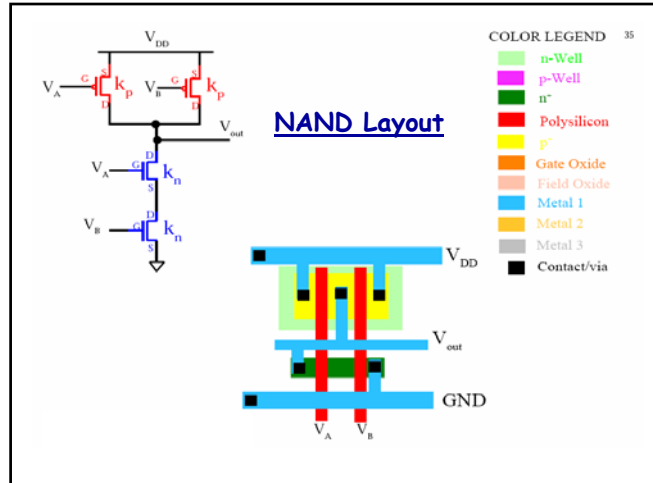
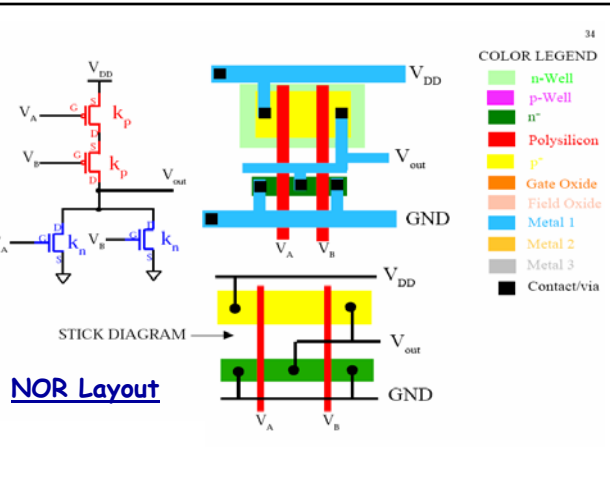
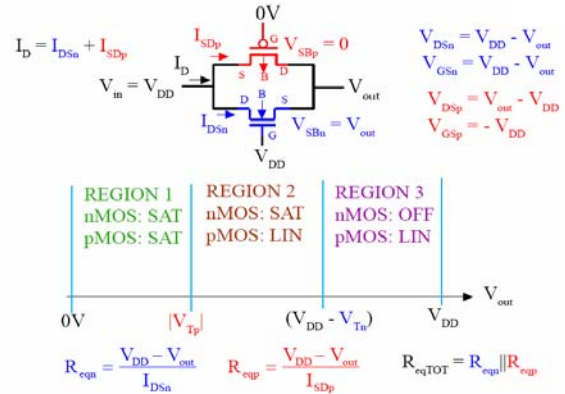


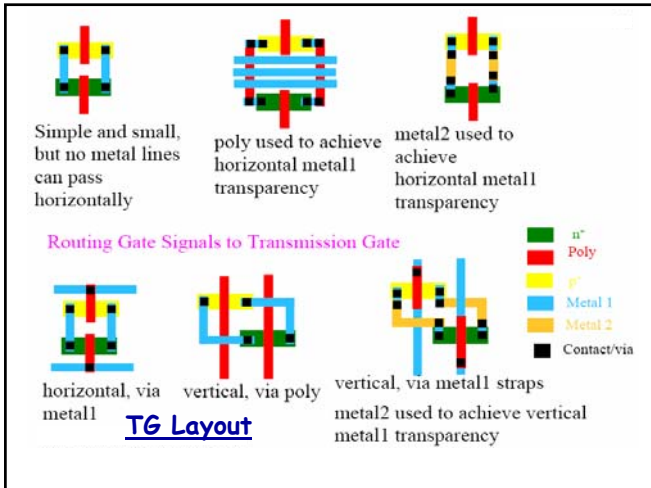
Πύλες Μετάδοσης

- Τα *transistor* μπορούν να χρησιμοποιηθούν ως διακόπτες οι οποίοι περνούν καλά είτε το 1 (*pnmos*) είτε το 0 (*nmos*).
- Διασυνδέουμε παράλληλα δύο *transistor*, ένα *pnmos* και ένα *nmos* ώστε να περάσουμε καλά τόσο το 0 όσο και το 1.
- Οι δύο πύλες (*gates*) των *transistor* οδηγούνται από δύο συμπληρωματικές λογικές τιμές.



CMOS Transmission Gates (TGs)





Σχεδίαση Λογικών Πυλών CMOS

Σωστή λειτουργία λογικής πύλης ↔ Ικανοποίηση λειτουργικών και χρονικών περιορισμών

Αιτίες λανθασμένης λειτουργίας CMOS λογικών πυλών:

- ✓ Λανθασμένες ή ανεπαρκείς τροφοδοσίες ισχύος ή θόρυβος στην τροφοδοσία ισχύος (και γείωσης).
- ✓ Θόρυβος στις εισόδους πυλών.
- ✓ Λανθασμένα τρανζίστορ.
- ✓ Λανθασμένες συνδέσεις σε τρανζίστορ.
- ✓ Λανθασμένοι λόγοι τρανζίστορ στην λογική με λόγο διαστάσεων.
- ✓ Καταμερισμός φορτίου ή ακατάλληλα ρολόγια σε δυναμικές πύλες.

Η τεχνολογία CMOS αποτελεί έναν από τους ακρογωνιαίους λίθους της σύγχρονης τεχνολογίας ολοκληρωμένων κυκλωμάτων

Σχεδίαση Λογικών Πυλών CMOS

Ένα σημαντικό τμήμα του κύκλου σχεδίασης ενός ολοκληρωμένου CMOS θα πρέπει να αφιερωθεί στη βελτιστοποίηση της ταχύτητας του κυκλώματος. Η ταχύτητα μίας πύλης επηρεάζεται από τους ακόλουθους παράγοντες:

- ✓ Αριθμό και μέγεθος των τρανζίστορ της πύλης (εν σειρά ή παράλληλα).
- ✓ Αριθμό και μέγεθος των τρανζίστορ στα οποία είναι συνδεδεμένη η πύλη.
- ✓ Το φορτίο χωρητικότητας εξόδου της πύλης.
- ✓ Την χωρητικότητα διασυνδέσεων μεταξύ μίας πύλης και αυτών που οδηγεί.
- ✓ Τους χρόνους ανόδου και καθόδου του σήματος εισόδου.

Σχεδίαση Λογικών Πυλών CMOS

Ιδιότερη έμφαση δίνεται στα «Κρίσιμα Μονοπάτια»

Αρχιτεκτονικό επίπεδο	↔	Γνώση αποδοτικών αλγορίθμων
Επίπεδο RTL/λογικής πύλης	↔	Pipeline, Fan in/out, επιλογή τύπου πυλών (NAND/AND ...)
Επίπεδο κυκλώματος	↔	Βελτιστοποίηση ταχύτητας πυλών και κρίσιμων μονοπατιών.
Επίπεδο φυσικής σχεδίασης	↔	Επανατοποθέτηση στοιχείων φυσικού σχεδίου

Σχεδιασμός Τυποποιημένων Κυττάρων CMOS

Απαιτούμενα χαρακτηριστικά τυποποιημένων κυττάρων:

1. **Κανονικότητα στην γεωμετρία.** Το φυσικό ύψος είναι καθορισμένο και το πλάτος μεταβάλλεται σύμφωνα με την λειτουργία τους. Οι διάδρομοι τροφοδοσίας/γείωσης περνούν από καθορισμένα σημεία οριζόντια στο επάνω και κάτω μέρος του κυττάρου. Υπάρχουν γραμμές εξωτερικής διαδρόμησης.
2. **Κοινά ηλεκτρικά χαρακτηριστικά.** Για την επιλογή των κατάλληλων W_n και W_p θα πρέπει να ληφθούν υπόψη παράμετροι όπως η κατανάλωση ισχύος, η καθυστέρηση διάδοσης και η ανοσία θορύβου. Τα L_n, L_p είναι σταθερά σε κάθε τεχνολογία CMOS.

Βαθμός Εισόδου / Οδήγησης Εξόδου

Βαθμός Εισόδου (Fan-In) μιας λογικής πύλης είναι ο αριθμός των εισόδων της.

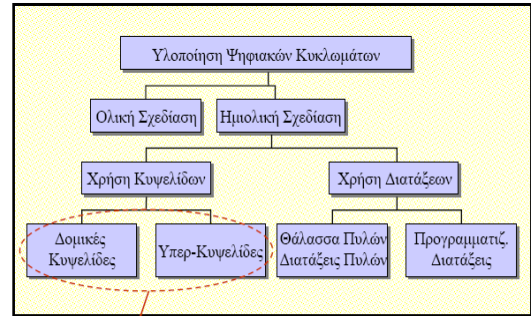
Βαθμός Οδήγησης Εξόδου (Fan-Out) μιας λογικής πύλης είναι ο συνολικός αριθμός εισόδων πυλών που οδηγούνται από την έξοδο της.

Λόγος Βαθμίδας (stage ratio) είναι η αύξηση του μεγέθους του τρανζίστορ σε διαδοχικές λογικές βαθμίδες (επηρεάζει σημαντικά τον χρονισμό).

Γενικοί Κανόνες Φυσικής Σχεδίασης Λογικών Πυλών CMOS

- ✓ Ηλεκτρική σχεδίαση της πύλης με βάση παραμέτρους όπως Fan-In, Fan-Out, χρόνοι ανόδου/καθόδου, περιθώρια θορύβου κλπ.
- ✓ Οι αγωγοί μετάλλου τροφοδοσίας/γείωσης πρέπει να βρίσκονται στο πάνω/κάτω μέρος του κυττάρου.
- ✓ Τοποθέτηση του n-τμήματος της πύλης κοντά στο Vss και του p-τμήματος κοντά στο Vdd.
- ✓ Για κάθε είσοδο πύλης υπάρχει μία κάθετη γραμμή πολυσιλικόνης.
- ✓ Ταξινόμηση των σημάτων πολυσιλικόνης για να επιτραπεί η μέγιστη σύνδεση των τρανζίστρων μέσω της γειτνίασης των συνδέσεων πηγής- υποδοχής
- ✓ Οι συνδέσεις θα πρέπει να γίνουν με πολυτυρίτιο, μέταλλο ή διάχυση.
- ✓ Η χωρητικότητα στους εσωτερικούς κόμβους θα πρέπει να διατηρείται ελάχιστη.

Σχεδιαστικές Επιλογές



Σχεδίαση Ολοκληρωμένων Κυκλωμάτων Ειδικών Εφαρμογών
Application Specific Integrated Circuits (ASICs)

Τεχνολογίες Σχεδίασης

Application Specific Integrated Circuits - ASIC:

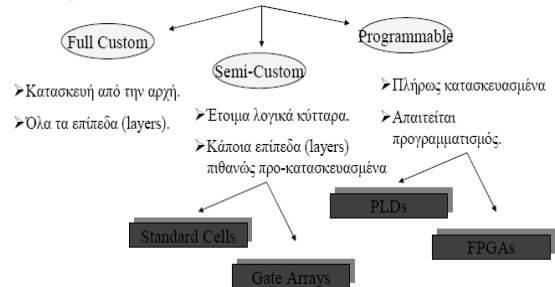
Ολοκληρωμένα κυκλώματα που κατασκευάζονται με στόχο ειδικές εφαρμογές, κατόπιν παραγγελίας (αυτοκινητοβιομηχανία, στρατιωτικές εφαρμογές, διαστημικές εφαρμογές κλπ)

Διαδικασία Κατασκευής Ολοκληρωμένων

- ✓ Κατασκευάζονται λεπτούς δίσκους πυριτίου (**wafers**), στους οποίους μπορούν να χωρέσουν μερικές εκατοντάδες από dies.
- ✓ Η κατασκευή γίνεται σταδιακά και σε πολλαπλά (10 -15) επίπεδα (layers) πάνω στο wafer.
- ✓ Κάθε επίπεδο αντιστοιχεί σε κάποιο στάδιο κατασκευής transistor ή διασυνδέσεων.

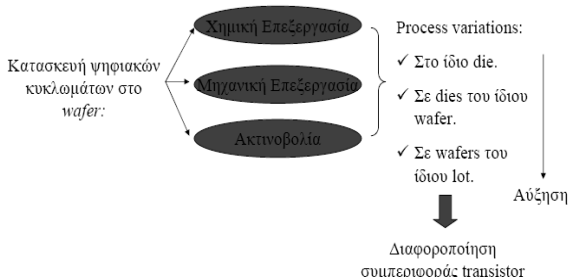
Τεχνολογίες Σχεδίασης

Πολλές φορές σχεδιάζουμε όλα τα επίπεδα κατασκευής, ενώ άλλες φορές σχεδιάζουμε μόνο μερικά (ή και κανένα), σε κάποια προ-επεξεργασμένα ολοκληρωμένα.



Τεχνολογίες Σχεδίασης

- ✓ Η κατασκευή των dies γίνεται ταυτόχρονα σε πολλά wafers (5-30/wafer lot).
- ✓ Βασικό πρόβλημα κατασκευής ολοκληρωμένων: διακυμάνσεις επεξεργασίας (process variations).



Full Custom ASIC

- ✓ Δεν είναι διαθέσιμη βιβλιοθήκη με συγκεκριμένα χαρακτηριστικά σχεδίασης (ταχύτητα, επιφάνεια, κατανάλωση κλπ). Παράδειγμα: νέα τεχνολογία.
- ✓ Η σχεδίαση γίνεται χωρίς την χρήση προσχεδιασμένων κυττάρων (cells).
- ✓ Ο σχεδιαστής δημιουργεί ακόμη και τα βασικά στοιχεία (λογικές πύλες).
- ✓ Επιτυγχάνεται πλήρης βελτιστοποίηση του σχεδιασμού.
- ✓ Απαιτείται αρκετά μεγάλος χρόνος σχεδίασης.
- ✓ Συνήθως μόνο ένα μικρό και κρίσιμο τμήμα σχεδιάζεται full custom.

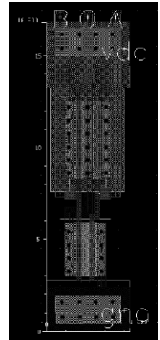
Σχεδίαση κυττάρων βιβλιοθήκης

- ✓ Κάθε βιβλιοθήκη προσφέρει ένα μεγάλο σύνολο από κύτταρα βασικών και περίπλοκων λογικών συναρτήσεων.
- ✓ Τα κύτταρα προσφέρονται σε ποικιλία μεγεθών, ταχυτήτων και δυνατοτήτων οδήγησης και κατανάλωσης.
- ✓ Το βέλτιστο *layout* σχέδιο ενός κυττάρου είναι διαφορετικό από τεχνολογία σε τεχνολογία (διαφορετικές παράμετροι - κανόνες σχεδίασης).

Σχεδίαση full-custom → Το 80% του συστήματος χρησιμοποιεί μόνο το 20% των κυττάρων της βιβλιοθήκης.

Σχεδίαση με Standard Cells

- Ο σχεδιαστής, διασυνδέει προσχεδιασμένα κύτταρα (standard cells).
- Τα standard cells είναι τμήματα μίας βιβλιοθήκης την οποία παρέχει ο κατασκευαστής των ολοκληρωμένων (κανόνες κατασκευής).



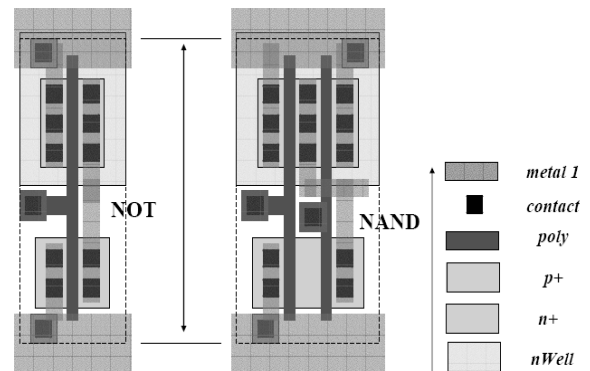
NAND

Σχεδίαση με Standard Cells

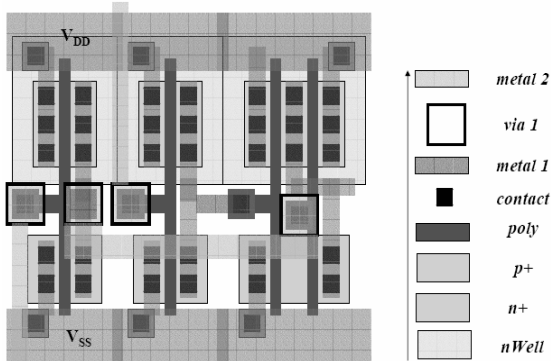
Τα standard cells έχουν σχεδιαστεί με κανονικό τρόπο:

- ✓ Διευκολύνουν την σχεδίαση ψηφιακών κυκλωμάτων.
- ✓ Έχουν όλα το ίδιο ύψος και μπορούν να τοποθετηθούν πλάτη με πλάτη σχηματίζοντας σειρές.
- ✓ Οι σειρές αυτές μπορούν να έχουν ή όχι κενά μεταξύ τους, για λόγους διαδρόμησης γραμμών.
- ✓ Η διαδρόμηση γίνεται και πάνω από τα standard cells, σε υψηλότερα επίπεδα.
- ✓ Στις νεώτερες τεχνολογίες τα επίπεδα διασύνδεσης είναι πολλά, και δεν απαιτείται η ύπαρξη κενών.

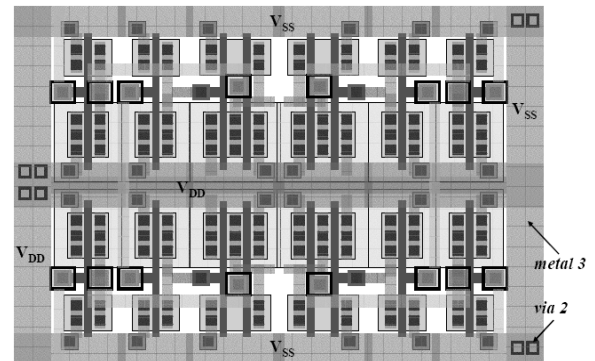
Σχεδίαση με Standard Cells



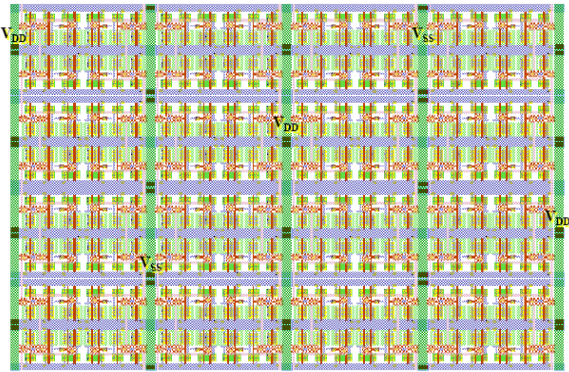
Σχεδίαση με Standard Cells



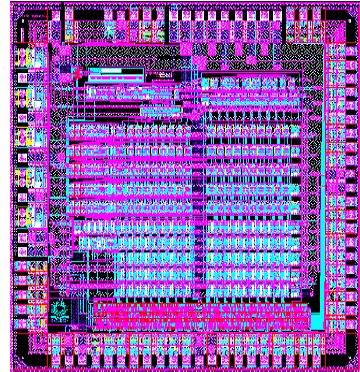
Σχεδίαση με Standard Cells



Σχεδίαση με Standard Cells



Πλήρης Εικόνα Ολοκληρωμένου



Σχεδίαση με Standard Cells

- ✓ Μικραίνει τον χρόνο της σχεδίασης (ο σχεδιαστής δεν σχεδιάζει ολόκληρο το κύκλωμα από την αρχή)
- ✓ Έχει μειωμένο ρίσκο αφού τα standard cells εγγυούνται την λειτουργία τους.
- ✓ Ο σχεδιαστής πρέπει να αγοράσει την βιβλιοθήκη από την κατασκευάστρια εταιρία (vendor) και άρα δεσμεύεται να το κατασκευάσει σε αυτήν.
- ✓ Η σχεδίαση δεν γίνεται από το μηδέν, αλλά όλες οι μάσκες πρέπει να κατασκευαστούν.

Κάθε βιβλιοθήκη παρέχει πλήρες σετ από λογικά κύτταρα

- Απλές λογικές πύλες
- Περίπλοκες λογικές πύλες
- Ακολουθιακά στοιχεία
- Στοιχεία datapath
- Στοιχεία εισόδου/εξόδου

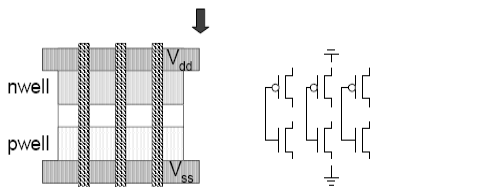
Σχεδίαση με Gate Arrays

- Έχουμε transistor προσχεδιασμένα και προκατασκευασμένα στο wafer, με την μορφή σειρών ενός cell που επαναλαμβάνεται.
- Ο σχεδιαστής καλείται να διασυνδέσει τα transistor προκειμένου να δημιουργήσει το κύκλωμα.
- Τα χαμηλότερα επίπεδα (layers) είναι προκατασκευασμένα.
- Κατασκευάζονται οι μάσκες μόνο για τα υψηλότερα επίπεδα μετάλλου (mask gate arrays - MGAs).
- Μειώνονται τα βήματα και το κόστος επεξεργασίας των wafers
- **Κύτταρο βάσης:** βασικό κύτταρο το οποίο επαναλαμβάνεται σε σειρές (rows).
- Η διάταξη των κυττάρων βάσης ονομάζεται **βάση**.



Σχεδίαση σε Gate Arrays

Στην CMOS κάθε είσοδος πύλης οδηγεί ένα nmos και ένα pmos transistor.



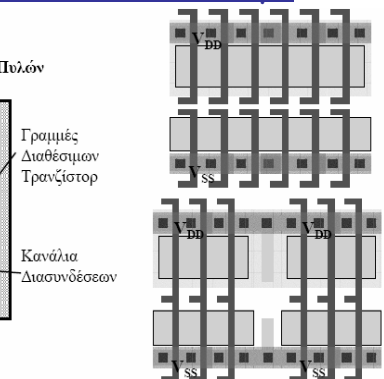
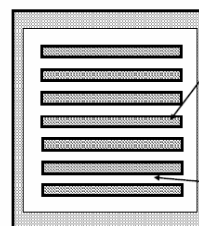
Ζεύγη transistor nmos-pmos με βραχυκυκλωμένα τα gates

Απαιτείται μόνο μία σύνδεση για κάθε ζεύγος

Μειονέκτημα: μειωμένη ευελιξία

Σχεδίαση με Gate Arrays

Ολοκληρωμένο Διάταξης Πυλών - Θάλασσας Πυλών

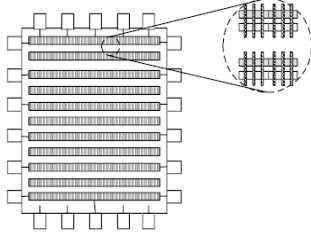


Γραμμές Διαθέσιμων Τρανζίστορ

Κανάλια Διασυνδέσεων

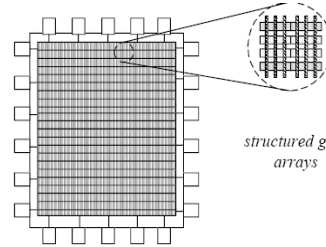
Channeled Gate Arrays

- ✓ Υπάρχουν κενά διαστήματα ανάμεσα στις γραμμές των *transistor*.
- ✓ Ο σχεδιαστής δημιουργεί μόνο τις διασυνδέσεις στα κενά διαστήματα.
- ✓ Τα κενά διαστήματα είναι σταθερά σε αντίθεση με τα *standard cells*.



Channeled Gate Arrays (Sea of Gate - SOG)

- ✓ Οι σειρές των *transistor* δεν έχουν κενά μεταξύ τους.
- ✓ Οι διασυνδέσεις περνούν τόσο στα υψηλότερα επίπεδα όσο και πάνω από τα χρησιμοποιημένα *transistor*.
- ✓ Ο σχεδιαστής φτιάχνει μόνο τα επάνω επίπεδα επιμετάλλωσης.



structured gate arrays ↔ Συνδυασμός standard cells – gate arrays

Προγραμματιζόμενη λογική

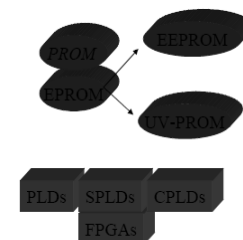
Διατάξεις προγραμματιζόμενης λογικής

- ✓ Είναι ολοκληρωμένα κυκλώματα, τα οποία έχουν κατασκευαστεί, πακεταριστεί και φτάνουν στον σχεδιαστή έτοιμα προς χρήση.
- ✓ Ο σχεδιαστής τα προγραμματίζει για να υλοποιήσουν κάποιοι *ASIC* σχεδιασμό.
- ✓ Ο προγραμματισμός γίνεται στο εργαστήριο και όχι στην βιομηχανία.
- ✓ Ο προγραμματισμός είναι η διασύνδεση λογικών στοιχείων που βρίσκονται εσωτερικά στην προγραμματιζόμενη συσκευή.
- ✓ Δίνουν μεγάλη σχεδιαστική ευελιξία.
- ✓ Η σχεδίαση είναι οικονομική.

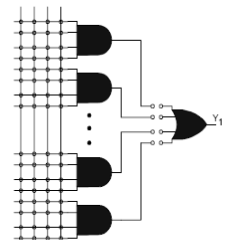
Κατηγοριοποιήσεις Προγραμματιζόμενων Διατάξεων:

- ✓ Με βάση την τεχνική προγραμματισμού
 - Χρήση αντισφαλειών (*antifuses*) - Μόνιμος προγραμματισμός
 - Χρήση μνήμης EPROM
 - Χρήση μνήμης RAM (και εξωτερικών EPROM)
- ✓ Με βάση τον τύπο της προγραμματιζόμενης λογικής
 - Χρήση διατάξεων λογικής (*logic arrays*)
 - Χρήση πινάκων αναφοράς (*look-up tables*)
- ✓ Με βάση τον τύπο των προγραμματιζόμενων διασυνδέσεων
 - Χρήση καναλιών διασύνδεσης (*channel-routing*)
 - Χρήση πλεγμάτων δικτυωμάτων (*mesh networks*)

Είδη Προγραμματιζόμενων διατάξεων



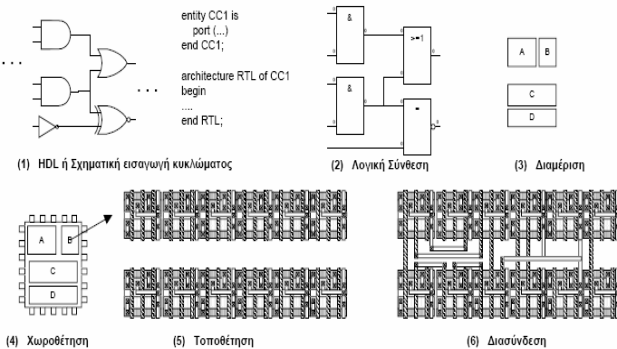
Διαχωρισμός
 Βασικό Λογικό Κότταρο → Αρχιτεκτονική Διασυνδέσεων → Προγραμματισμός



PLAs: Προγραμματιζόμενο AND-OR

PALs: Προγραμματιζόμενο AND

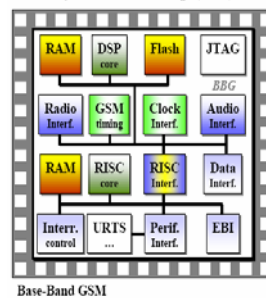
Διαδικασία Σχεδίασης



Μετά από κάθε βήμα γίνεται έλεγχος με εξομοίωση.

Συστήματα σε ένα Ολοκληρωμένο

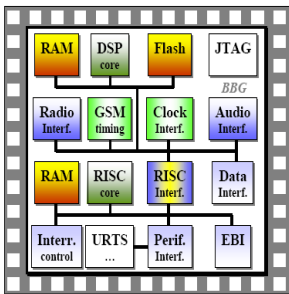
Systems-on-a-Chip (SoC)



- ✓ Χρήση εμφωλευμένων κυκλωματικών πυρήνων όπου το κόστος, η απόδοση, και η κατανάλωση έχουν τον πρώτο λόγο.
- ✓ Ανάγκη DSP κυκλωμάτων.
- ✓ Ύπαρξη μεικτών σχεδιασμών.
- ✓ Συνδυασμός προγραμματιζόμενων τεχνικών και τεχνικών σχεδίασης κυκλωμάτων ειδικών εφαρμογών.
- ✓ Το λογισμικό είναι αδιαχώριστος κρίκος.

Θέματα Σχεδίασης SoC

Systems-on-a-Chip (SoC)

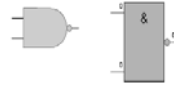


Base-Band GSM

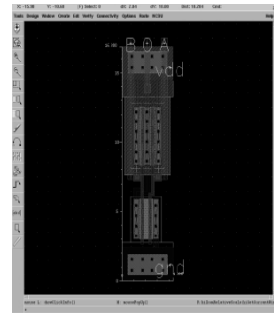
- ✓ Διαχωρισμός υλικού/λογισμικού.
- ✓ Προδιαγραφές μερών.
- ✓ Σύγχρονη/ασύγχρονη σχεδίαση.
- ✓ Hard/SoftIPs.
- ✓ Χωροθέτηση (floorplanning).
- ✓ Διασύνδεση / αρτηρίες δεδομένων.
- ✓ Διαμοιρασμός ρολογιού και τροφοδοσιών.
- ✓ Τεχνικές ανάδειξης σχεδιαστικών λαθών (debug strategies).
- ✓ Τεχνικές επαλήθευσης σχεδιασμού (verification).
- ✓ Τεχνικές λειτουργίας ελέγχου ορθής (design for testability).

Βιβλιοθήκες Σχεδίασης

- ✓ Παίζουν βασικό ρόλο στην διαδικασία σχεδίασης.
- ✓ Παρέχουν τα απαραίτητα κύτταρα σε διάφορες μορφές προκειμένου να χρησιμοποιηθούν σε διάφορα στάδια της σχεδίασης.



- ✓ Παρέχεται μοντέλο συμπεριφοράς σε διάφορες γλώσσες περιγραφής
- ✓ Παρέχεται το λογικό και χρονικό μοντέλο για την εκτέλεση εξομοιώσεων



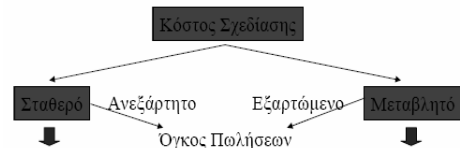
Οικονομικά Στοιχεία

- ✓ Το κόστος των ολοκληρωμένων κυκλωμάτων είναι ένα από τα σημαντικότερα θέματα της σχεδίασης.
- ✓ Ένα ολοκληρωμένο πρέπει να είναι ανταγωνιστικό ώστε να προτιμηθεί αγοραστικά.
- ✓ Το ακριβές κόστος κάθε ολοκληρωμένου εξαρτάται από πολλούς παράγοντες και αποτελεί βιομηχανικό μυστικό.

Η ελαχιστοποίηση του κόστους ξεκινάει με την επιλογή της κατάλληλης οικογένειας. ➡ Όλες οι παράμετροι πρέπει να ληφθούν υπόψη.

Παράδειγμα: εάν λάβουμε υπόψη μόνο το κόστος κάθε κομματιού τότε ακριβότερο είναι το *FPGA* με επόμενο το *Gate Array* και τελευταίο το *Standard Cell*

Κόστος Σχεδίασης



- Εκπαίδευση σχεδιαστών στο εργαλείο αυτόματης σχεδίασης.
- Κόστος εργαλείου και βιβλιοθήκης σχεδίασης
- Κόστος εργασίας σχεδίασης
- Κόστος ελέγχου κατασκευής (production test / design for test)
- Κόστος μασκών και εργασίας κατασκευαστή
- Κόστος επανασχεδίασης (λάθη σχεδίασης)
- Κόστος κατασκευής (wafer, process, testing...).
- Απόδοση διαδικασίας κατασκευής yield.
- Κέρδη κατασκευαστή-σχεδιαστή.

Ολικό κόστος = Σταθερό κόστος + Μεταβλητό κόστος x Αριθμός κατασκευασζόμενων κομματιών

Αξιολόγηση κόστους τεχνολογιών

- ✓ Το σταθερό κόστος είναι πολύ μεγαλύτερο για τις διαδικασίες κατασκευής με μάσκες από τις διαδικασίες προγραμματισμού.
- ✓ Μία μονάδα προγραμματιζόμενης συσκευής είναι πιο ακριβή από ένα ASIC ολοκληρωμένο (για κατασκευή πολλών ολοκληρωμένων).

Παράδειγμα

Τεχνολογία	Σταθερό κόστος (\$)	Κόστος ανά κομμάτι (\$)
FPGA	20.000	140
MGA	85.000	10
Standard Cell	150.000	8

Πότε συμφέρει η FPGA; ➡ $20.000 + 140y < 150.000 + 8y$
 $y < 984$

A. Thermal Oxidation

- SiO₂ is thermally grown at 1000°C
- 10-20-30 min dry-wet-dry oxidation cycle
- (100) silicon wafer
- The oxide color is observed to be tan ???

Rate constants describing (100) silicon oxidation kinetics Deal Grove Model

Ambient	B	B/A
Dry O ₂	C ₁ =7.72x10 ² μm ² hr ⁻¹	C ₂ =3.708x10 ⁶ μm ² hr ⁻¹
	E ₁ =1.23 eV	E ₂ =2.0 eV
H ₂ O	C ₁ =3.86x10 ² μm ² hr ⁻¹	C ₂ =0.97x10 ⁸ μm ² hr ⁻¹
	E ₁ =0.78 eV	E ₂ =2.05 eV

$$\frac{x_o^2 - x_i^2}{B} + \frac{x_o - x_i}{B/A} = t$$

$$B = C_1 \exp(-E_1 / KT)$$

$$\frac{B}{A} = C_2 \exp(-E_2 / KT)$$

K=8.617x10⁻⁵ eVK⁻¹

Dry oxidation 10 min

- Θεωρώντας αρχικό πάχος SiO₂ μηδέν υπολογίζεται x₀=0,007233 μm
- Το Si καθώς οξειδώνεται σχηματίζεται επιπλέον προς το substrate στρώμα SiO₂ πάχους γ=0,005918 μm [γ/0.45=γ+x₀]
- Συνολικά οξειδώνονται X_{total}=0,01315 μm
- Έχω το φαινόμενο κατανάλωσης του Si κατά τη διάρκεια της οξείδωσης.

Wet oxidation 20 min (H₂O)

- Θεωρώντας αρχικό πάχος SiO₂ x_i=0,01315 μm υπολογίζεται x₀=0,5203 μm
- Δεν έχω φαινόμενο κατανάλωσης του Si κατά τη διάρκεια της οξείδωσης αλλά το επιπλέον που σχηματίζεται ουσιαστικά 'πηγαίνει' προς τα κάτω
- Συνολικό πάχος μετά και τη wet οξείδωση x=0,53352 μm

Dry oxidation 30 min - Συμπεράσματα

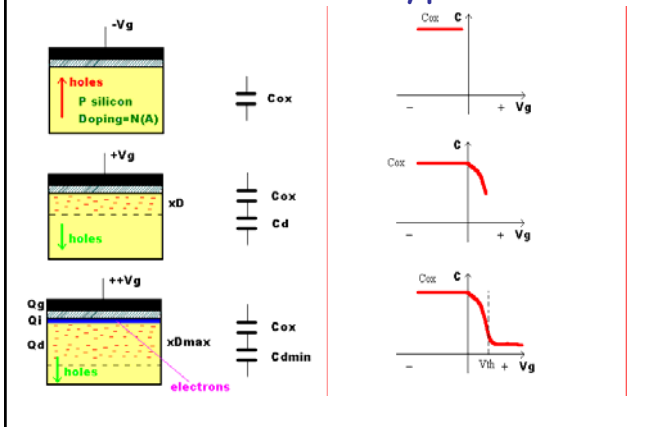
- Θεωρώντας αρχικό πάχος SiO₂ x_i=0,53352 μm υπολογίζεται x₀=0,5375 μm
- Άρα συνολικά έχω 537nm το thickness του SiO₂. Με βάση τον πίνακα A7 του βιβλίου προκύπτει ότι δεν έχει τα χρώμα αλλά blue-violet
- The D.G Model does not correctly model thin O₂ growth kinetics
- Experimentally O₂ oxides grow much faster for 20 nm than Deal Grove predicts
- Πολλές αναφορές στη βιβλιογραφία καμία όμως ευρέως αποδεκτή
- Επέκταση του D.G Model για να περιλαμβάνει 2D effects, thin oxides, high dopant concentrations, mixed ambients



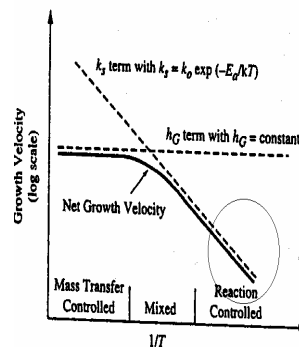
B. Electrical Measurements-HF CV

- Οι γραμμές του εφαρμοζόμενου ηλεκτρικού πεδίου περνούν το 'τέλειο' διηλεκτρικό και την Si/SiO₂ επιφάνεια προς το υπόστρωμα και ελέγχουν τους φορείς ηλεκτρισμού
- Accumulation-depletion-inversion result
- High-frequency CV curves :Για τη μέτρηση της χωρητικότητας του MOS το μικρό AC σήμα που εφαρμόζεται είναι υψηλής συχνότητας(100kHz-1MHz). Γιατί?
- Τότε οι φορείς του στρώματος αντιστροφής δεν αναπαράγονται τόσο γρήγορα ώστε να ακολουθούν το AC σήμα και έτσι η C_{inv}=C_{ox}+C_d
- Με αυτό τον τρόπο εξαγω ποιητικά συμπεράσματα για το x(πάχος οξείδωσης), NA(προφίλ του υποστρώματος), Q_f, Q_m, Q_{it}, Q_{ot}(oxide-interface φορτία)

HF CV Plot for P-type silicon



Γ. Cold/Hot-wall reactor



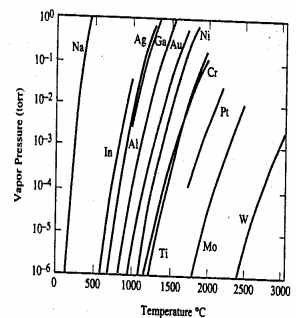
- cold-wall :εναπόθεση υπό P=1atm σε θάλαμο με κρύα τοιχώματα
- Hot-wall :εναπόθεση υπό χαμηλή πίεση σε θάλαμο με θερμαινόμενα τοιχώματα περιπτώσεις
- hg<<ks → mass transfer controlled
- ks<<hg → surface reaction controlled

Cold/Hot-wall reactor

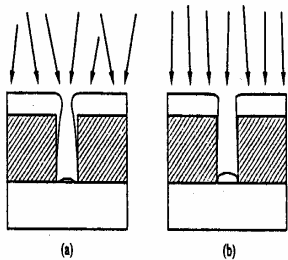
- $K_s \ll h_g \rightarrow$ surface reaction controlled (hot-wall reactor). Η ροή αντιδρώντος αερίου είναι αδιάφορη
- Αποφεύγω προβλήματα ανομοιομορφίας τοποθετώντας τα wafers όρθια-αύξηση παραγωγής με ελάττωση θερμοκρασίας
- Χαμηλώνοντας την πίεση(LPCVD) αυξάνω τη διάχυση και εξαλείφω τις επιπτώσεις της χαμηλής θερμοκρασίας
- Δυνατότητα τοποθέτησης των wafers αρκετά κοντά χωρίς να επηρεάζεται η ομοιομορφία της εναπόθεσης($K_s \ll h_g$)
- Απαιτείται λιγότερη κατανάλωση αερίου και ελαττώνω το φαινόμενο auto-doping

Δ. PVD system εξάρτηση από την πίεση του αερίου

- Πίεση συναρτήσει θερμοκρασίας, χαμηλή P υψηλή T
- Χρήση κραμάτων μετάλλων
- fractionation πηγής, οδηγεί σε film με σύσταση να ποικίλει σε όλο το πάχος του
- Οι διάφορες τιμές της P επηρεάζει το step coverage

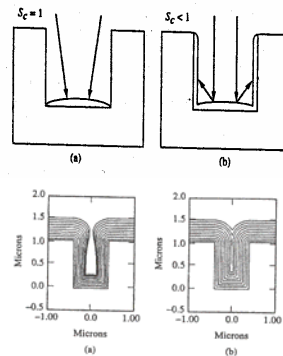


PVD system εξάρτηση από την πίεση του αερίου



- Μέσο μήκος διαδρομής (mean free path)
 $\lambda = KT / \sqrt{2} \cdot \pi \cdot d^2 \cdot P$
- Για P μικρή έχω $\lambda \gg 0$ ευθύγραμμη πορεία ατόμων από την πηγή και περιορισμένη γωνία άφιξης \rightarrow poor step coverage (σχήμα β), όμως καλύτερη επικάλυψη πυθμένα
 - Για P μεγάλη έχω $\lambda \rightarrow 0$ οδηγεί σε πλατύ εύρος γωνιών άφιξης \rightarrow good step coverage ακόμη και sidewalls (σχήμα α), όμως περιοχές σκίασης δεν εξαλείφονται πλήρως

PVD system εξάρτηση από τον τελεστή Sc

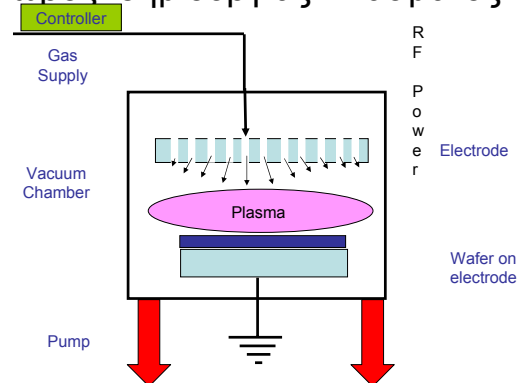


- Sticking coefficient
 $Sc = F_{reacted} / F_{incident}$
- Η πιθανότητα τα άτομα που προσκρούουν στην επιφάνεια να αντιδράσουν
- Για $Sc \rightarrow 1$ τα άτομα αντιδρούν και μένουν τοπικά εκεί που πρώτα χτυπούν \rightarrow poor step coverage
- Για $Sc \rightarrow 0$ τα άτομα εξωστρακίζονται εκτός της επιφάνειας προς holes, sidewalls \rightarrow good coverage & filling
- Εικόνα 2>σταθερή γωνία άφιξης μεταβάλλοντας τον Sc

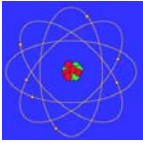
Τι είναι πλάσμα;

- Ένα σύνολο από ηλεκτρικά φορτισμένα σωματίδια όπου ο αριθμός των θετικά φορτισμένων είναι ίσος με τον αριθμό των αρνητικά φορτισμένων σωματιδίων, μέσα σε ένα μεγάλο πλήθος από ουδέτερα.
- Παραδείγματα
 - Street lights.
 - Northern lights.
 - Lightning

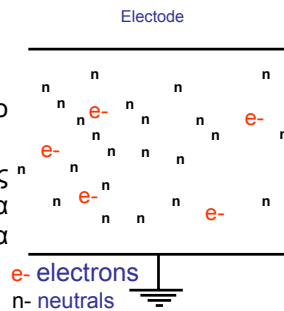
Χώρος δημιουργίας πλάσματος



How do I strike a Plasma?

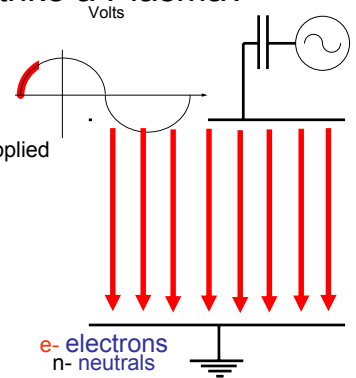


- Θεωρήστε ένα χώρο κενού γεμάτο με αέριο
- Λόγω της κοσμικής ακτινοβολίας ηλεκτρόνια θα υπάρχουν πάντα στον όγκο του αερίου



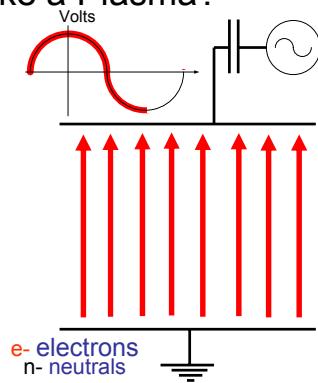
How do I strike a Plasma?

- An electric field is applied across the gas



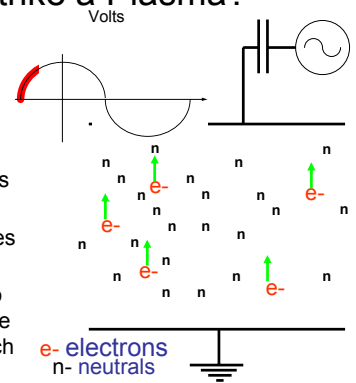
How do I strike a Plasma?

- An electric field is applied across the gas
- As the RF cycles the applied e-field changes direction



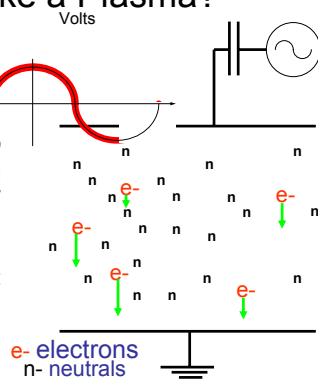
How do I strike a Plasma?

- An electric field is applied across the gas
- As the RF cycles the applied e-field changes direction
- Electrons will begin to accelerate towards the Electrodes during each cycle.



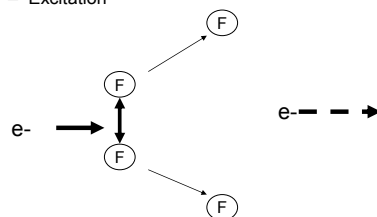
How do I strike a Plasma?

- Καθώς το RF ηλεκτρικό πεδίο αλλάζει κατεύθυνση τα ηλεκτρόνια επιταχύνουν προς την αντίθετη κατεύθυνση.
- Τα ηλεκτρόνια αποτελεσματικά ταλαντώνονται στο χώρο μεταξύ των ηλεκτροδίων



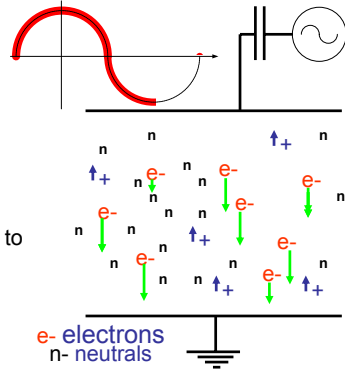
How do I strike a Plasma?

- Όταν τα ηλεκτρόνια επιταχύνονται μπορεί να συγκρουστούν με το ουδέτερο αέριο και μπορεί να προκαλέσουν
 - Ionization
 - Dissociation
 - Excitation



How do I strike a Plasma?

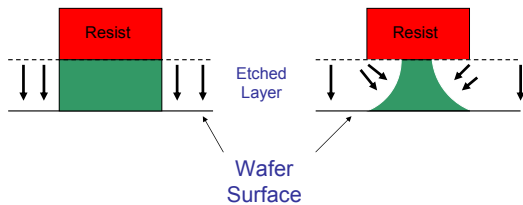
- This process converts relatively unreactive gasses into very reactive radicals.
- These radicals react with the wafer surface to produce volatile by-products and are pumped out of the chamber.



Προσομοίωση πλάσματος

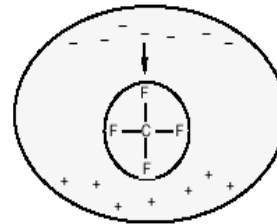
Γιατί χρησιμοποιούμε Plasma etching?

- Αναφορικά αδρανές αέριο μπορεί να γίνει εξαιρετικά χημικά ενεργό σε θερμοκρασία δωματίου
- Υψηλή κατευθυντικότητα
- Cleanliness
- Χαμηλή κατανάλωση χημικών
- Ακριβής μεταφορά του σχεδίου
- Greater Control over wet etch.



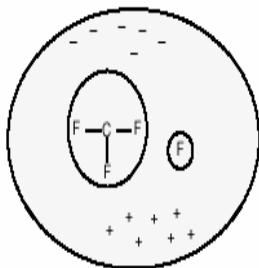
Μηχανισμός εγχάραξης

- Παίρνουμε ένα μοριακό αέριο (συνήθως αδρανές) e.g. CF_4 .
- Προκαλώ μια έντονη εκκένωση



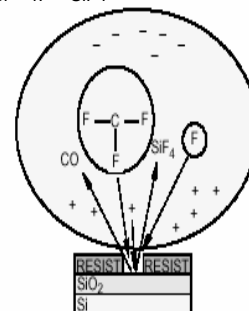
Μηχανισμός εγχάραξης

- Δημιουργώ αντιδρώντα παράγωγα.
 $CF_4 + e = CF_3 + F + e$



Μηχανισμός εγχάραξης

- Τα αντιδρώντα παράγωγα αντιδρούν με το στερεό υπόστρωμα για να σχηματίσουν ασταθή μετα-προϊόντα τα οποία απομακρύνονται.
 $Si + 4F = SiF_4$



Τρόποι Plasma Etching

Physical

- Προκαλείται από βομβαρδισμό ιόντων όπως μια αμμοβολή
- Πολύ ανιστροπική καθώς τα ιόντα φτάνουν στην επιφάνεια του wafer στους 90 βαθμούς.

Chemical

- Προκύπτει από την χημική αντίδραση μεταξύ αερίου και wafer
- Ισοτροπική όπως η wet εγχάραξη

Ion Assisted

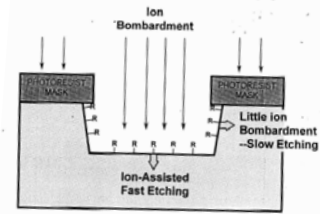
- Η χημική αντίδραση υποβοηθείται από βομβαρδισμό ιόντων

RIE

- Reactive Ion etching είναι ένας συνδυασμός φυσικού και χημικού τρόπου εγχάραξης με θετικά και αρνητικά ιόντα

Κατευθυντικός έλεγχος με χρήση πολυμερούς

ION-ASSISTED ETCHING



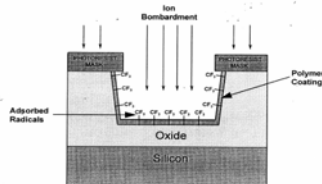
(R= Radical, chemically bonded to surface)

Κατευθυντικός έλεγχος με χρήση πολυμερούς

SIDE-WALL PASSIVATION

▲ Polymer deposition contributes to anisotropic etching

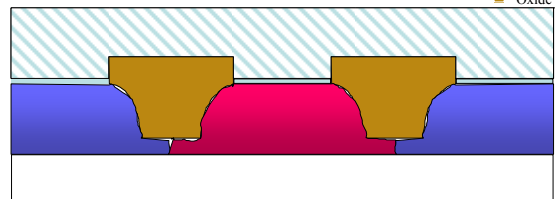
- Polymer deposits on all surfaces
- Polymer is cleared from areas exposed to ion bombardment, but protects side-walls from etching
- Example: Oxide etching in a fluorine plasma



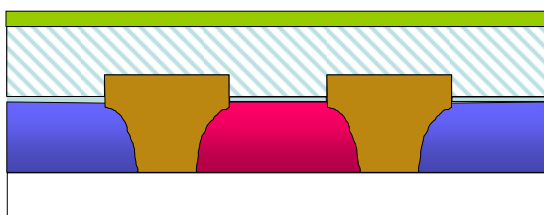
Εγχάραξη πολυπυριτίου

• Poly Etch

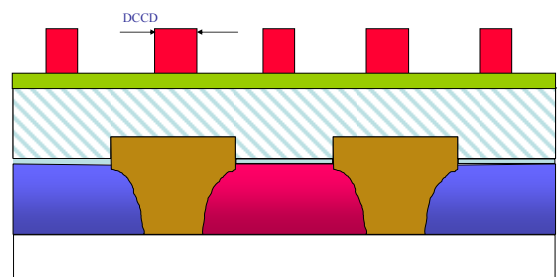
- N well
- P Well
- Gate OX
- Silicon
- Oxide



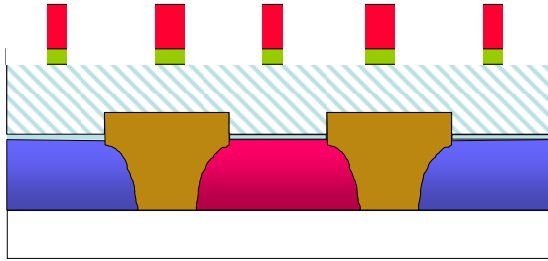
Hardmask



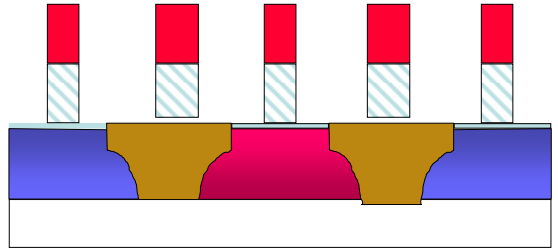
Λιθογραφία πολυπυριτίου



- Resist Trim and Hardmask open.

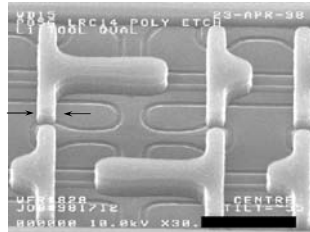


Poly Etch

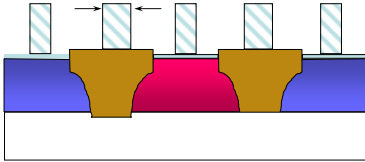


Post Poly Etch and without Resist

FCCD

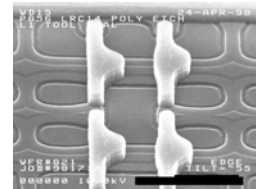


FCCD

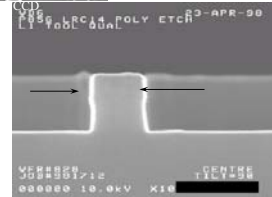
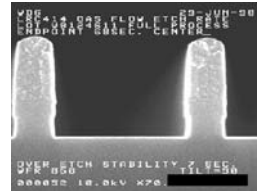


LRC 4400 Poly Etch

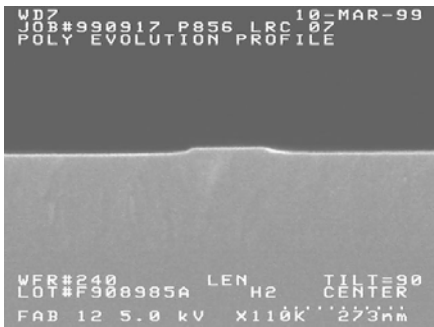
Post Poly Etch with Resist



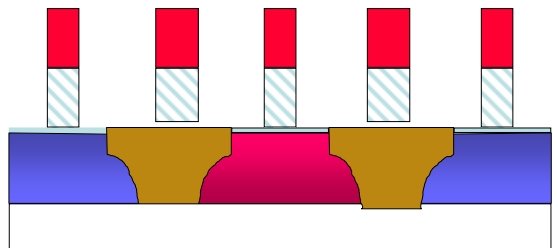
Post Poly Etch Gate Oxe and Resist Removed



Poly Profile Evolution

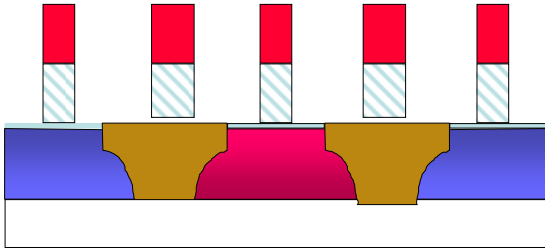


Poly Etch

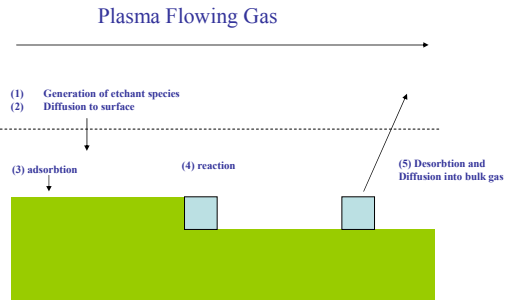


• Επιλεκτικότητα

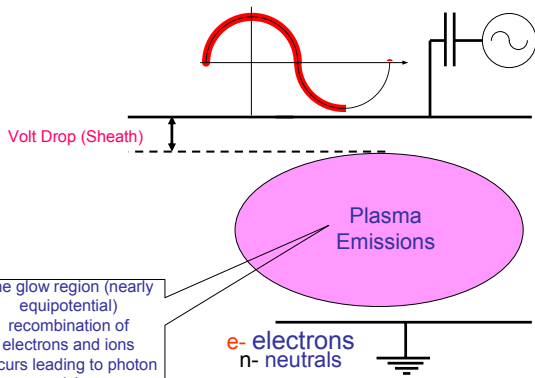
- Ορίζεται ως ο λόγος του ρυθμού εγχάραξης ενός υλικού προς το άλλο.
- Οφείλουμε να το γνωρίζουμε ώστε να εξασφαλίσουμε ότι το πλάσμα θα εγχάραξει το photoresist πιο αργά σε σχέση με το πυρίτιο
- Η επιλεκτικότητα διαφοροποιείται ανάλογα με την χημική διαδικασία.



Βασικά βήματα στη διαδικασία Dry Etching



Γιατί το πλάσμα ακτινοβολεί?



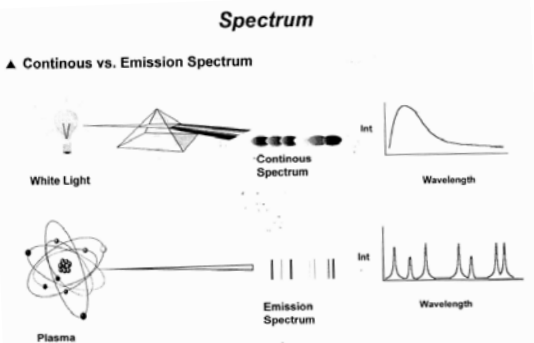
Γιατί το πλάσμα ακτινοβολεί?

Στις περιοχές πυράκτωσης (Glow regions) ηλεκτρόνια και ιόντα ανασυνδέονται λόγω του χαμηλού ηλεκτρικού πεδίου. Καθώς τα ηλεκτρόνια εκτελούν μεταπηδήσεις μεταξύ των στοιβάδων εκπέμπουν ακριβώς την ενεργειακή διαφορά μεταξύ των στοιβάδων με τη μορφή φωτονίων.

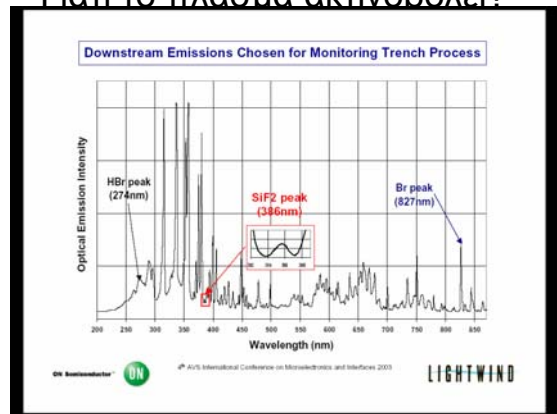


Το μήκος κύματος του εκπεμπόμενου φωτός είναι ακριβώς η ενεργειακή διαφορά δυο στοιβάδων. Έτσι ένα άτομο εκπέμπει μόνο ορισμένα διακριτά μήκη κύματος

Γιατί το πλάσμα ακτινοβολεί?

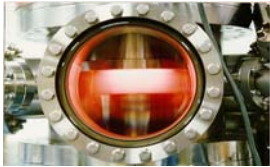


Γιατί το πλάσμα ακτινοβολεί?



Εκπομπές πλάσματος

N₂ Plasma



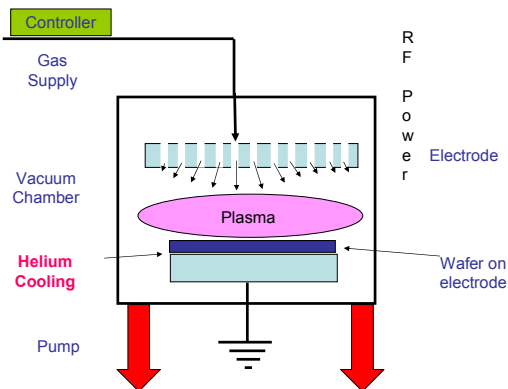
Argon Plasma



Ψύξη με Ήλιον

- Το wafer θερμαίνεται λόγω της ισχύς RF
- Ο χώρος κενού δεν επιτρέπει την θερμότητα του wafer να διοχετευθεί στο ηλεκτρόδιο
- Το wafer πιέζεται και αέριο ήλιο τροφοδοτείται στο πίσω μέρος του wafer.
- Το αέριο ήλιο παγιδεύεται πίσω από το wafer μεταφέροντας την θερμότητα στο ηλεκτρόδιο.
- Το ηλεκτρόδιο ψύχεται με νερό.

Σχεδίαση χώρου πλάσματος με διοχέτευση ηλίου



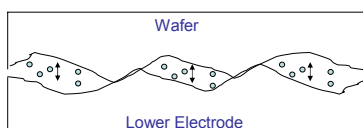
Γιατί απαιτείται σύστημα ψύξης με Ήλιον

- Το wafer υφίσταται υψηλές θερμοκρασίες κατά την διαδικασία μέσα στο χώρο του πλάσματος εξ αιτίας της ενέργειας του RF
- Η θερμότητα επικεντρώνεται στο wafer λόγω της αδυναμίας απαγωγής της στο κενό.
- Τα CD's είναι πολύ ευαίσθητα στη θερμοκρασία.
- Απαιτείται ένας μηχανισμός ελέγχου της θερμοκρασίας του wafer στο κενό

Helium Gas Atom

Ψύξη με Ήλιον

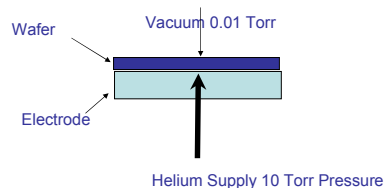
- Το αέριο ήλιο απλώνεται για να παρέχει μεταφορά θερμότητας από το wafer στο ηλεκτρόδιο.
- Όσο μεγαλύτερη η πίεση του αερίου ήλιο τόσο μεγαλύτερη η απαγωγή θερμότητας από το wafer στο κάτω ηλεκτρόδιο.
- Ομοιόμορφη πίεση πίσω από το wafer είναι αναγκαία για ομοιόμορφη θερμοκρασία στο wafer.
- Το παρακάτω σχήμα είναι μια τομή της διεπαφής μεταξύ του wafer και του ηλεκτροδίου δείχνοντας πως το αέριο ήλιο απορροφά κινητική ενέργεια από το wafer και την μεταφέρει στο κάτω ηλεκτρόδιο.



• Helium Gas Atom

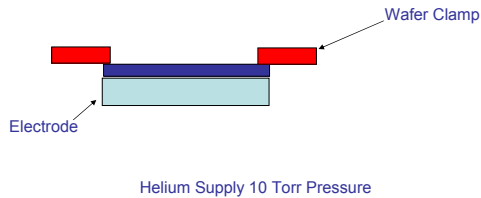
Ψύξη με Ήλιον

- Διαφορά στην πίεση του ήλιου και του δοχείου κενού μπορεί να εκτινάξει το wafer από το ηλεκτρόδιο .

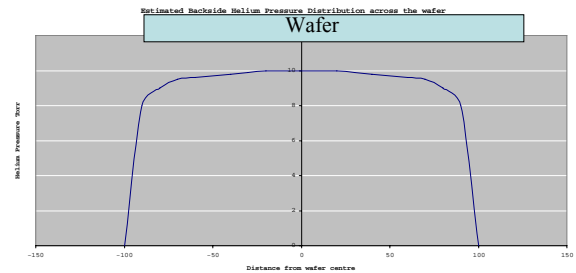


Ψύξη με Ήλιον

- Το wafer πρέπει να στερεωθεί καλά πάνω στο ηλεκτρόδιο.
- Μηχανικοί ή ηλεκτροστατικοί «σφικτήρες» εφαρμόζονται



Ψύξη με Ήλιον



Συστήματα εγχάραξης

- | Process name | Etcher | W/S |
|------------------|-------------|-----|
| • STR etch | LRC | LRC |
| • HardMask Poly | Tel | OXA |
| • Poly Etch | Hitachi 511 | PLY |
| • NSE | LRC | LRC |
| • Oxide | Tel | OXA |
| • Metal | Hitachi | HIT |
| • HardMask Metal | LRC | LRC |
| • Pad | LRC | LRC |
| • Ash | Gasonics | GAS |

Συστήματα εγχάραξης που χρησιμοποιούνται

	STR	HM Poly	Poly	NSE	HM Metal	Metal	Via Contact
P854/6	LRC	N/A	LRC	LRC	N/A	Hit	OXE
P859	LRC	Tel	Ply	LRC	LRC	Hit	OXA
P804	STR/LRC		LRC	LRC	LRC	Hit	OXA

Διο κυρίως αέρια εγχάραξης χρησιμοποιούνται
 CL2 για μέταλλο και πυρίτιο
 Fluorine για SiO₂

Εργαστηριακοί χώροι



Εξοπλισμός εργαστηριακών χώρων

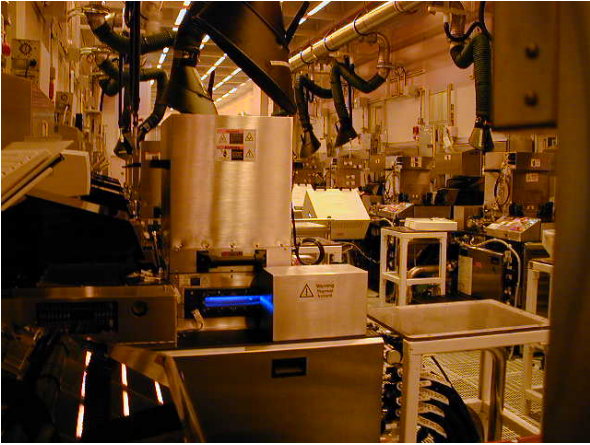
LRC

- Old Technology, high pressure low plasma density.
- 13.56Mhz RF power
- Poly Silicon and Silicon Nitride etchers.
- Uses Cl₂ and Fluorine for nitride layers
- Mostly Chemical etcher

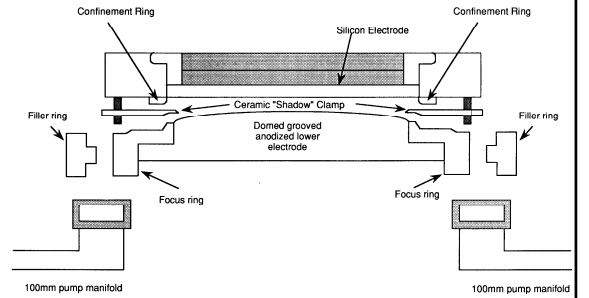
OXE

- Old Technology, high pressure low plasma density
- Oxide etcher for P854/6
- High Power 400kHz RF power supply. In this low frequency power system, positive ions have time to travel from the plasma to the negative electrode before the polarity changes.
- These high energy ions are ideal for breaking the tight bond of SiliconOxide.

Εξοπλισμός LRC



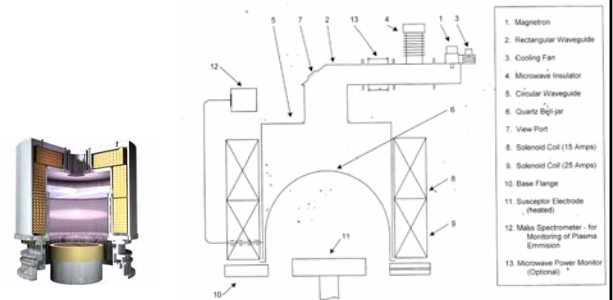
Rainbow 4520 Chamber Hardware



Εξοπλισμός Hitachi

- Electron Cyclon Resonance
 - Uses a 2.45GHZ microwave source to generate the plasma
 - Microwave energy introduced to the chamber with magnets around the chamber cause the electrons to spiral and prevent them from hitting the chamber walls.
 - The low pressure (5mTorr) high density plasma systems allowing finer features to be etched.
 - An RF power supply is applied to the wafer to extracted the ions from the plasma created and accelerate them towards the wafer.

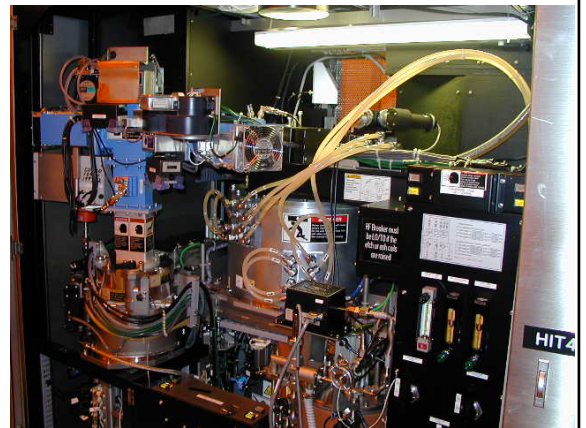
Hitachi 308 Metal Etcher



Hitachi 308 Metal Etcher



Inside of a Metal etcher.



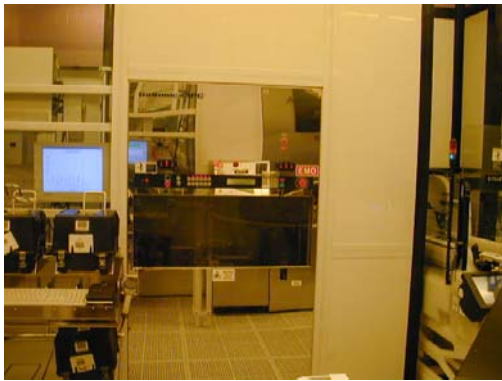
Hitachi 511 Poly etcher



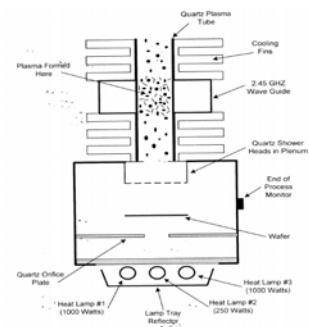
Hitachi 712 P804 STR and SMS



Gasonics Asher



Gasonics Asher



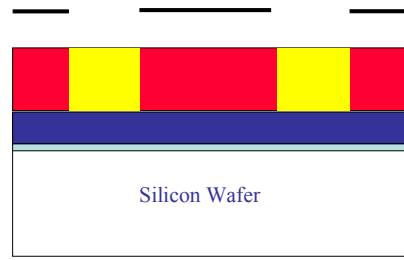
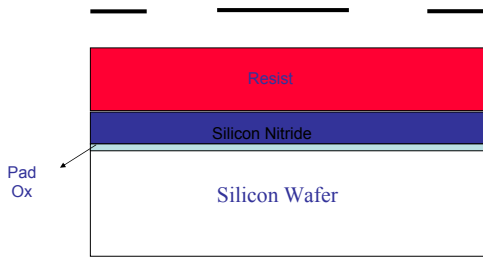
Tel DRM Etcher

- Medium density plasma system using a rotating magnetic field to contain the plasma.
- Used for more critical Oxide etch of P859 and P804 and Hardmask for Poly etch in P859
- Two Chamber system

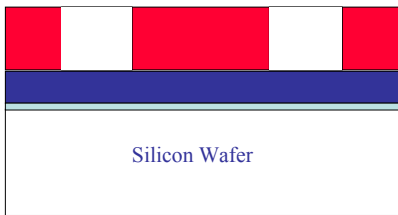
Tel DRM



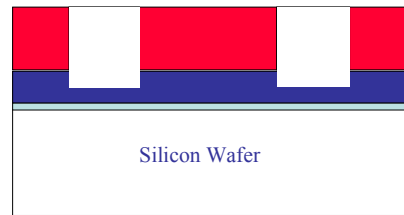
Διαδικασία STR



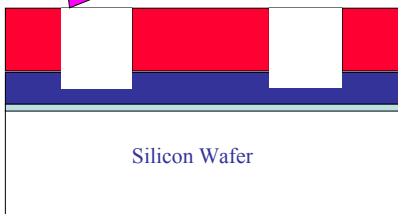
SF6/Helium



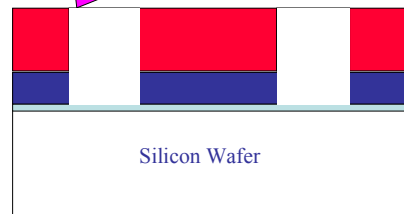
SF6/Helium

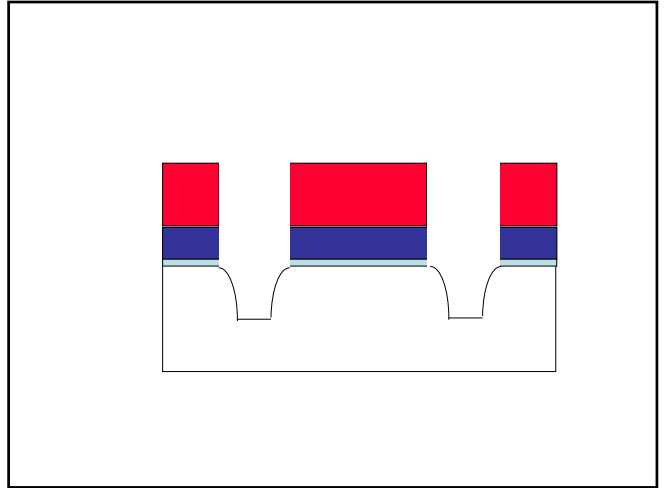
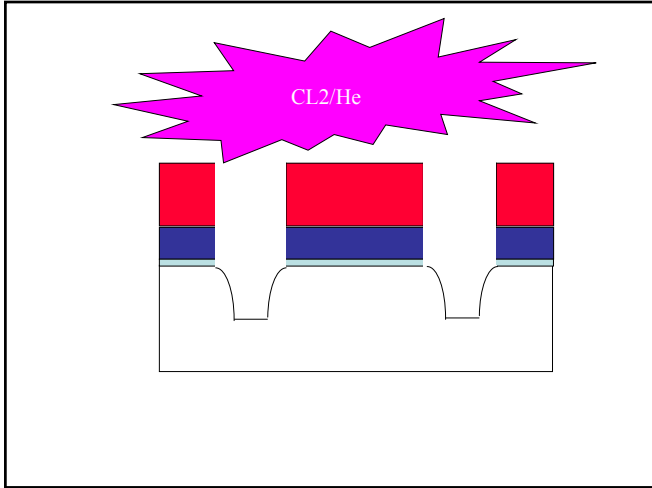
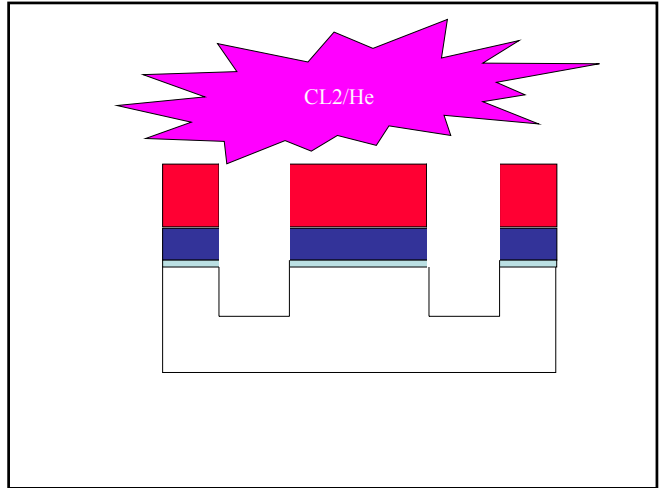
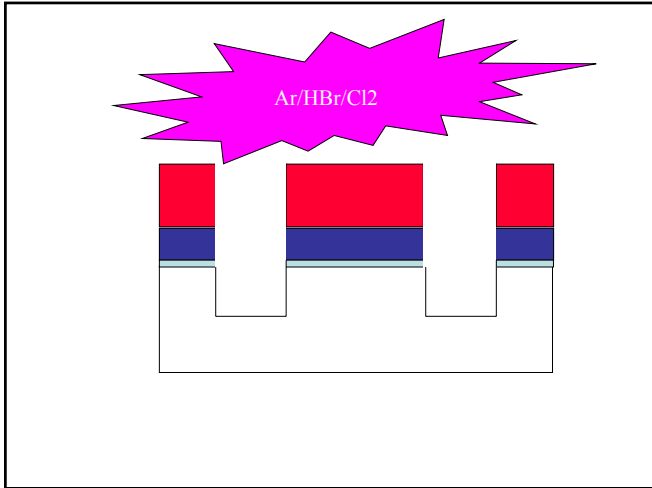
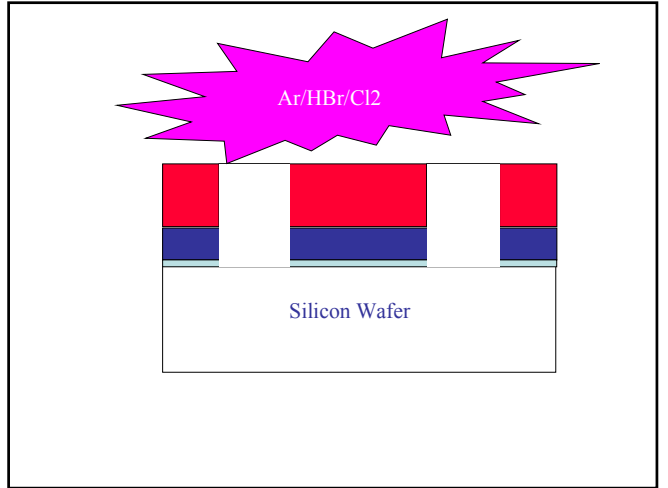
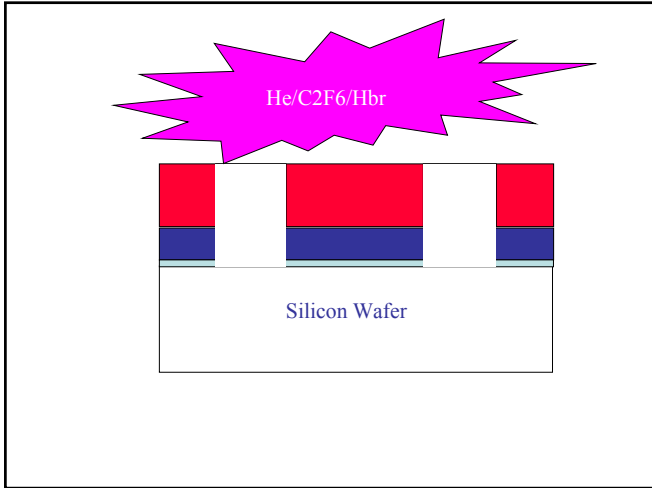


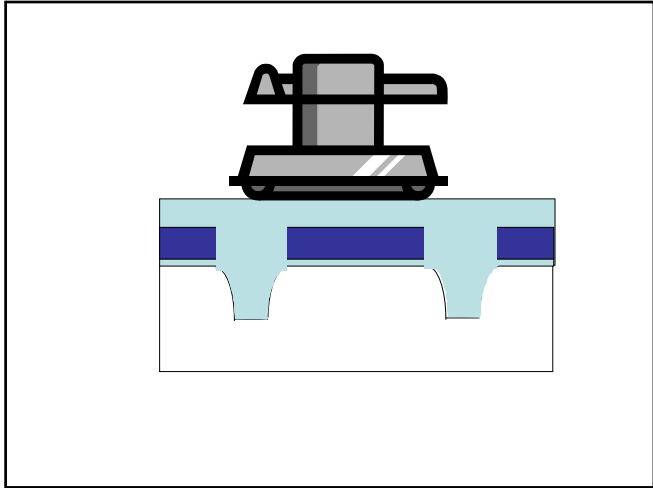
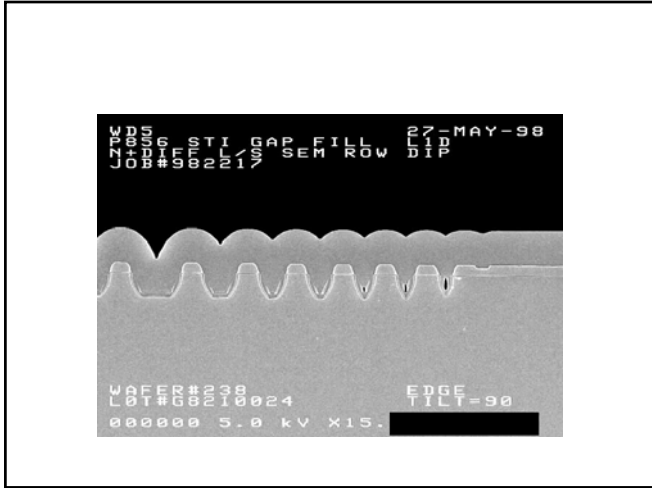
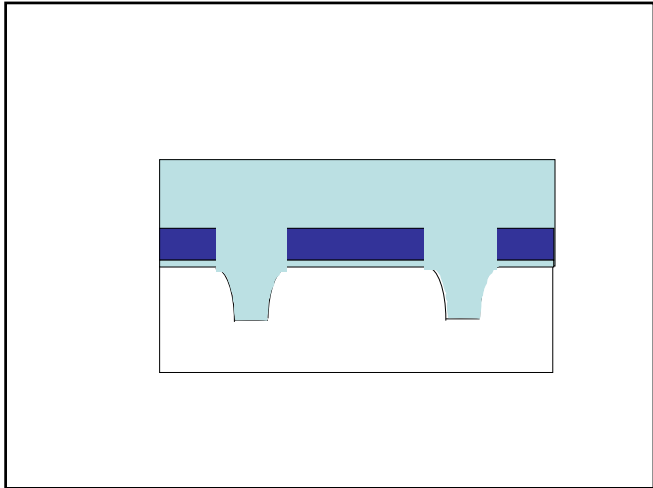
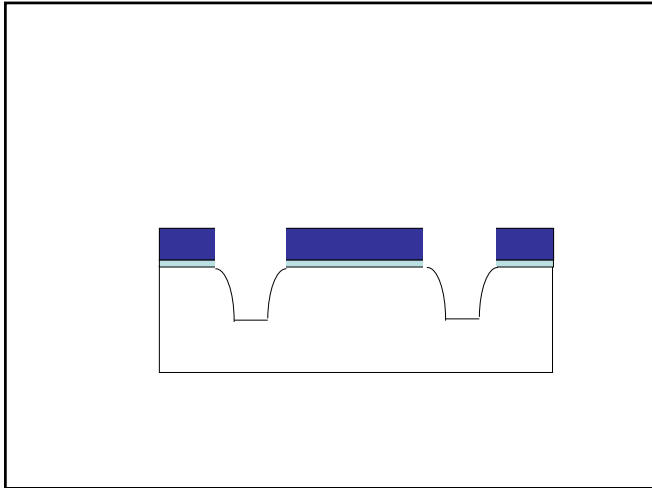
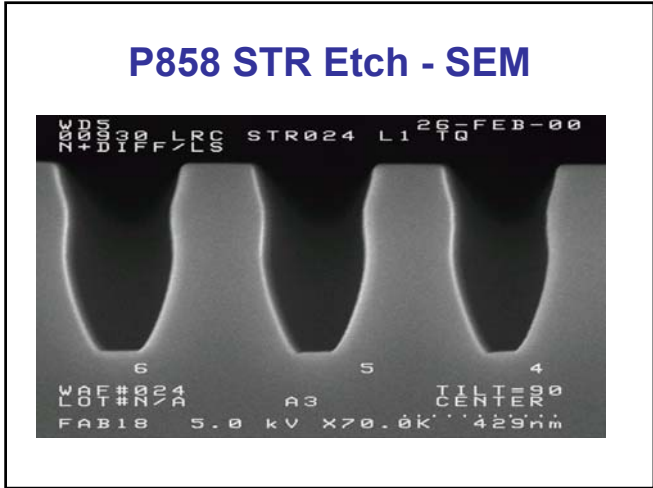
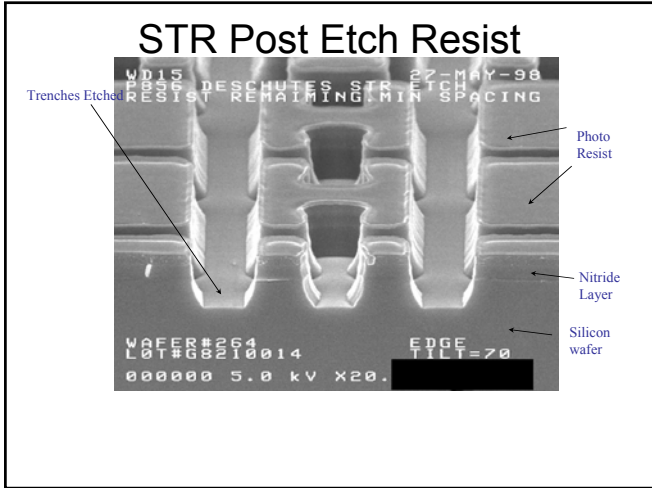
He/C2F6/Hbr

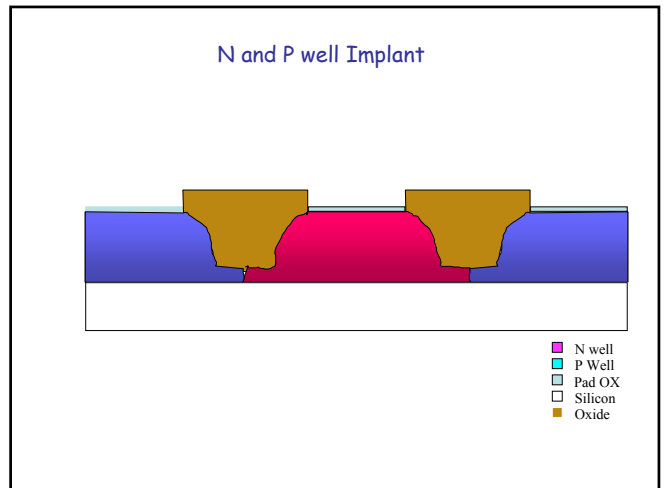
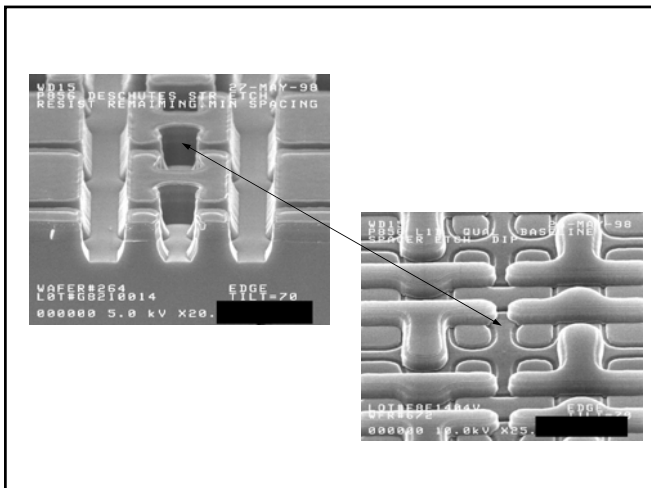
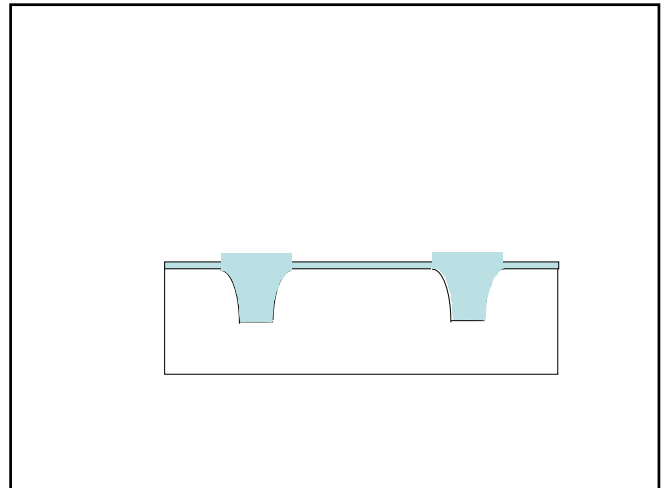
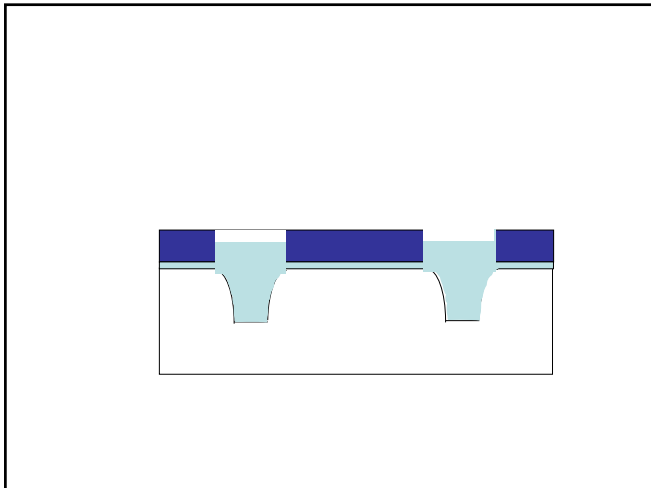


He/C2F6/Hbr









Η διαδικασία εγχάραξης

Η χημική εγχάραξη σε υγρή ή αέρια μορφή χρησιμοποιείται για την αφαίρεση τοιχωμάτων και υλικών που δεν προστατεύονται από σκληρό photoresist.

Η επιλογή των χημικών εξαρτάται από το υλικό που πρόκειται να αφαιρεθεί (SiO₂, poly, νιτρίδιο, μέταλλο)

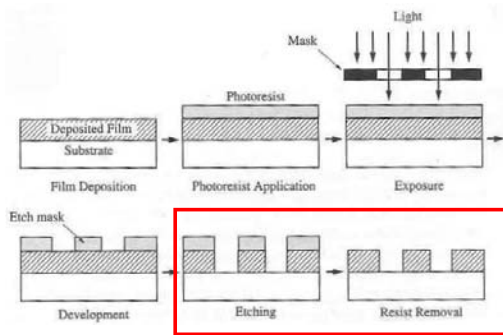
Η διαδικασία εγχάραξης περιλαμβάνει τα εξής στάδια:

- > διαδικασία φωτολιθογραφικής μεθόδου
- > αφαίρεση επιλεγμένων υλικών από την επιφάνεια του wafer
- > καθαρισμός της επιφάνειας του wafer

Σκοπός της εγχάραξης

Μόνιμη μεταφορά της μάσκας σχεδίου (**mask pattern**) από τη λιθογραφία πάνω στο επιφανειακό στρώμα του **wafer**

Διαδικασία εγχάραξης



Παράμετροι εγχάραξης

Ρυθμός εγχάραξης

- ο ρυθμός απομάκρυνσης του υλικού από το wafer

Ομοιομορφία

- σταθερός ρυθμός εγχάραξης σε όλο το wafer

Παραγωγή απόδοση

- πλήθος εγχαρασόμενων wafer κατά τη διάρκεια ενός κύκλου της διαδικασίας

Κατευθυντικός έλεγχος

- έλεγχος του οριζώντιου και κάθετου ρυθμού εγχάραξης

Παράμετροι εγχάραξης

Επιλεκτικότητα

- εξαρτάται από την ποσότητα αερίου
- εξαρτάται από τον ρυθμό εγχάραξης

επιλεκτικότητα = $\frac{\text{Surface Layer Material Etch Rate}}{\text{Underlying Layer Material Etch Rate}}$

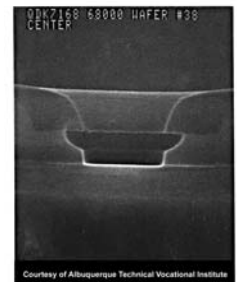
$$S = \frac{r_1}{r_2}$$

Παράμετροι εγχάραξης

Κατευθυντικός έλεγχος – Ισοτροπική εγχάραξη

- ισοδύναμη εγχάραξη σε όλες τις κατευθύνσεις
- οδηγεί σε undercutting και sloping τοιχώματα

Ισοτροπική εγχάραξη

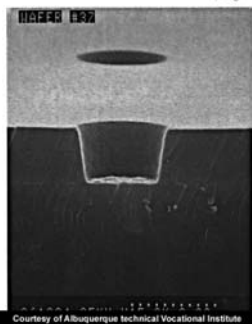


Παράμετροι εγχάραξης

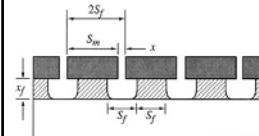
Κατευθυντικός έλεγχος – Ανισοτροπική εγχάραξη

- Ο κάθετος ρυθμός εγχάραξης είναι μεγαλύτερος από τον οριζόντιο ρυθμό
- Οδηγεί σε ίσια πλευρικά τοιχώματα

Ανισοτροπική εγχάραξη



Πόλωση



$$\text{Bias } S_m = S_y + 2 \cdot b$$

* Complete Isotropic etching

Vertical Etching = Lateral Etching rate

$$b = x_f$$

* Complete Anisotropic etching

Lateral etching rate = 0

$$b = 0$$

Βαθμός ανισοτροπίας

$$A_f = 1 - \frac{r_{lat}}{r_{ver}}$$

looking at the figure, this corresponds to

$$A_f = 1 - \frac{b}{d}$$

For structures etched exactly to the bottom of the film

$$A_f = 1 - \frac{b}{x_f}$$

*Complete Isotropic etching

$$A_f = 0$$

*Complete Anisotropic etching

$$A_f = 1$$

in general

$$0 \leq A_f \leq 1.$$

Τεχνικές διαδικασίας : Υγρή εγχάραξη

Υγρή εγχάραξη

► χημική αντίδραση μεταξύ υγρών οξέων εγχάραξης (etchants) και επιφάνειας

- **Wet Etch** uses liquid chemical:
 - Buffered Hydrofluoric Acid (BHF) for SiO₂
 - Potassium Hydroxide (KOH) for Silicon
 - Phosphoric Acid for Aluminum
 - Hot Phosphoric Acid (180°C) for Silicon Nitride

Διαδικασία υγρής εγχάραξης

Διαδικασία υγρής εγχάραξης Wet Etch Process

- εκτελείται διαδικασία βύθισης σε κατάλληλο δοχείο
- τα wafers που είναι σε κατάλληλη θήκη (wafer carrier) βυθίζονται σε διάλυμα από οξύ εγχάραξης (etchant)
- τα wafers παραμένουν μέσα στο διάλυμα αυτό για συγκεκριμένο χρόνο που ορίζεται ως διάρκεια εγχάραξης
- η θήκη wafer αφαιρείται από το διάλυμα
- τα wafers ξεπλένονται με αποιονισμένο νερό
- στεγνώμα των wafers

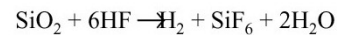
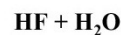
Διάρκεια εγχάραξης

$$\text{Etch Duration} = \frac{\text{Thickness of Photoresist (Å)}}{\text{Etch Rate of etchant}}$$

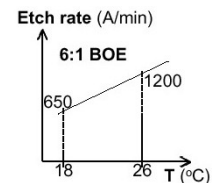
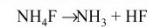
Διαδικασία υγρής εγχάραξης - παραδείγματα

(1) Silicon Dioxide

To etch SiO₂ film on Si, use



Note: HF is usually buffered with NH₄F to maintain [H⁺] at a constant level (for constant etch rate)



Διαδικασία υγρής εγχάραξης - παραδείγματα

(2) Silicon Nitride

To etch Si₃N₄ film on SiO₂, use



(phosphoric acid)

(180°C: ~100 Å/min etch rate)

Typical selectivities:

- 10:1 for nitride over oxide
- 30:1 for nitride over Si

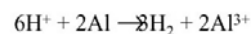
(3) Aluminum

To etch Al film on Si or SiO₂, use



(phosphoric acid) (acetic acid) (nitric acid)

(~30°C)



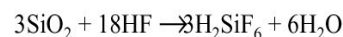
(Al³⁺ is water-soluble)

Διαδικασία υγρής εγχάραξης - παραδείγματα

(4) Silicon

(i) Isotropic etching

Use HF + HNO₃ + H₂O



(ii) Anisotropic etching (e.g. KOH, EDP)

Ανιστροπική εγχάραξη Si – Επίδραση αργής εγχάραξης {111}

[110] Oriented Silicon

{111} planes oriented perpendicular to the (110) surface
=> possible to etch pits with vertical sidewalls!

- Bottom of pits are
 - flat ((110) plane) if KOH is used
 - {100} etches slower than {110}
- V-shaped ({100} planes) if EDP is used
- {110} etches slower than {100}

Ανιστροπική υγρή εγχάραξη Si

Hole, Heavily boron doped region, Diaphragm, V-groove, {111} planes, (110) surface orientation, {111} planes

Ανιστροπική εγχάραξη Si : Εφαρμογές

(1) Channels in Si

(2) Si membrane

(3) Field-Emission Tips

Ανιστροπική εγχάραξη Si : Εφαρμογές

(4) MicroElectroMechanical Systems - MEMS

FIGURE 11.4 Diaphragms formed by anisotropic backside etching of the silicon wafer (a) SiO₂ layer/diaphragms used as an etch stop (b) Beveled SiO₂ or p⁺ layer can be used as an etch stop to form thin diaphragms.

FIGURE 11.5 (a) Cavity anisotropically etched into (100) silicon using a heated mask step and undercutting to form a free conductive beam (b) SEM photograph of diaphragm beams formed of SiO₂. Registered with permission from Ref [14].

Χαρακτηριστικά υγρής εγχάραξης

Χαρακτηριστικά της διαδικασίας υγρής εγχάραξης

- > υψηλή επιλεκτικότητα
- > ιστροπική εγχάραξη
- > για μελλοντικές χρήσεις μεγαλύτερες των 3 μικρών
- > μεγάλη παραγωγή
- > εξοπλισμός χαμηλού κόστους
- > επικίνδυνα χημικά υγρά

- Acids are commonly used for etching:
 - $\text{HNO}_3 \rightleftharpoons \text{H}^+ + \text{NO}_3^-$
 - $\text{HF} \rightleftharpoons \text{H}^+ + \text{F}^-$
 - H^+ is a strong oxidizing agent
 - => high reactivity of acids

Περιορισμοί υγρής εγχάραξης

- ▶ **Wet Etch** has various limitations for small geometries:
 - ⇒ limited to pattern sizes of 3μm or larger
 - ⇒ Isotropic, resulting in sloped sidewalls
 - ⇒ Requires rinse and dry steps
 - ⇒ Wet chemicals are hazardous and/or toxic
 - ⇒ Potential for contamination
 - ⇒ Failure of resist-wafer bond causes undercutting
- ▶ **Dry Etch** processes are more suitable for small feature sizes.

Διαδικασία υγρής εγχάραξης

Βήματα διαδικασίας

- εγχάραξη (Etch)
- ξέπλυμα (Rinse)
- στέγνωμα (Dry)

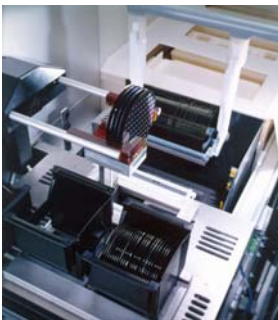
Διαδικασία υγρής εγχάραξης

Σημαντικοί παράμετροι της υγρής εγχάραξης

- η συγκέντρωση του οξέως εγχάραξης
- η θερμοκρασία του οξέως εγχάραξης

Διαδικασία υγρής εγχάραξης

Wet Etch in an Immersion Tank



Rinse in an Immersion Tank

Διαδικασία υγρής εγχάραξης

Dry in Spin-Rinse-Dryer



Διαδικασία υγρής εγχάραξης

Οξέα υγρής εγχάραξης

- Acetic Acid $\text{HC}_2\text{H}_3\text{O}_2$
- Hydrofluoric Acid HF
- Ammonium Fluoride NH_4F
- Phosphoric Acid H_3PO_4
- Nitric Acid HNO_3

Χημικά οξέα υγρής εγχάραξης για VLSI παραγωγή

Material	Etchant	Comments
SiO_2	HF (49% in water) "straight HF" $\text{NH}_4\text{F}:\text{HF}$ (6:1) "Buffered HF" or "BOE"	Selective over Si (i.e., will etch Si very slowly in comparison). Etch rate depends on film density, doping. About $1/25$ th the etch rate of straight HF. Etch rate depends on film density, doping. Will not lift up photoresist like straight HF.
Si_3N_4	HF (49%) $\text{H}_3\text{PO}_4:\text{H}_2\text{O}$ (boiling @ 130-150°C)	Etch rate depends strongly on film density, O, H in film. Selective over SiO_2 . Requires oxide mask.
Al	$\text{H}_3\text{PO}_4:\text{H}_2\text{O}:\text{HNO}_3:\text{CH}_3\text{COOH}$ (16:2:1:1)	Selective over Si, SiO_2 , and photoresist.
Polysilicon	$\text{HNO}_3:\text{H}_2\text{O}:\text{HF}$ (+ CH_3COOH) (50:20:1)	Etch rate depends on etchant composition.
Single crystal Si	$\text{HNO}_3:\text{H}_2\text{O}:\text{HF}$ (+ CH_3COOH) (50:20:1)	Etch rate depends on etchant composition.
Ti	$\text{KOH}:\text{H}_2\text{O}:\text{IPA}$ (23 wt. % KOH, 13 wt. % IPA)	Crystallographically selective; relative etch rates: (100):100 (111):1
TiN	$\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ (1:1:5)	Selective over TiSi ₂ .
TiSi ₂	$\text{NH}_4\text{F}:\text{HF}$ (6:1)	Selective over TiSi ₂ .
Photoresist	$\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$ (125°C) Organic strippers	For wafers without metal. For wafers with metal.

Ξηρή εγχάραξη

Χημική αντίδραση ή φυσική εγχάραξη μεταξύ αερίων οξέων εγχάραξης και επιφάνειας υλικού στο wafer:

- ❖ Μέθοδοι ξηρής εγχάραξης
 - Μέθοδος Glow εκκένωσης
 - ➔ Dry physical etching (Sputter etching)
 - ➔ Plasma assisted etching
 - Dry chemical etching (Plasma etching)
 - Reactive ion etching (RIE)
 - Μέθοδος ιοντικής δέσμης
 - ➔ Ion milling
 - ➔ Reactive ion beam etching
 - ➔ Chemical assisted ion milling
- ❖ Συχνά υλικά κατά την ξηρή εγχάραξη
 - Si, SiO₂, Si₃N₄, Al, W, Ti, TiN, TiSi₂, Photoresist
- ❖ Δύσκολα υλικά για ξηρή εγχάραξη
 - Fe, Ni, Co, Cu, Al₂O₃, LiNbO₃ etc.

Διαδικασία ξηρής εγχάραξης

Χαρακτηριστικά της διαδικασίας

- υψηλή επιλεκτικότητα
- ανιστροπική εγχάραξη
- για μελλοντικές χρήσεις μικρότερες των 3 μικρών
- ακριβός εξοπλισμός
- ελάχιστη έκθεση του ανθρώπου σε επικίνδυνα χημικά
- RF Power safety risks

Τεχνικές ξηρής εγχάραξης

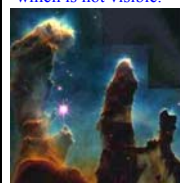
- ◆ Physical etch
- ◆ Reactive Ion etch
- ◆ Chemical (plasma) etch

Dry Etching Pressure Ranges

Etching Mode	Pressure (Torr)
Ion Milling	10 ⁻⁴ -10 ⁻³
Reactive Ion Etching/Ion Milling	10 ⁻³ -10 ⁻¹
Plasma Etching	10 ⁻¹ -5

Πλάσμα : η 4^η κατάσταση της ύλης

On earth we live upon an island of "ordinary" matter. The different states of matter generally found on earth are solid, liquid, and gas. We have learned to work, play, and rest using these familiar states of matter. Sir William Crookes, an English physicist, identified a fourth state of matter, now called plasma, in 1879. Plasma is by far the most common form of matter. Plasma in the stars and in the tenuous space between them makes up over 99% of the visible universe and perhaps most of that which is not visible.



Natural plasma



Man-made plasma

Sources: <http://www.plasmas.org/rot-plasmas.htm>
<http://www.4thstate.com/publications/21stCentury.htm>

Solid	Liquid	Gas	Plasma
Examples Ice H ₂ O	Examples Water H ₂ O	Examples Steam H ₂ O	Examples Ionized Gas H ₊ , -H ⁻ , He ⁺ , + 2e ⁻
Cold T<0°C	Warm 0-T<100°C	Hot T>100°C	Hotter T>100,000°C L>100 microns Wet!
Molecules Fixed in Lattice	Molecules Free to Move	Molecules Free to Move, Large Spacing	Ions and Electrons Move Independently, Large Spacing

Διαδικασία ξηρής εγχάραξης

Φυσική εγχάραξη

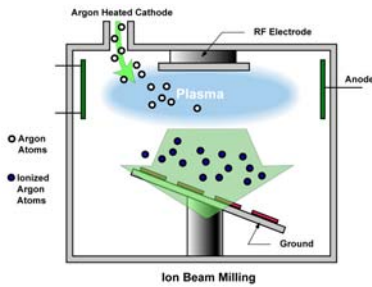
- αναφέρεται επίσης ως εγχάραξη δέσμης ιόντων ή sputtering ή ion .milling
- ιόντα βομβαρδίζουν την επιφάνεια του wafer προκαλώντας την εκτόξευση των μορίων από την επιφάνεια
 - Αργόν εισάγεται μέσα σε θάλαμο RF Ισχύος
- πλεονεκτήματα
 - μικρό επίπεδο undercutting
 - ανιστροπική εγχάραξη
- μειονεκτήματα
 - μικρός ρυθμός επιλεκτικότητας
 - απαιτεί υψηλά επίπεδα ισχύος RF

Εγχάραξη Sputter

- Σε αυτή την διαδικασία όλη η ηλεκτρική ενέργεια συνήθως RF, εφαρμόζεται στο υπόστρωμα.
- Φυσικά βομβαρδίζουμε τα films για να εγχαραθεί από ενεργειακά χημικά αδρανή ιόντα ή άτομα.
- Το υλικό αφαιρείται με τον βομβαρδισμό ιόντων από το υπόστρωμα. Αυτή η διαδικασία χρησιμοποιείται συνήθως για ένα πρώτο καθαρισμό υποστρωμάτων πριν από την απόθεση.
- Ηλεκτρική εκκένωση χρησιμοποιείται για να ενεργοποιήσει χημικά αδρανή ιόντα ή άτομα (e.g., Ar)
 - +Υψηλή ανιστροπική εγχάραξη
 - Προκαλεί ζημιά στο στρώμα κάτω από το υλικό → μπορεί να αλλάξει τις ιδιότητες του device
 - Σπάνια χρησιμοποιείται στα VLSI

Διαδικασία ξηρής εγχάραξης

Ion Beam Etcher



Ξηρή χημικά εγχάραξη (Εγχάραξη Plasma)

► **Plasma etching uses corrosive gases and plasma energy to cause the chemical reaction.**

- καθαρή χημική εγχάραξη.
- ενέργεια RF εφαρμόζεται σε ένα ξεχωριστό ηλεκτρόδιο έχοντας τα υποστρώματα γειωμένα. Χημική αντίδραση μεταξύ αερίων οξέων εγχάραξης επιφάνειας του στρώματος του wafer εγχάρασσει το δισκίο.
- ηλεκτρική εκκένωση χρησιμοποιείται για να παράγει χημικά αντιδρώντα είδη (άτομα, ιόντα ή radicals).
- **πλεονεκτήματα**
 - υψηλός ρυθμός εγχάραξης
- **μειονεκτήματα**
 - ιστροπική εγχάραξη



Εμπλουτισμένη εγχάραξη πλάσματος

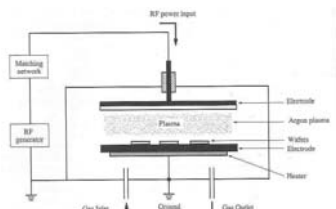
- ♦ Ακολουθία εμπλουτισμένης εγχάραξης πλάσματος
- χρήση ενός μοριακού αερίου
 - ▼ CF_4
- εφαρμοζώ ηλεκτρική εκκένωση
 - ▼ $CF_4 + e \rightarrow CF_3 + F + e$
- **Radicals** αντιδρούν με **solid films** και παράγουν **ασταθή προϊόντα**
 - ▼ $Si + 4F \rightarrow SiF_4 \uparrow$
- απομάκρυνση με αντλία ασταθών προϊόντων ($SiF_4 \uparrow$)

Οξεία και προϊόντα εγχάραξης (διαφορετικές πηγές)

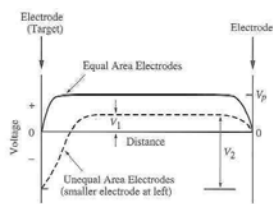
Solid	Etch gas	Etch product
Si, SiO ₂ , Si ₃ N ₄ , PSG, and BPSG	CF ₄ , SF ₆ , and NF ₃	SiF ₄
Si	Cl ₂ and CCl ₂ F ₂	SiCl ₂ and SiCl ₄
Al	BCl ₃ , CCl ₄ , Cl ₂	Al ₂ Cl ₆ and AlCl ₃
Organic solids Photoresists, etc.	O ₂ O ₂ + CF ₄	CO, CO ₂ , H ₂ O CO, CO ₂ , HF
Refractory metals (W, Ta, Ti, Mo, etc.)	CF ₄	WF ₆
GaAs, InP	Cl ₂ and CCl ₂ F ₂	GaCl ₃ , AsCl ₃ ,

Material	Source Gases
Organic Materials	O ₂ , SF ₆ , CF ₄
Polysilicon	CCl ₄ , CF ₄ , NF ₃ , SF ₆
Silicon Dioxide	CF ₄ , C ₂ F ₆ , C ₂ F ₈ , CHF ₃
Silicon Nitride	CF ₄ , C ₂ F ₆ , CHF ₃ , SF ₆
Aluminum	CCl ₄ , Cl ₂ , BCl ₃
Titanium	C ₂ Cl ₂ F ₆ , CF ₄
Tungsten	Cl ₂

RF-powered Plasma σύστημα εγχάραξης

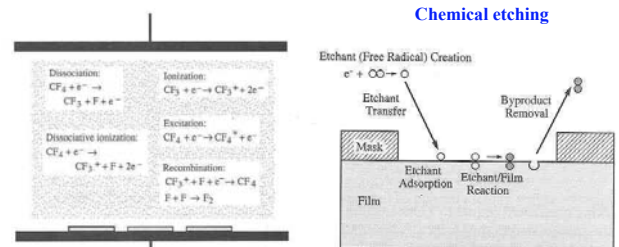


RF-powered plasma etch system



Steady-state voltage distribution in RF-powered plasma etch system

Μηχανισμός εγχάραξης πλάσματος



Various reactions and species present in a plasma

Due to their incomplete bonding, free radicals are highly reactive chemical species.

Reactive Ion Etching (RIE)

Συνδυάζει τεχνικές φυσικής και χημικής εγχάραξης

> Αν η ενέργεια RF εφαρμοστεί στα υποστρώματα σε περιβάλλον πλούσιο σε αλογόνα υπό χαμηλή πίεση, τότε υλικό μπορεί να αφαιρεθεί και με χημικό τρόπο και με βομβαρδισμό ιόντων από την επιφάνεια του υποστρώματος. Καλό αποτέλεσμα ως προς το πλάτος των γραμμών και το προφίλ των άκρων είναι εφικτό με οξείδια, νιτρίδια, πολυπυρίτιο και αλουμίνιο.

> Εκπλήρωση διαδικασίας αντικαθιστώντας το φυσικό αέριο σε ένα σύστημα *r.f.* sputtering με ένα ή περισσότερα χημικά είδη

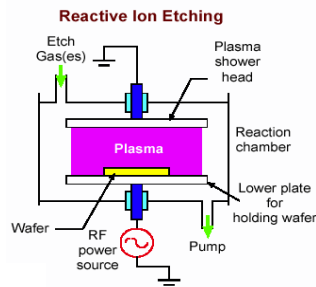
> Ηλεκτρική εκκένωση χρησιμοποιείται για να παραχθούν χημικά αντιδρώντα είδη (atoms, radicals, ions) και χημικά αδρανή ιόντα

> Ευρέως χρησιμοποιούμενη στην παραγωγή VLSI

❖ **πλεονεκτήματα**

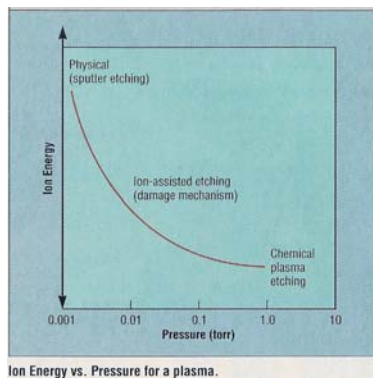
- υψηλός ρυθμός επιλεκτικότητας
- ανιστροπική

Διαδικασία ξηρής εγχάραξης : RIE



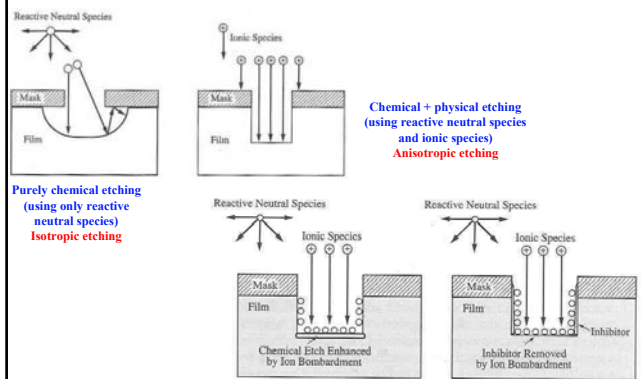
- ▶ RIE combines the benefits of chemical plasma etching along with that of directional ion milling.
- ▶ The combination etch results in a selectivity ratio between SiO_2 and Si in excess of 35:1 compare to 10:1 in plasma only etching.
- ▶ RIE has become the choice for all advanced processes.

Ενέργεια ιόντων vs. Πίεση πλάσματος



Ion Energy vs. Pressure for a plasma.

Χημική vs. χημική/φυσική εγχάραξη

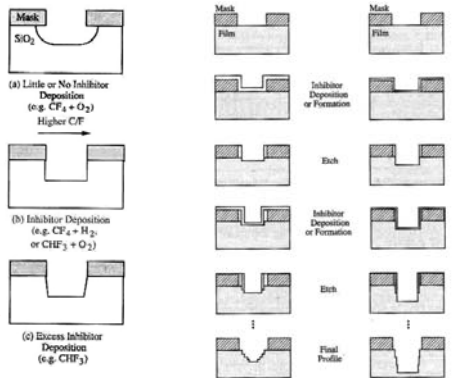


Purely chemical etching (using only reactive neutral species)
Isotropic etching

Chemical + physical etching (using reactive neutral species and ionic species)
Anisotropic etching

Αποτέλεσμα προστατευτικού στρώματος (inhibitor)

w/o inhibitor
=> **Isotropic**



w/ inhibitor
=> **Anisotropic**

fast inhibitor deposition
=> **Bevelled walls**

Η σπουδαιότητα της διαδικασίας RIE

• Η σπουδαιότητα της εγχάραξης reactive ion

▪ **Υψηλή ανιστροπική εγχάραξη**

- ▶ Πιστή μεταφορά του σχεδίου
- ▶ Υψηλή ανάλυση

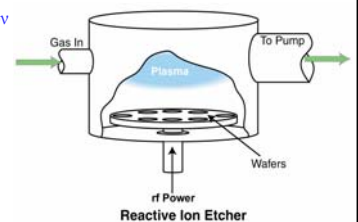
▪ **Λιγότερη κατανάλωση χημικών**

- ▶ Όφελος κόστους
- ▶ Φιλική προς το περιβάλλον

▪ **Καθαρή διαδικασία**

- ▶ Δοχείο κενού

▪ **Αυτοματοποιείται εύκολα**



Σύστημα Barrel plasma

End View

Side View

Quartz tube

Σύστημα High density plasma (HDP)

Inductive Supply

Dielectric Window

Gas Inlet

Bias Supply

Electron Cyclotron Resonance (ECR)

Inductively coupled plasma (ICP)

ECR vs ICP

ECR was introduced at OPT in 1985.

ICP was introduced much later (1991- 1995) for plasma processing.

most important with both:
independent control of ion energy and ion current density
lower (substrate) electrode grounded, RF driving opt.

Σύστημα Sputter etch και ion milling

Anode (Chamber Wall)

Cathode

Spattering Gas Inlet (Ar)

RF

Vacuum

Ground

FIB 200 Focused Ion Beam Workstation

Mask

Film

Mask

Film

Mask

Film

Figure 10.1 shows a cross section of a sputtered conductive metal film for location-specific transistors. It is etched by anisotropic (TEM) etch step.

RIE: παραδείγματα

Si Use CF_4 gas

$$CF_4 \rightarrow F^* + CF_3$$

$$CF_4 + e \leftrightarrow CF_3^+ + F^* + 2e$$

$$Si + 4F^* \rightarrow SiF_4 \uparrow$$

F* are Fluorine atoms with electrons

Aluminum

$$CCl_4 + e \leftrightarrow CCl_3 + Cl^* + 2e$$

$$Al + 3Cl^* \rightarrow AlCl_3 \uparrow$$

Photo Resist

$$C_xH_yO_z + O_2 \rightarrow \begin{cases} CO_x \\ HO_x \end{cases}$$

Πώς ελέγχω την ανισοτροπία?

- 1) Ιοντικός βομβαρδισμός καταστρέφει τις εκτιθέμενες επιφάνειες.
- 2) Επικάλυψη πλευρικών τοιχωμάτων με inhibitor εμποδίζει την πλευρική εγχάραξη.

SURFACE DAMAGE INDUCED ANISOTROPY

SURFACE INHIBITOR MECHANISM OF ANISOTROPY

(a) ETCHANT

(b) SUBSTRATE ATOM

INHIBITOR

Πως ελέγχω την επιλεκτικότητα?

παραδείγμα 1: SiO_2 etching in $CF_4 + H_2$ plasma

$$S = \frac{Rate SiO_2}{Rate Si}$$

Rates

S

SiO_2

Si

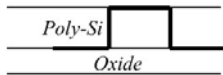
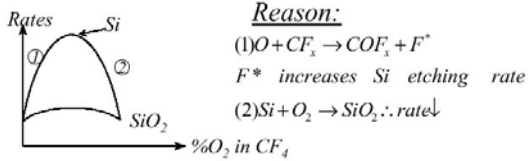
$H_2\%$

$\%H_2$ in $(CF_4 + H_2)$

Reason: $F^* + H \rightarrow HF \therefore F^* \text{ content } \downarrow$
 $\therefore SiF_4 \downarrow$

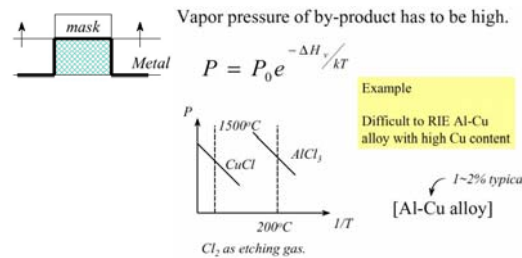
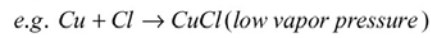
Πως ελέγχω την επιλεκτικότητα?

Παράδειγμα 2: Si etching in $CF_4 + O_2$ mixture.



Πως ελέγχω το Smoothness?

* Higher vapor pressure \Rightarrow higher volatility



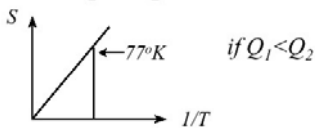
Η θερμοκρασία εξαρτάται από την επιλεκτικότητα

$$R_1 = A_1 e^{-Q_1/kT}$$

$$R_2 = A_2 e^{-Q_2/kT}$$

$$\therefore S = \frac{R_1}{R_2} = \frac{A_1}{A_2} e^{-(Q_1 - Q_2)/kT}$$

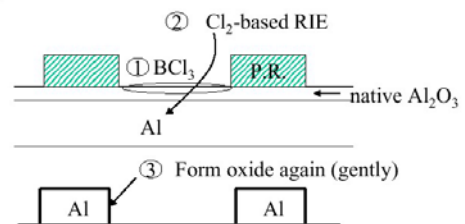
R = etching rates
 A = proportional constants
 Q = activation energies



Γενικά : Η διαδικασία εγχάραξης περιλαμβάνει πολλά διαδοχικά στάδια

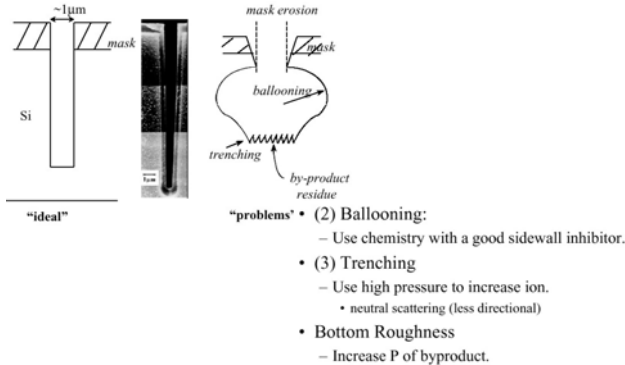
Παράδειγμα 1: RIE γραμμών αλουμινίου (Al).

- * It is a three-step sequence :
- 1) Remove native oxide with BCl_3
 - 2) Etch Al with Cl-based plasma
 - 3) Protect fresh Al surface with thin oxidation



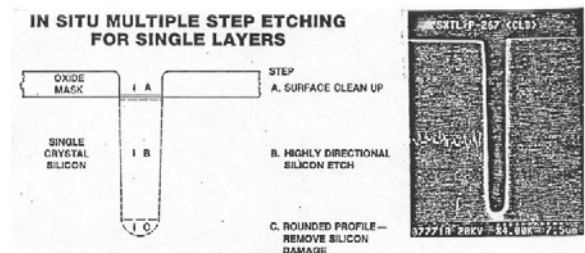
Διαδοχικά στάδια στη διαδικασία εγχάραξης

Παράδειγμα 2: εγχάραξη οργμάτων με μεγάλο βάθος.

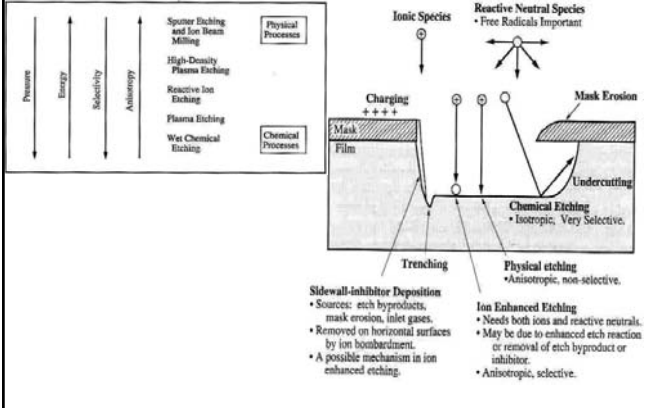


Διαδοχικά στάδια στην εγχάραξη deep trenches

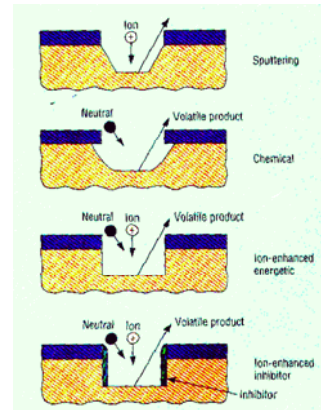
Λύση: πολλαπλά βήματα διαδοχικών RIE.



Σύνοψη των συστημάτων Plasma και των μηχανισμών



4 κατηγορίες μηχανισμών της εγχάραξης πλάσματος



Σύνοψη διαδικασίας ξηρής εγχάραξης

Παράγοντες που επηρεάζουν την διαδικασία ξηρής εγχάραξης

- ρυθμός εγχάραξης
 - RF Power level
 - Gas formula
 - Etch Temperature
- πίεση
 - Extremely high pressure results in an isotropic etch
 - Low pressure with high energy can damage wafer

Σύνοψη διαδικασίας ξηρής εγχάραξης

Παράγοντες που επηρεάζουν την διαδικασία ξηρής εγχάραξης

- **Micro-loading**
 - διαφορετικοί ρυθμοί εγχάραξης κατά μήκος της επιφάνειας του wafer
 - Ashing can occur
- **διάβρωση μετά εγχάραξης**
 - οφείλεται στο κατάλοιπο οξέος εγχάραξης που παραμένει μετά το τελικό ξέπλυμα
 - χρησιμοποιώντας ένα μη χλωριούχο στη βάση οξυδίου όπως φθόριοεξαλείφει το πρόβλημα.

Αέρια Plasma-Etching που χρησιμοποιούνται στην παραγωγή VLSI

Material	Etchant	Comments
Polysilicon	SF ₆ , CF ₄ CF ₄ /H ₂ , CHF ₃ CF ₄ /O ₂ HBr, Cl ₂ , Cl ₄ /HBr/O ₂	Isotropic or near isotropic (significant undercutting), poor or no selectivity over SiO ₂ Very anisotropic, nonselective over SiO ₂ Isotropic, more selective over SiO ₂ Very anisotropic; most selective over SiO ₂
Single-crystal Si	same etchants as Polysilicon	
SiO ₂	SF ₆ , NF ₃ , CF ₄ /O ₂ , CF ₄	Can be near isotropic (significant undercutting); anisotropy can be improved with higher ion energy and lower pressure, poor or no selectivity over Si
PSG	CF ₄ /H ₂ , CHF ₃ /O ₂ , C ₂ F ₆ , C ₂ F ₈	Very anisotropic, selective over Si
BPSG	CHF ₃ /C ₂ F ₈ /CO	Anisotropic, selective over Si ₃ N ₄
Si ₃ N ₄	CF ₄ /O ₂ CF ₄ /H ₂ CHF ₃ /O ₂ , CH ₂ F ₂	Isotropic, selective over SiO ₂ but not over Si Very anisotropic, selective over Si but not over SiO ₂ Very anisotropic, selective over Si and SiO ₂
Al	Cl ₂ Cl ₂ /CHCl ₃ , Cl ₂ /N ₂	Near isotropic (significant undercutting). Very anisotropic; ECl ₃ often added to scavenge oxygen.
Tungsten (W)	CF ₄ , SF ₆ Cl ₂	High etch rate, nonselective over SiO ₂ Selective over SiO ₂
Ti	Cl ₂ , Cl ₂ /CHCl ₃ , CF ₄	
TiN	Cl ₂ , Cl ₂ /CHCl ₃ , CF ₄	
TiSi ₂	Cl ₂ , Cl ₂ /CHCl ₃ , CF ₄ /O ₂	
Photoresist	O ₂	Very selective over other films.

Καθαρισμός δισκιδίων (wafer)

Απομάκρυνση του Resist

• αφαίρεση παραμένουστος resist μετά την διαδικασία εγχάραξης

• Wet stripping

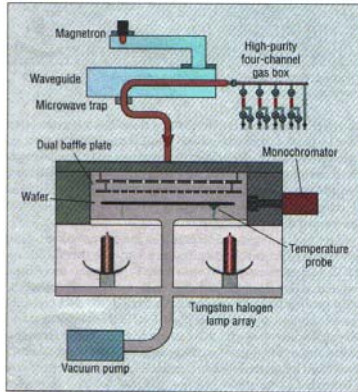
- για χρήση σε wafers που δεν εγχάραχτηκαν με plasma
- για μη-μεταλλικές επιφάνειες χρησιμοποιείται όξινη διαλύτης
- για μεταλλικές επιφάνειες χρησιμοποιείται οργανικός διαλύτης

• Plasma Stripping

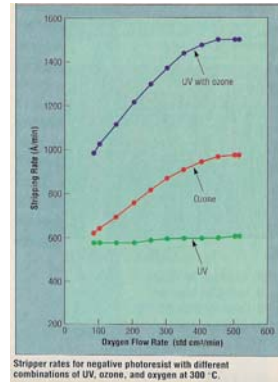
- για χρήση σε wafers που εγχάραχτηκαν με plasma
- χρήση οξυγόνου ως stripping plasma για την αφαίρεση του photoresist

Αφαίρεση Photoresist

Σημαντικά εξαρτήματα ενός microwave plasma asher είναι μια 2.45-GHz microwave γεννήτρια και ένας θάλαμος που λαμβάνει χώρα η διαδικασία (chamber).



Αφαίρεση Photoresist (Photoresist Stripping)



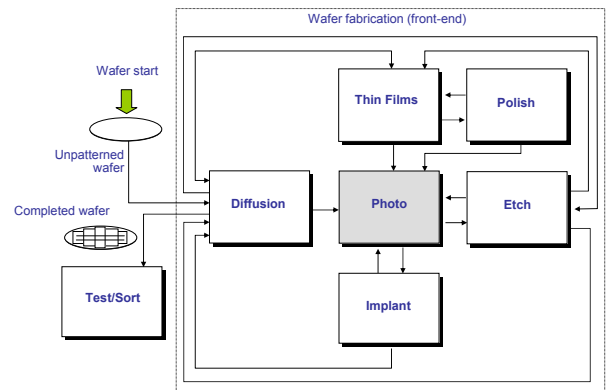
Επιθεώρηση δισκιδίων και χαρακτηρισμός

Έλεγχος εγχάραξης

Τελικός έλεγχος

Μετρήσεις κρίσιμων διαστάσεων

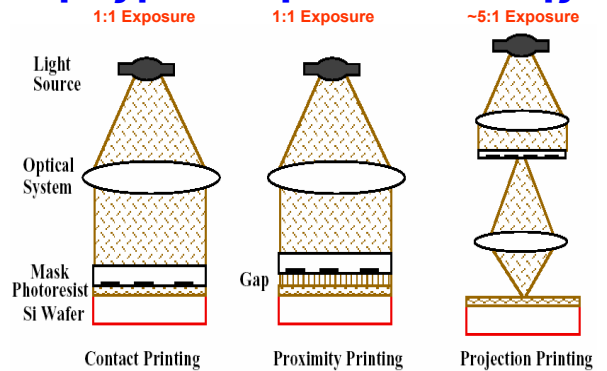
Διάγραμμα διαδικασίας κατασκευής Wafer



Αρχές φωτολιθογραφίας

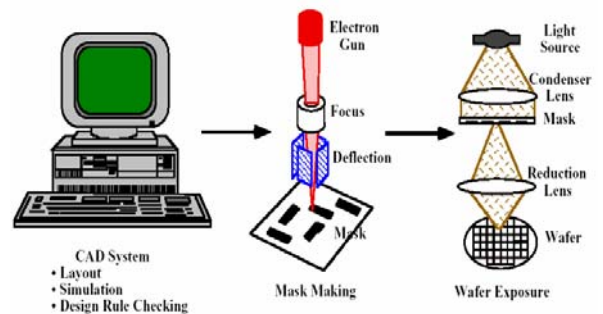
- Patterning process
 - Photomask
 - Reticle
- Δημιουργία κρίσιμων διαστάσεων
- Φάσμα φωτός και μήκη κύματος
- Resolution
- Overlay accuracy
- Process latitude

Τρεις βασικοί μέθοδοι έκθεσης



- **Contact printing** capable of high resolution but has unacceptable defect densities. May be used in **Development** but not manufacturing.
- **Proximity printing** cannot easily print features below a few mm in line width. Used in nano-technology.
- **Projection printing** provides high resolution and low defect densities and dominates today. Typical projection systems use reduction optics (2X - 5X), step and repeat or step and scan. They print » 50 wafers/hour and cost \$5 - 10M.

Βήματα της φωτολιθογραφικής



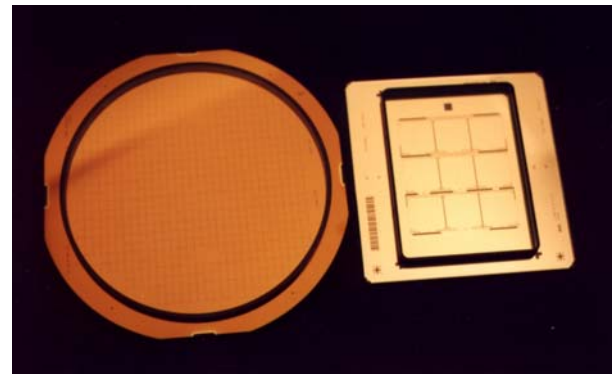
Η λιθογραφία έχει τρία τμήματα:
(1) Πηγή φωτός, (2) Έκθεση του Wafer (3) Resist

Year of 1st DRAM Shipment	1997	1999	2003	2006	2009	2012
DRAM Bits/Chip	256M	1G	4G	16G	64G	256G
Minimum Feature Size nm						
Isolated Lines (MPU)	200	140	100	70	50	35
Dense Lines (DRAM)	250	180	130	100	70	50
Contacts	280	200	140	110	80	60
Gate CD Control 3σ (nm)	20	14	10	7	5	4
Alignment (mean + 3σ) (nm)	85	65	45	35	25	20
Depth of Focus (μm)	0.8	0.7	0.6	0.5	0.5	0.5
Defect Density (per layer/m ²)	100	80	60	50	40	30
@ Defect Size (nm)	@ 80	@ 60	@ 40	@ 30	@ 20	@ 15
DRAM Chip Size (mm ²)	280	400	560	790	1120	1580
MPU Chip Size (mm ²)	300	360	430	520	620	750
Field Size (mm)	22x22	25x32	25x36	25x40	25x44	25x52
Exposure Technology	248nm DUV	248nm DUV	248nm or 193nm DUV	193nm DUV	193nm DUV	???
Minimum Mask Count	22	22/24	24	24/26	26/28	28

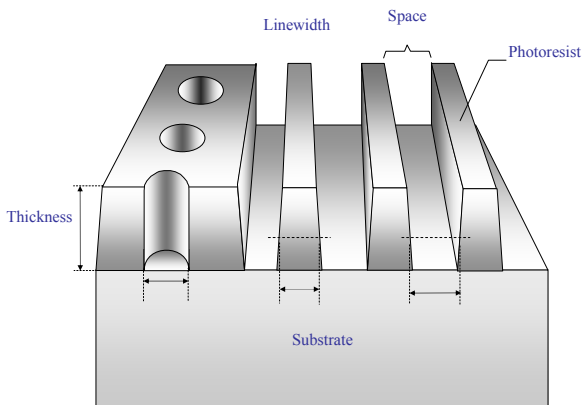
Photomask and Reticle for Microlithography

1:1 Mask

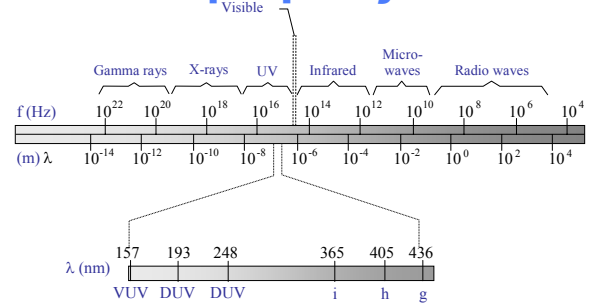
4:1 Reticle



Τρισδιάστατο σχέδιο του Photoresist



Τμήμα του ηλεκτρομαγνητικού φάσματος



Συνήθως UV μήκη κύματος χρησιμοποιούνται στην οπτική λιθογραφία

Πηγές φωτός

Μειώνοντας τα χαρακτηριστικά μεγέθη απαιτείται μικρότερο λ .

- **Hg vapor lamps:** Hg plasma inside glass lamp
 - Produces multiple wavelengths
 - Limited in intensity
 - “g” line: $\lambda = 436 \text{ nm}$ (used to mid 1980s)
 - “i” line: $\lambda = 365 \text{ nm}$ (early 1990s, $>0.3 \mu\text{m}$)
- **Deep UV by excimer lasers**
 - $\text{Kr} + \text{NF}_3 + (\text{energy}) \rightarrow \text{KrF} + (\text{photon emission})$
 - KrF: $\lambda = 248 \text{ nm}$ (used for $0.25 \mu\text{m}$)
 - ArF: $\lambda = 193 \text{ nm}$ (used for $0.12 \mu\text{m}$)

Σημαντικά μήκη κύματος για φωτολιθογραφική έκθεση

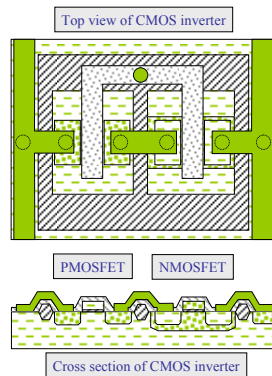
UV Wavelength (nm)	Wavelength Name	UV Emission Source
436	g-line	Mercury arc lamp
405	h-line	Mercury arc lamp
365	i-line	Mercury arc lamp
248	Deep UV (DUV)	Mercury arc lamp or Krypton Fluoride (KrF) excimer laser
193	Deep UV (DUV)	Argon Fluoride (ArF) excimer laser
157	Vacuum UV (VUV)	Fluorine (F_2) excimer laser

Η σημασία της Overlay Accuracy μάσκας

Τα επίπεδα μάσκας καθορίζουν την ακρίβεια με την οποία μπορούν τα επόμενα στάδια διαδικασίας να υλοποιηθούν.

Η μάσκα σχεδίου photoresist προετοιμάζει ξεχωριστά στρώματα για κατάλληλη τοποθέτηση, προσανατολισμό και μέγεθος δομών που θα εγχαραχθούν ή θα υποστούν ιοντική εμφύτευση.

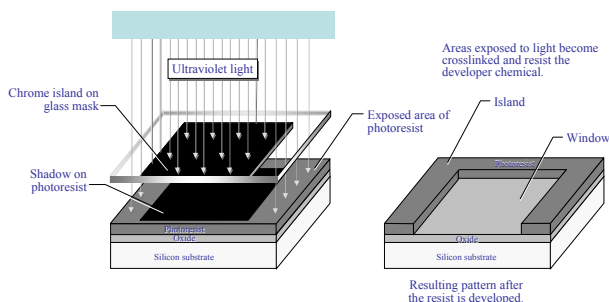
Μικρά μεγέθη και ελάχιστη ανεκτικότητα δεν αφήνουν περιθώρια για λάθη.



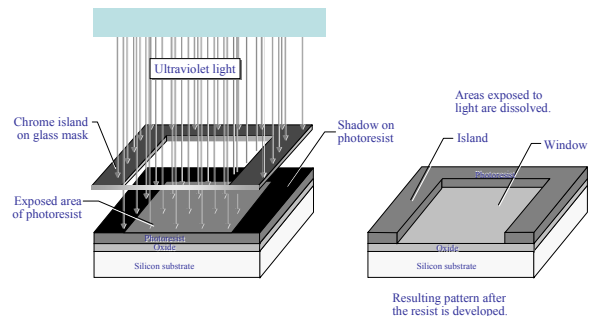
Φωτολιθογραφική διαδικασία

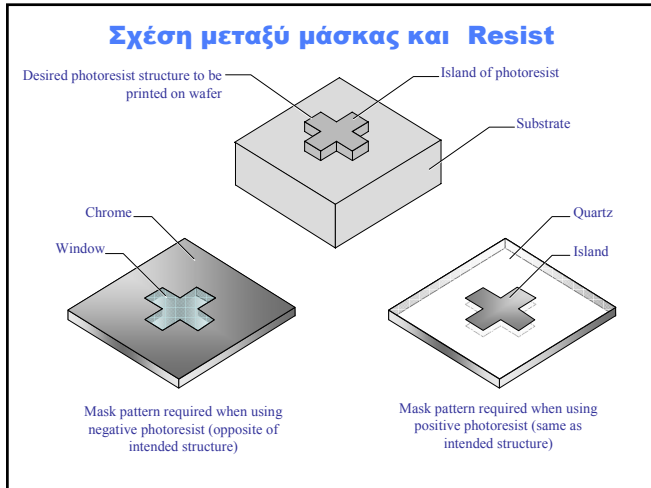
- **Negative Resist**
 - Wafer image is opposite of mask image
 - Exposed resist hardens and is insoluble
 - Developer removes unexposed resist
- **Positive Resist**
 - Mask image is same as wafer image
 - Exposed resist softens and is soluble
 - Developer removes exposed resist

Negative Lithography



Positive Lithography

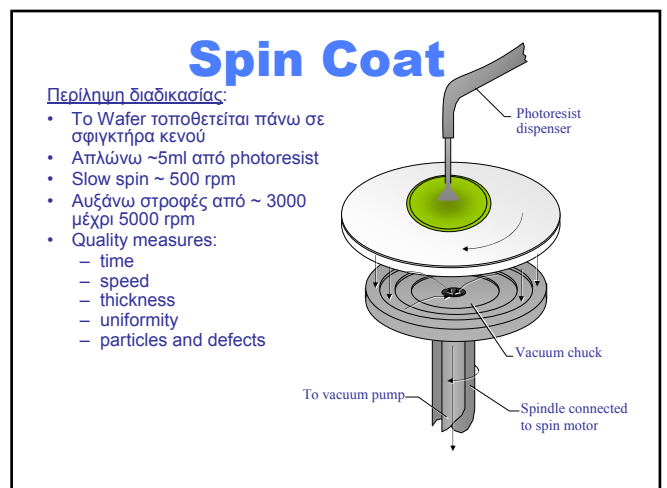




Vapor Prime

Το πρώτο βήμα της φωτολιθογραφίας:

- Παράγει καλή ένωση Photoresist--Wafer
- Primes Wafer with Hexamethyldisilazane, HMDS
- Ακολουθείται από Dehydration ψήσιμο
- Εξασφαλίζει καθαρή και στεγνή επιφάνεια Wafer



Soft bake

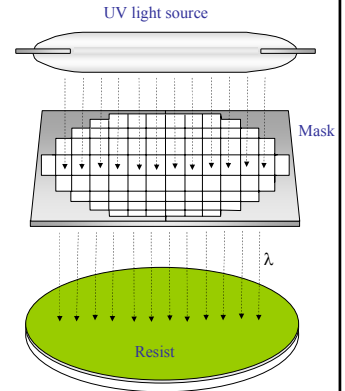
Χαρακτηριστικά του Soft Bake:

- Βελτιώνει την ένωση Photoresist--Wafer
- Παράγει ομοιομορφία του Resist πάνω στο Wafer
- Βελτιώνει το πλάτος γραμμής ελέγχου κατά τη διάρκεια της εγχάραξης
- Απομακρύνει τον περισσότερο διαλύτη από το Photoresist
- Τυπικές θερμοκρασίες ψήσιματος είναι 90 -- 100°C
 - Για 30 περίπου Seconds
 - Σε καυτή βάση
 - Ακολουθεί βήμα ψύξης σε κρύα βάση

Ευθυγράμμιση και Έκθεση

Περίληψη διαδικασίας:

- Μεταφέρει την εικόνα της μάσκας στο καλυμμένο από resist wafer
- Ενεργοποιεί φωτοευαίσθητα στοιχεία του photoresist
- Quality measures:
 - linewidth resolution
 - overlay accuracy
 - particles and defects



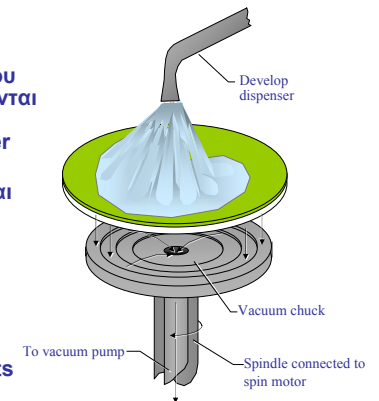
Post-Exposure Bake

- Απαιτείται για Deep UV Resists
- Τυπική θερμοκρασία 100 μέχρι 110°C σε ζεστή βάση
- Απευθείας μετά την έκθεση
- Έχει γίνει στάδιο πραγματικά τυπικό για DUV και τυπικά Resists

Photoresist Development

Περίληψη διαδικασίας:

- Διαλυτές περιοχές του photoresist αφαιρούνται από χημικό υγρό εμφάνισης (developer chemical)
- Το σχέδιο εμφανίζεται πάνω στο wafer
 - windows
 - islands
- Quality measures:
 - line resolution
 - uniformity
 - particles and defects



Hard Bake

- A Post-Development Thermal Bake
- Evaporate Remaining Solvent
- Improve Resist-to-Wafer Adhesion
- Higher Temperature (120 to 140°C) than Soft Bake

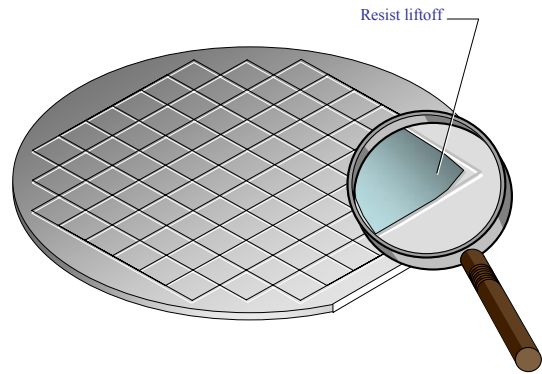
Develop / Inspect

- Παρατήρηση με μικροσκόπιο για επιβεβαίωση ποιοτικού σχεδίου
 - Identify Quality Problems (Defects)
 - Characterize the Performance of the Photolithography Process
 - Prevents Passing Defects to Other Areas
 - Etch
 - Implant
 - Rework Mis-processed or Defective Resist-coated Wafers
- Τυπικά μια αυτοματοποιημένη διαδικασία

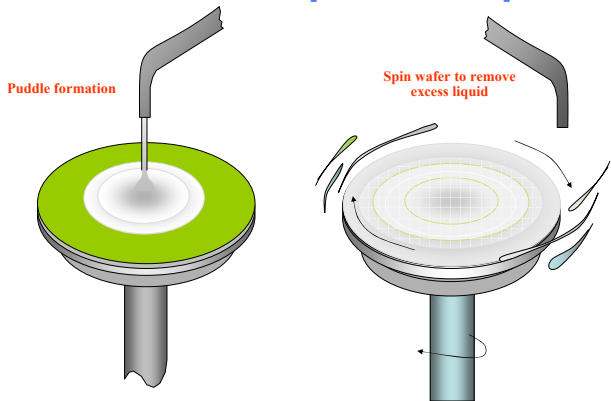
Vapor Prime

- Καθαρισμός Wafer
- Dehydration Bake
- Wafer Priming
 - Τεχνικές Priming
 - Puddle Dispense and Spin
 - Spray Dispense and Spin
 - Vapor Prime and Dehydration Bake

Επίδραση κακής επαφής του Resist εξ' αιτίας μόλυνσης της επιφάνειας του wafer



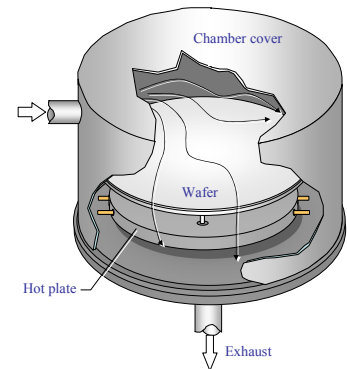
HMDS Puddle Dispense and Spin



HMDS Hot Plate Dehydration Bake and Vapor Prime

Περίληψη διαδικασίας:

- Dehydration bake in enclosed chamber with exhaust
- Hexamethyldisilazane (HMDS)
- Καθαρή και στεγνή επιφάνεια wafer (hydrophobic)
- Θερμοκρασία ~ 200 to 250°C
- Χρόνος ~ 60 sec.



Σκοπός του Photoresist στην κατασκευή των Wafer

- Για τη μεταφορά του σχεδίου της μάσκας στο photoresist στο πάνω στρώμα της επιφάνειας του wafer
- Για την προστασία των υλικών κάτω από το στρώμα στην επιφάνεια κατά τη διάρκεια των επόμενων διεργασιών (εγχάραξη, ιοντική εμφύτευση)

Προδευτικές βελτιώσεις στο Photoresist

- Καλύτερη εικόνα ευκρίνειας (resolution).
- Καλύτερη ένωση με την επιφάνεια του δισκιδίου ημιαγωγού.
- Καλύτερα χαρακτηριστικά ομοιομορφίας.
- Αυξάνει τα περιθώρια της διαδικασίας (less sensitivity to process variations).

Spin Coat

- Photoresist
 - Types of Photoresist
 - Negative Versus Positive Photoresists
- Photoresist Physical Properties
- Conventional I-Line Photoresists
 - Negative I-Line Photoresists
 - Positive I-Line Photoresists
- Deep UV (DUV) Photoresists

Είδη Photoresists

- Δυο είδη Photoresist
 - Positive Resist
 - Negative Resist
- CD Capability
 - Conventional Resist
 - Deep UV Resist
- Process Applications
 - Non-critical Layers
 - Critical Layers

Negative σύγκριση με Positive Resists

- Negative Resist
 - Wafer image is opposite of mask image
 - Exposed resist hardens and is insoluble
 - Developer removes unexposed resist
- Positive Resist
 - Mask image is same as wafer image
 - Exposed resist softens and is soluble
 - Developer removes exposed resist
- Resolution Issues
- Clear Field Versus Dark Field Masks

Φυσικά χαρακτηριστικά των Photoresist

- Ανάλυση (Resolution)
- Αντίθεση (Contrast)
- Ευαισθησία (Sensitivity)
- Ιξώδες (Viscosity)
- Προσκόλληση (Adhesion)
- Αντίσταση εγχάραξης (Etch resistance)
- Τάση επιφάνειας (Surface tension)
- Storage and handling
- Contaminants and particles

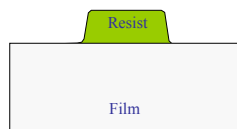
Resist Contrast

Poor Resist Contrast

- Sloped walls (πλαγιαστά τοιχώματα)
- Swelling (φούσκωμα)
- Poor contrast

Good Resist Contrast

- Sharp walls
- No swelling
- Good contrast

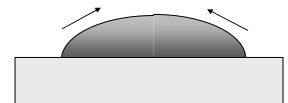


Surface Tension

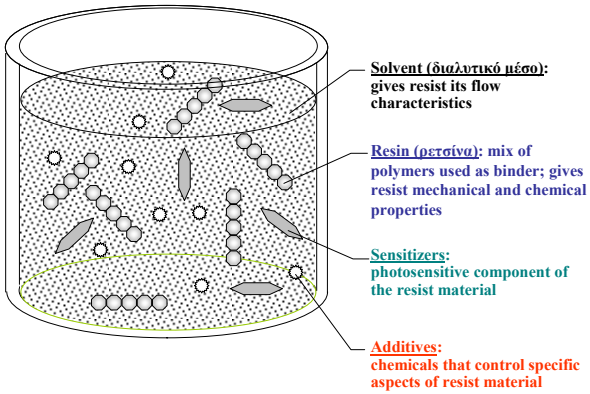
Low surface tension from low molecular forces



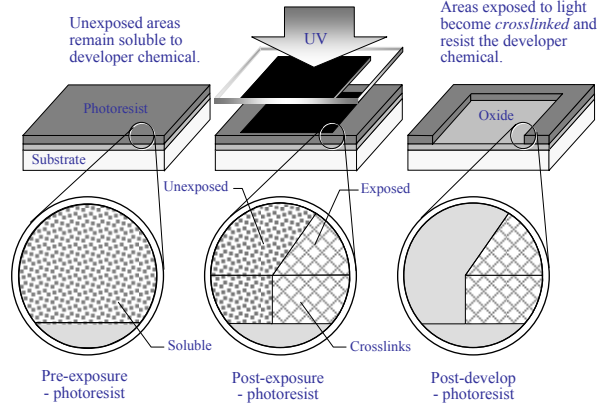
High surface tension from high molecular forces



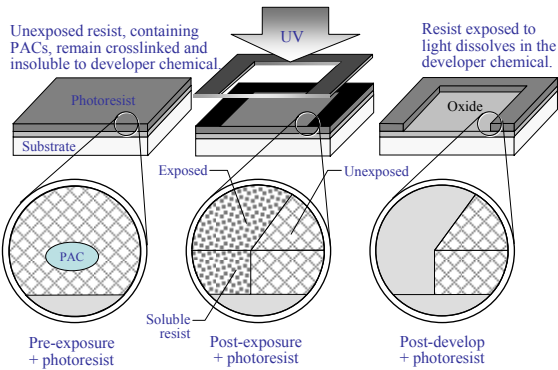
Components of Conventional Photoresist



Negative Resist Cross-Linking

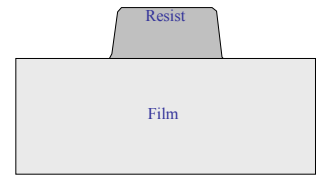


PAC as Dissolution Inhibitor in Positive I-Line Resist

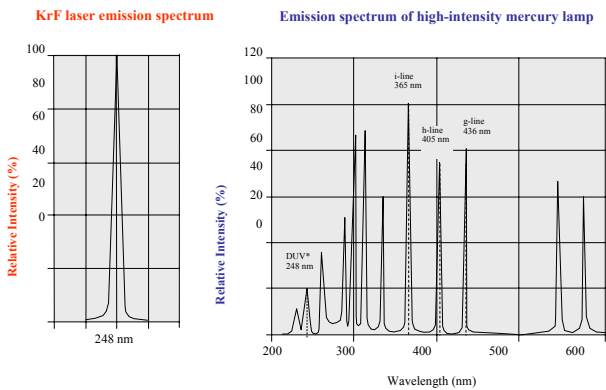


Χαρακτηριστικά καλής αντίθεσης ενός Positive I-line Photoresist

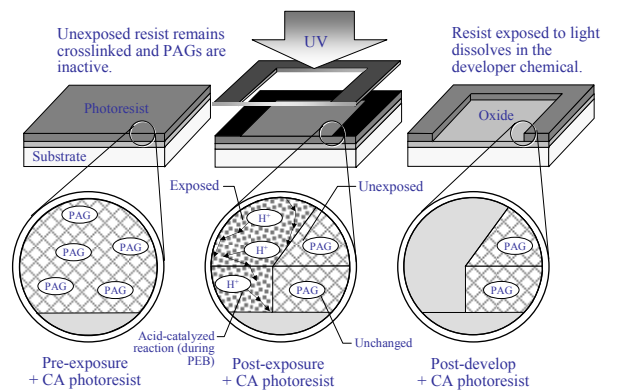
- Positive Photoresist:**
- Sharp walls
 - No swelling
 - Good contrast



DUV φάσμα εκπομπής



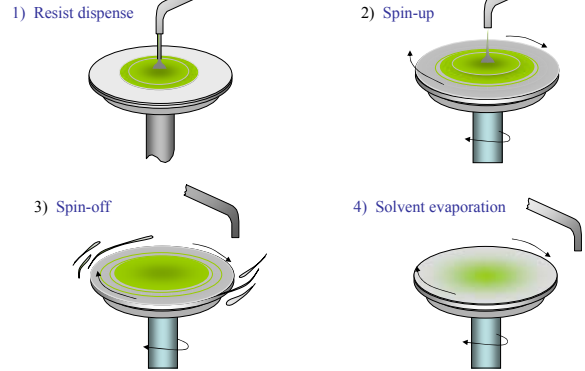
Chemically Amplified (CA) DUV Resist



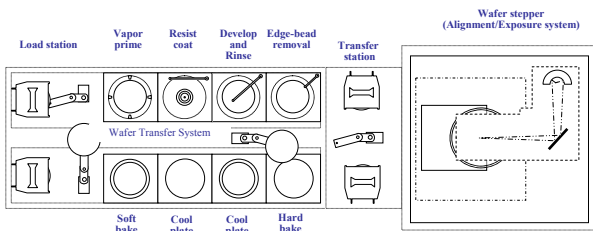
Στάδια έκθεσης ενός χημικά ενισχυμένου DUV Resist

1. Resin is phenolic copolymer with protecting group that makes it insoluble in developer.
2. Photoacid generator (PAG) generates acid during exposure.
3. Acid generated in exposed resist areas serves as catalyst to remove resin-protecting group during post exposure thermal bake.
4. Exposed areas of resist without protecting group are soluble in aqueous developer.

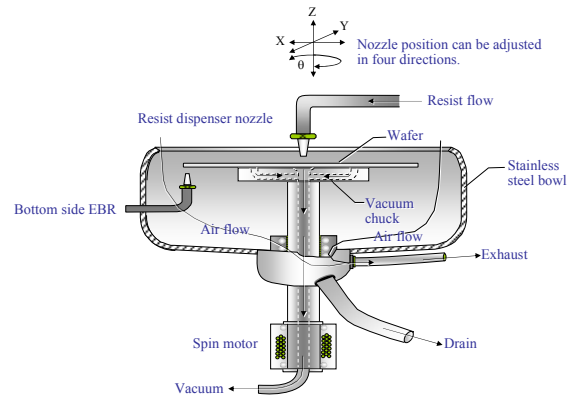
Στάδια Photoresist Spin Coating



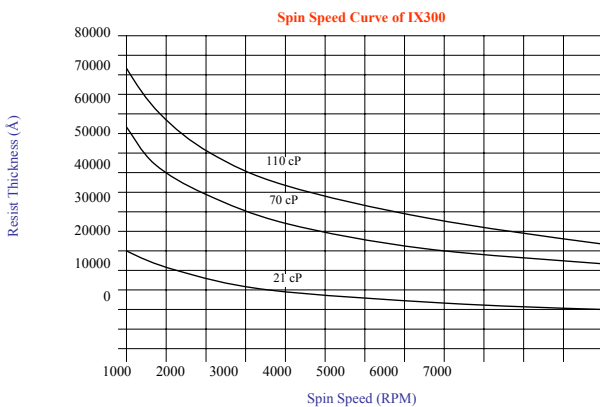
Automated Wafer Track for Photolithography



Ακροφύσιο επίστρωσης photoresist



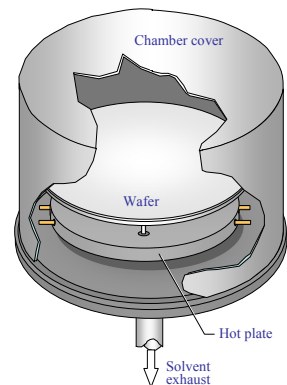
Resist Spin Speed Curve



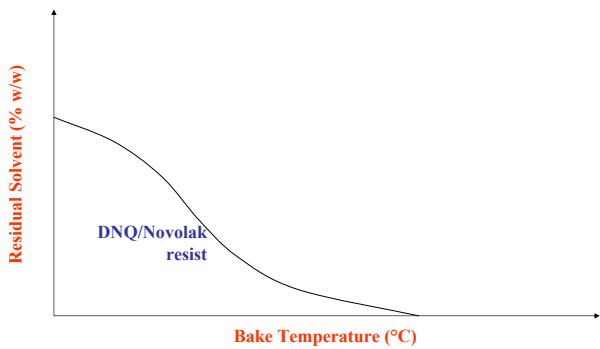
Soft Bake on Vacuum Hot Plate

Σκοπός του Soft Bake:

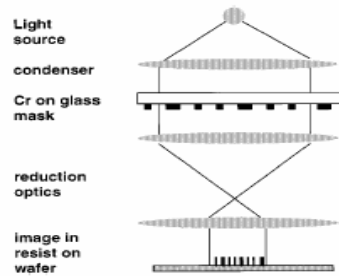
- Partial evaporation of photoresist solvents
- Improves adhesion
- Improves uniformity
- Improves etch resistance
- Improves linewidth control
- Optimizes light absorbance characteristics of photoresist



Solvent Content of Resist Versus Temperature During Soft Bake



Τι είναι η λιθογραφία

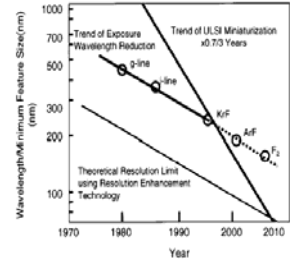


Τυπική οπτική λιθογραφία

- Η ανάλυση (διακριτική ικανότητα) ενός συστήματος λιθογραφίας $Resolution = k_1 \frac{\lambda}{NA}$
- όπου k_1 εξαρτάται από την διαδικασία που χρησιμοποιείται. λ είναι το μήκος κύματος και NA είναι το αριθμητικό άνοιγμα των πολλαπλών φακών.
- Τυπική τιμή του k_1 κυμαίνεται μεταξύ 0.5 και 0.8 ενώ του NA στα συστήματα οπτικής λιθογραφίας μεταξύ 0.5 και 0.6.
- * συμβατική οπτική λιθογραφία είναι ότι και τα μικρότερα χαρακτηριστικά που μπορούν να τυπωθούν είναι περίπου ίσα με το μήκος κύματος του φωτός που χρησιμοποιείται.

Οπτική λιθογραφία

- mercury arc lamps. G-line $\lambda=435$ nm και I-line $\lambda=365$ nm, για αποτύπωση χαρακτηριστικών διαστάσεων 0.35μm.
- Excimer laser sources με KrF $\lambda=248$ nm για σχέδιο 0.25 μm.
- Excimer laser sources με ArF $\lambda=193$ nm για σχέδιο 0.18 μm.



Βελτιωμένη οπτική λιθογραφία

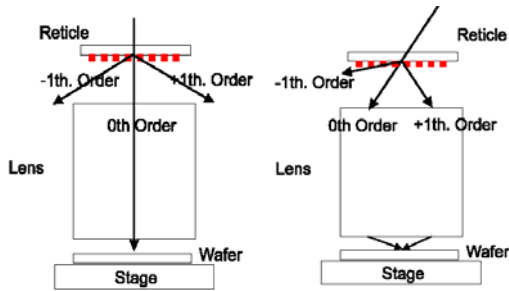
- Αυξάνοντας το NA είναι ένας τρόπος για να βελτιώσουμε το resolution της οπτικής λιθογραφίας.
- Το μειονέκτημα για αυτά τα συστήματα με πολύ μεγάλο NA είναι το κόστος και το βάθος εστίασης (depth of focus DOF).
- * Το κόστος των φακών είναι περίπου συνάρτηση του τετραγώνου του NA (αυξάνει το υλικό των φακών).
- * Το DOF ενός συστήματος μπορεί να καθοριστεί με σαφήνεια:

$$DOF = k_2 \frac{\lambda}{NA^2}$$

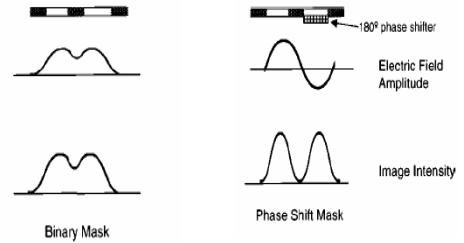
Βελτιώσεις στις μεθόδους φωτεινότητας

- Η ανάλυση αντανακλά το γεγονός ότι η πρώτη διαθλώμενη σειρά πρέπει να συλλεφθεί στους φακούς για την πληροφορία της εικόνας ώστε να μεταφερθεί από το οπτικό σύστημα.
- * Off-axis illumination(OAI)
- * Phase-shifted mask

Off-axis Illumination



Phase-Shift Mask



Δύσκολες προκλήσεις

- 5 δύσκολες προκλήσεις/≥50 nm μέχρι το 2009
 - 1.οπτικές μάσκες με χαρακτηριστικά για μεγαλύτερη ανάλυση και post-optical mask fabrication
 - 2.έλεγχος κόστους και Return on Investment(ROI)
 - 3.έλεγχος διαδικασίας
 - 4.αντιστατικά (resists) για ArF, λιθογραφία με απορρόφηση και F₂ (immersion lithography)
 - 5.CaF₂ (απόδοση, κόστος και ποιότητα)

Λιθογραφία επόμενης γενιάς

- 157-nm οπτική λιθογραφία
- Extreme Ultraviolet Lithography
- Electron Projection Lithography
- Imprint Lithography

157-nm οπτική λιθογραφία

- Χρήση F₂ excimer πηγή laser.
- Τα οπτικά για ένα 157-nm σύστημα φτιάχνονται από CaF₂.
- Για μεγάλο NA, απαιτούνται μεγάλες ποσότητες CaF₂.
- Τα τριανικά υλικά photoresist δεν είναι κατάλληλα για λιθογραφία 157-nm. Έτσι εντελώς νέα υλικά πρέπει να αναπτυχθούν.

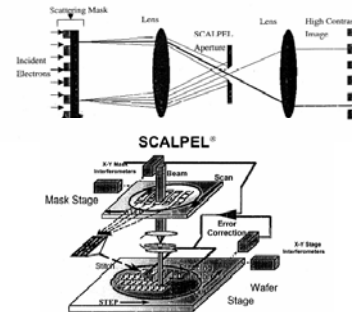
Extreme Ultraviolet Lithography

- Η πηγή φωτός είναι πολύ μικρού μήκους κύματος (10-14 nm).
- EUV είναι να χρησιμοποιεί μικρού NA ανακλαστικά οπτικά συστήματα σε μήκη κύματος πολύ μικρότερα από τις διαστάσεις του κυκλώματος.
- Τα στρώματα Resist πρέπει να έχουν πάχος τουλάχιστον 1μm.
- EUV προκλήσεις:
Δημιουργία πολλαπλών επικαλυπτικών στρωμάτων κατά μήκος του wafer με ελαττώματα. Ακόμη και πολύ μικρά (30 Å) ελαττώματα (defects) μπορεί να τυπώσουν ανεπιθύμητα χαρακτηριστικά πάνω στα wafers

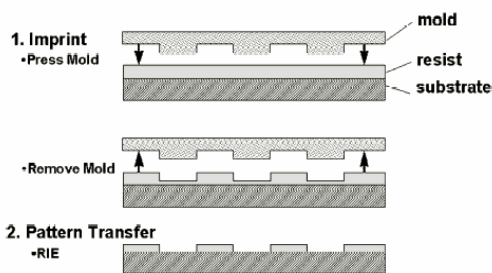
Electron Projection Lithography

- Στην EPL, η μάσκα είναι μια σκληρή μεμβράνη με οπές που αναπαριστά το σχέδιο. Η δέσμη ηλεκτρονίων απορροφάται στα σκληρά τμήματα και περνά διαμέσου των οπών σχηματίζοντας έτσι το σχέδιο.
- Πρόβλημα : τα ηλεκτρόνια που απορροφούνται στο σχέδιο εναποθέτουν σημαντική ποσότητα ενέργειας προκαλώντας αύξηση θερμότητας σε αυτό και αλλοίωση.
- Πιθανή λύση: SCALPEL

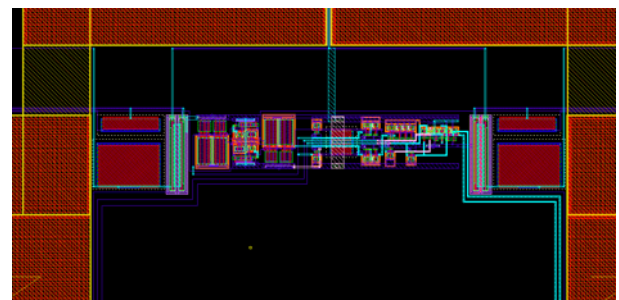
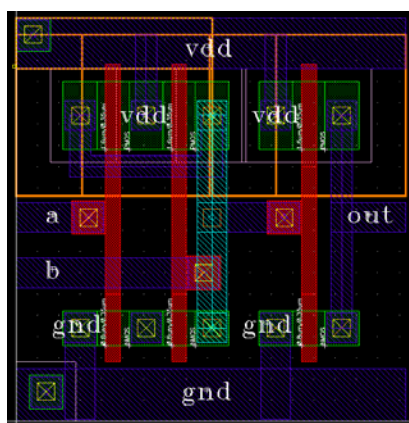
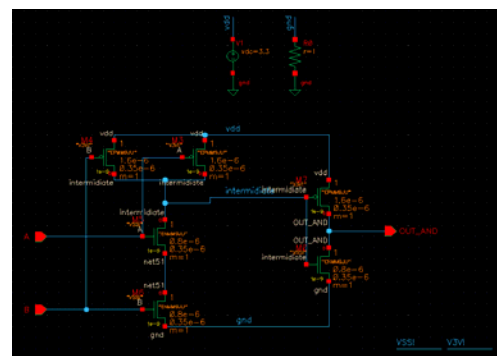
Scattering with Angular Limitation Projection Electron Beam Lithography

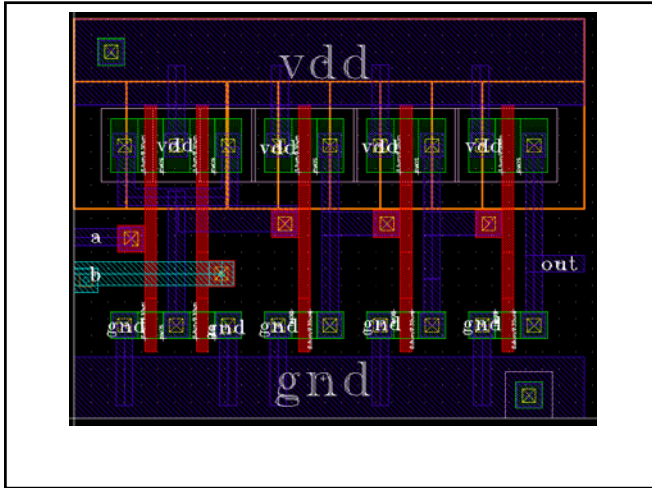


Imprint Lithography



ΠΑΡΑΡΤΗΜΑ





Βιβλιογραφία

- Lloyd R. Harriott "Limits of Lithography", *Proceedings of the IEEE, Vol.89, No.3, March 2001*
- Semiconductor Industry Association, "International Technology Roadmap for Semiconductors (2003 Edition): Lithography"
- R.D. Isaac, "The Future of CMOS technology", *IBM J. RES. Develop. Vol. 44 No.3 May 2000*
- Ampere A. Tseng etc, "Electron Beam Lithography in Nanoscale Fabrication: Recent Development", *IEEE Transaction on Electronics Packaging Manufacturing, Vol. 26, No.2 April, 2003*

Για περαιτέρω μελέτη συνιστώνται και τα παρακάτω συγγράμματα.

- Μικροηλεκτρονικά Κυκλώματα □, Sedra-Smith, εκδόσεις Παπασωτηρίου (ελληνική μετάφραση, 1994). Μετάφραση του ογκώδους και πλήρους συγγράμματος που διδάσκεται στα περισσότερα Τμήματα Μηχανικών των Η.Π.Α.
- Ηλεκτρονική □, A.P.Malvino, 5η Έκδοση, Εκδόσεις Τζιόλα, (ελληνική μετάφραση) 1990. Γενικό και πλούσιο βιβλίο, πολύ χρήσιμο για γρήγορη εύρεση βασικών όρων.
- Βασική Ηλεκτρονική □, A.P.Malvino, 4η Έκδοση, Εκδόσεις Τζιόλα, (ελληνική μετάφραση) 1990. Απλή και συνοπτική παρουσίαση της ύλης του μαθήματος. Απευθύνεται κυρίως σε φοιτητές Φυσικής.
- Μικροηλεκτρονική □, J.Millman, A.Grabel, 2η Έκδοση, Εκδόσεις Τζιόλα, (ελληνική μετάφραση, 2 τόμοι), 1996. Πλήρες και ενημερωμένο σύγγραμμα, περιέχει όλη την ύλη του μαθήματος και πολλά παραπάνω. Πολύ καλές ασκήσεις.
- Μικροηλεκτρονική □, R.C.Jaeger, Εκδόσεις Τζιόλα, (ελληνική μετάφραση), 1999. Το πιο καινούργιο, περιέχει την όλη ύλη δοσμένη με άλλο τρόπο και πολλές εφαρμογές με προγράμματα προσομοίωσης SPICE. Χρήσιμες ασκήσεις.
- Physics of Semiconductor Devices □, S.M.Sze, Wiley, New York, 2nd edition, 1981. Το σύγγραμμα με τις περισσότερες αναφορές (citations) στην σύγχρονη βιβλιογραφία. Πλήρες, πολύ χρήσιμο για ερευνητικούς σκοπούς και μεταπτυχιακά.
- Physics and Technology of Semiconductor Devices □, A.S.Grove, Wiley, New York, 1967. Το ιστορικότερο βιβλίο που έχει γραφτεί. Ο συγγραφέας ήταν για πολλά χρόνια ο διευθύνων σύμβουλος της Intel με πάρα πολλά βραβεία και διακρίσεις, το δε βιβλίο του παρόλο που γράφτηκε το 1967 διδάσκεται ακόμη σε μεταπτυχιακά και προπτυχιακά προγράμματα πολλών πανεπιστημίων των Η.Π.Α.
- Microelectronic Devices □, E.S.Yang, McGraw-Hill, 1988. Βιβλίο γραμμένο για μηχανικούς. Συνοπτικό, πλήρες και προπαντός κατανοητό.
- Microelectronic Devices □, K.Leith, 2nd Ed., Imperial College Press 1997. Περιληπτικό και πολύ καλό για απλή μοντελοποίηση των διατάξεων.

- Solid State Electronic Devices □, Ben G. Streetman, S.Banerjee, Prentice Hall, 5th Ed., 2000. Το πιο καλό σύγχρονο βιβλίο, πλήρες και αναλυτικό, απευθύνεται όμως κυρίως σε Φυσικούς.
- Fundamentals of Modern VLSI Devices □, Y.Taur, T.H.Ning, Cambridge Univ. Press, 2002. Προχωρημένο βιβλίο πολύ αναλυτικό και πλήρες, ιδανικό για μεταπτυχιακά.
- Tuinega P. W., "SPICE: A guide to circuit simulation and analysis using PSPICE", Prentice Hall, 1995. J.O.Attia, PSPICE and MATLAB for Electronics, CRC Press, 2002.

Η εκτύπωση αυτή έγινε με δαπάνη του
Έργου «Αναμόρφωση Προπτυχιακών Προγραμμάτων Σπουδών του ΤΕΙ Λαμίας»,
Υποέργο 1 «Αναμόρφωση Προπτυχιακού Προγράμματος Σπουδών Τμ. Ηλεκτρονικής»



ΥΠΟΥΡΓΕΙΟ ΕΘΝΙΚΗΣ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ ΕΠΕΑΕΚ



ΕΥΡΩΠΑΪΚΗ ΕΝΩΣΗ
ΣΥΓΧΡΗΜΑΤΟΔΟΤΗΣΗ
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



ΠΑΙΔΕΙΑ ΜΠΡΟΣΤΑ
2^ο Επιχειρησιακό Πρόγραμμα
Εκπαίδευσης και Αρχικής
Επαγγελματικής Κατάρτισης